

ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA

"TRANSMISOR DE AUDIO UTILIZANDO TECNICA PCM"

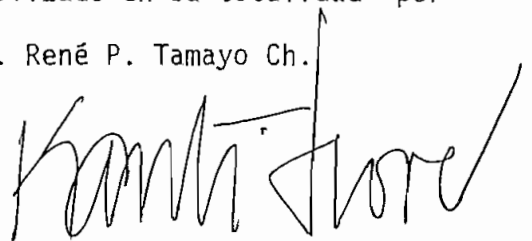
RENE P. TAMAYO CHICAIZA



TESIS PREVIA A LA OBTENCION DEL TITULO
DE INGENIERO EN ELECTRONICA Y TELECOMU
NICACIONES

DICIEMBRE, 1981.

Certifico que este trabajo ha sido realizado en su totalidad por el Sr. René P. Tamayo Ch.

A handwritten signature in black ink, appearing to read "Kanti Hore". The signature is fluid and cursive, with a long horizontal stroke at the end.

Dr. Kanti Hore

DIRECTOR

A mis padres, tía
y hermanos.

Agradezco al Pueblo del Ecuador, por haberme permitido culminar una carrera universitaria, a la Escuela Politécnica Nacional, a mis maestros y compañeros, y a todos quienes de alguna manera colaboraron para la realización de esta tesis, que constituye la culminación de una etapa en la vida, pero al mismo tiempo es la creación de un compromiso para seguir superándome y luchar por conseguir mejores días para nuestro país.

Agradezco de manera especial al Dr. Kanti Hore y al Ing. Herbert Jacobson por su invalorable ayuda en la concepción y realización práctica del trabajo, al Ing. Jack Armijos y al personal del Laboratorio de la Estación de N.A.S.A. en el Cotopaxi, por su colaboración para la culminación del mismo.

C O N T E N I D O

INTRODUCCION	pág.
CARACTERUSTUCAS Y OBJETIVOS	
<u>CAPITULO I</u>	
DIAGRAMA DE BLÓQUES Y FUNCIONAMIENTO -----	1
I.1 Descripción General -----	1
I.2 El Compresor -----	2
I.3 El Filtro Pasa-Bajos -----	2
I.4 El Muestreador Retenedor -----	2
I.5 El Convertidor Análogo-Digital -----	2
I.6 El Generador de Señales -----	3
I.7 El Modulador -----	3
<u>CAPITULO II</u>	
DISEÑO DEL CIRCUITO	
II.1 El Circuito Compresor -----	4
II.1.1 Consideraciones teóricas -----	4
II.1.2 Explicación del funcionamiento -----	5
II.2 El Filtro Pasa-Bajos -----	8
II.2.1 Consideraciones teóricas -----	8
II.2.2 Diseño del circuito -----	9
II.3 El Muestreador Retenedor -----	11
II.3.1 Consideraciones teóricas -----	11
II.3.2 Diseño del circuito -----	12
II.4 El convertidor Análogo-Digital -----	17
II.4.1 Consideraciones teóricas -----	17
II.4.2 Diseño del circuito -----	18

II.5	El Generador de Señales -----	24
II.5.1	Consideraciones teóricas -----	24
II.5.2	Diseño del oscilador maestro y los divisores de frecuencia -----	25
II.5.3	Generación de las señales de inicio de Conversión y Comando del Muestreador Retenedor -----	27
II.6	El Modulador -----	31
II.6.1	Consideraciones teóricas -----	31
II.6.2	Diseño del circuito -----	33

CAPITULO III

REALIZACION EXPERIMENTAL

III.1	Procedimiento -----	39
III.2	El circuito compresor -----	39
III.3	El Filtro Pasabajos -----	41
III.4	El Muestreador-Retenedor -----	45
III.5	El Convertidor Análogo-Digital -----	48
III.6	El Generador de Señales -----	50
III.7	El Modulador -----	57

CAPITULO IV

CONCLUSIONES Y RECOMENDACIONES

		58
IV.1	Conclusiones -----	
IV.2	Comentarios Generales -----	60
	BIBLIOGRAFIA -----	62
	ANEXO -----	63
	Instrucciones para el manejo del equipo -----	64
	Diagrama circuital del transmisor -----	68

I N T R O D U C C I O N

Considerando el gran desarrollo que comienzan a tener hoy en día y el auge que tomarán en el futuro los sistemas de transmisión que emplean Modulación de Código de Pulsos (PCM), especialmente debido a su gran versatilidad, y ante la imperiosa necesidad de adquirir experiencia práctica con este tipo de sistemas, se pensó en la posibilidad de contar con un sistema que pueda servir como equipo demostrativo en el laboratorio para las diferentes etapas del tratamiento de una señal cuando se emplea técnica PCM y de esta forma dotar al laboratorio de los medios para dar al estudiante una formación más completa acorde con el inmenso desarrollo que ha tenido la Electrónica especialmente en la última década. La parte del sistema que fue desarrollada en este trabajo es aquella correspondiente al transmisor, el tema del trabajo se desarrolla de la siguiente forma:

En la parte introductoria se explican los fines que persigue el trabajo y las características que debe tener el equipo que se va a construir.

En el primer capítulo se explica el funcionamiento general del equipo en base a diagrama de bloques.

En el segundo se desarrolla el fundamento teórico y se realiza el diseño de cada una de las etapas.

En el tercer capítulo se detallan los resultados experimentales y los ajustes efectuados a partir de esos resultados.

En el cuarto y último capítulo se exponen las conclusiones deducidas de la parte experimental y se hacen todos los comentarios pertinentes.

Se incluye un anexo que contiene, el diagrama del circuito, la lista de componentes y hojas de parámetros eléctricos y curvas características de los circuitos integrados empleados, además de las instrucciones necesarias para el manejo del equipo.

C A R A C T E R I S T I C A S Y O B J E T I V O S

El trabajo aquí planteado consiste en el diseño, construcción y realización de pruebas experimentales de un equipo transmisor de señales de audio utilizando la técnica PCM, este equipo debe ofrecer las facilidades necesarias para poder lograr una familiarización con las diferentes etapas del tratamiento de la señal de audio, así como también para mostrar el efecto que la variación de algunos parámetros y el empleo de otras técnicas tienen en la calidad de la señal recuperada en el receptor.

La técnica de Modulación de Código de Pulsos consiste en un proceso en el cual una señal se muestrea y la amplitud de cada muestra con relación a una referencia fija se cuantifica y convierte por codificación en una señal numérica para que luego de ser modulada pueda ser transmitida hacia el receptor. El diagrama de bloques básico de un transmisor que emplee esta técnica se indica en la figura 1.

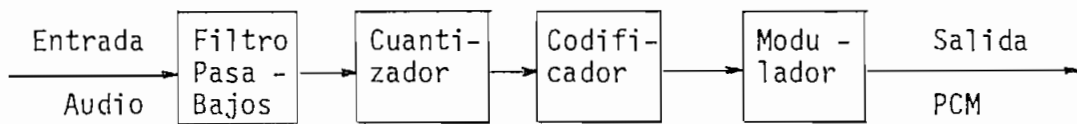


Fig. 1 Diagrama de bloques básicos del transmisor

Los bloques correspondientes al cuantizador y al codificador tomados en conjunto constituyen un convertidor Análogo-Digital. En el equipo diseñado se incluye a la salida un bloque "compresor" con el objeto de poder mostrar el efecto que el empleo de otras técnicas tienen en la ca-

lidad de la señal recuperada, también se debe tener la posibilidad de variar: la frecuencia con que se toman las muestras de la señal de entrada, la frecuencia de cuantización y el número de bits que puedan tener las palabras digitales que entrega el convertidor Análogo-Digital para cada muestra de la señal de entrada, todo lo anterior, con el objeto de poder apreciar como influyen estos parámetros en la calidad de la señal recuperada.

C A P I T U L O I

DIAGRAMA DE BLOQUES Y FUNCIONAMIENTO

I.1 DESCRIPCION GENERAL

Conforme a lo expuesto en el capítulo anterior, para lograr nuestro propósito debemos implementar un circuito que realice la "compresión" no lineal de la amplitud del voltaje en la señal de entrada, luego efectue la conversión análogo-digital de esta señal, codifique la información y finalmente la module para que sea transmitida, además, debe ofrecer la facilidad de variar los parámetros ya indicados en la parte correspondiente a las características del equipo.

Presentado en forma de diagrama de bloques, el equipo que realiza las funciones descritas, se vería como se muestra en la figura I.1.

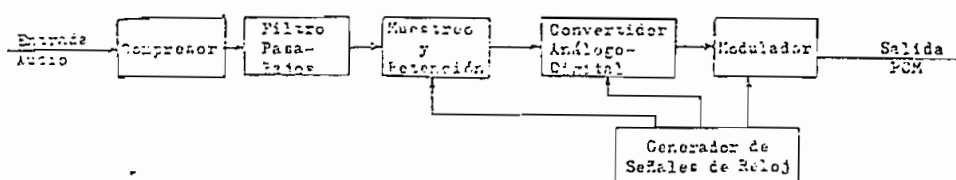


Fig. I.1 Diagrama de bloques del transmisor

A continuación haremos una breve descripción de cada uno de los bloques y su funcionamiento.

I.2 EL COMPRESOR

Se incluye este bloque que ofrece la posibilidad de "comprimir" la amplitud de voltaje de la señal de entrada (expresada en decibelios) con el fin de poder mostrar los efectos que el empleo de esta técnica y otras similares tienen en lo referente a la calidad de la señal recuperada en el receptor. Basicamente debemos implementar un circuito que permita mejorar la calidad de la señal recuperada en el receptor especialmente para señales de muy baja amplitud.

I.3 EL FILTRO PASABAJOS

Si queremos conseguir una señal de entrada "limitada en banda" (condición indispensable antes del muestreo) debemos diseñar un filtro pasabajos que atenue las componentes de "alta frecuencia" y deje pasar únicamente aquellas que son significativas en audio.

I.4 EL MUESTREADOR-RETENEDOR

Es el encargado de "discretizar" la señal de audio continua que tenemos a la entrada, debemos tomar muestras de la señal de entrada filtrada y retenerlas con el fin de que el convertidor análogo-digital pueda asignar la palabra digital correspondiente a esa muestra.

I.5 EL CONVERTIDOR ANALOGO-DIGITAL (CAD)

Es el encargado de asignar una palabra digital a cada muestra análoga que tenga a su entrada, debe entregarnos estas palabras en forma -

serial para que luego de ser tratadas puedan ser transmitidas hacia el receptor.

I.6 EL GENERADOR DE SEÑALES

En este bloque se incluyen aquellos circuitos encargados de generar las diferentes señales de reloj, así como también las señales de control necesarias en las distintas etapas del tratamiento de la señal.

I.7 EL MODULADOR

En este bloque se incluyen aquellos circuitos encargados de realizar la modulación de los datos objetivos del convertidor análogo-digital antes de que estos puedan ser enviados hacia el receptor.

C A P I T U L O I I

DISEÑO DEL CIRCUITO

II.1 EL CIRCUITO COMPRESOR

II.1.1 CONSIDERACIONES TEORICAS

Debido a las limitaciones propias de los convertidores análogo-digital, cuando la amplitud de la señal de entrada es demasiado pequeña o demasiado grande esta no puede ser cuantificada con exactitud (ni recuperada fielmente), por lo que debemos incluir un circuito que permita al convertidor cuantificar en mejor forma estas señales. Básicamente debemos implementar un amplificador controlado por voltaje, cuya ganancia depende del valor de voltaje RMS de la señal que tenemos en su entrada. Un circuito que permite realizar la función descrita se sugiere en la revista "ELECTRONIC EXPERIMENTER'S HANDBOOK". (1)

Por no contar con mayor información acerca de las características de los bloques internos del circuito integrado empleado, implementaremos aquella parte del circuito que nos interesa con los valores sugeridos en el artículo de la revista antes mencionada y únicamente haremos una explicación del funcionamiento del circuito y del papel que desempeñan cada uno de sus componentes.

(1) - ELECTRONIC EXPERIMENTERS'S HANDBOOK- Build an Audio Compaander;
ROBERTS JOHN, 1981, New York, USA, pp 61-64

II.1.2 EXPLICACION DEL FUNCIONAMIENTO

El circuito integrado empleado es el NE570 de la SIGNETICS, que es un circuito de control de ganancia dual, en el cual cada canal puede ser usado como un compresor o un expensor de rango dinámico. Cada canal tiene un rectificador de onda completa para detectar el valor prom. de la señal a linearizarse, una celda de ganancia variable con compensación de temperatura y un amplificador operacional, además de un regulador de voltaje interno que nos suministra el $V_{ref}=1.8$ Voltios. El diagrama interno del circuito integrado, así como la configuración para compresor empleada se indican en las siguientes figuras.

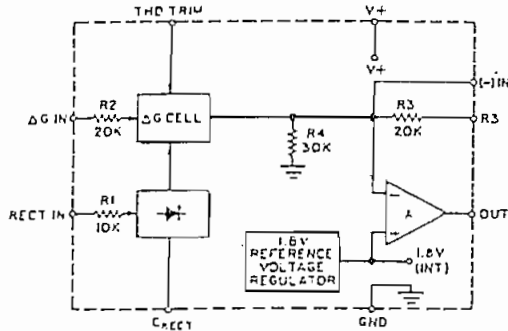


Fig II.1 Diagrama de bloques del NE570

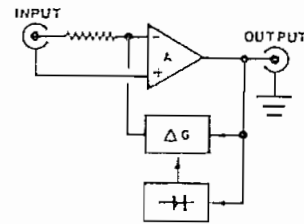


Fig II.2 Configuración para compresor

El rectificador de onda completa rectifica la entrada de corriente que fluye desde la entrada del rectificador hacia un nodo sumador interno el cual está polarizado a V_{ref} . La corriente rectificada es pro-

mediada en un capacitor de filtro conectado en el terminal Crect y el valor promedio de la corriente de entrada controla la ganancia de la celda de ganancia variable. Por lo tanto, la ganancia será proporcional al valor promedio de la señal de entrada conectada con acoplamiento capacitivo a las entradas. La velocidad con la que los cambios de ganancia siguen a los cambios de niveles de la señal de entrada está determinada por el condensador de filtro del rectificador- Un condensador pequeño tendrá rápida respuesta pero no filtrará completamente las frecuencias bajas. A continuación se indica el circuito empleado y luego se explica el papel que cumplen cada uno de sus elementos.

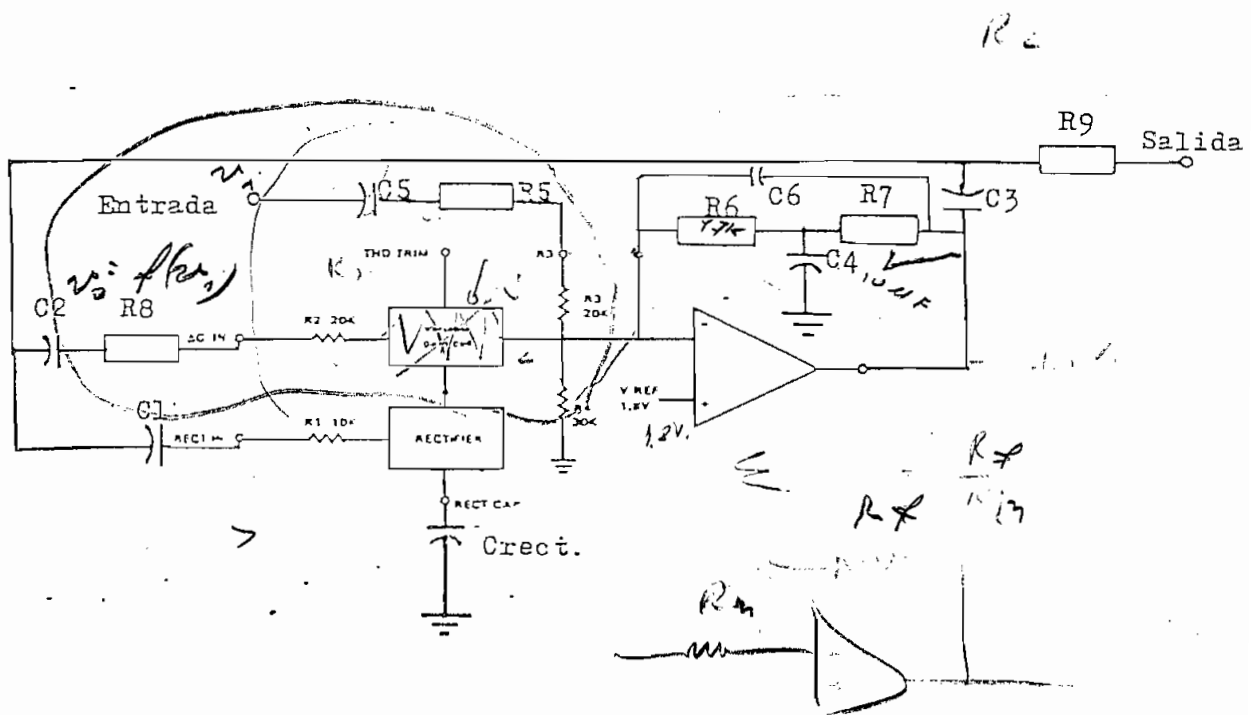


Fig II.3 Compresor no lineal de amplitud

C1,C2,C3 y C5 son condensadores de paso para audio y sirven además para

desacoplar las componentes continuas. R6 y R7 son seleccionadas de tal forma que para corriente continua la salida del operacional esté en 7.5 voltios cuando usamos una fuente de alimentación de 15 voltios (que es nuestro caso), C4 sirve para que la señal de audio que tenemos a la salida del operacional no se realimente a la entrada negativa a través de R6 y R7. R5 y R8 sirven para controlar la ganancia del compresor, C6 es un condensador de pocos picofaradios que se lo emplea para evitar inestabilidad a frecuencias altas. La resistencia R9 se la emplea para prevenir contra las oscilaciones parásitas que puedan presentarse.

Con los valores adecuados el anterior circuito se comporta como un compresor de rango dinámico 2:1, su ganancia es unitaria cuando tenemos a su entrada una señal de 0 dBm, si el nivel de la señal de entrada se incrementa en un factor de cuatro (12 dB) la amplitud de salida se duplica (6 dB.), en cambio si la amplitud de entrada se reduce en un factor de cuatro (-12 dB.) la señal de salida se reduce en un factor de dos (-6 dB.), en la siguiente figura se indica la curva de transferencia del compresor (tanto en voltios como en decibelios).

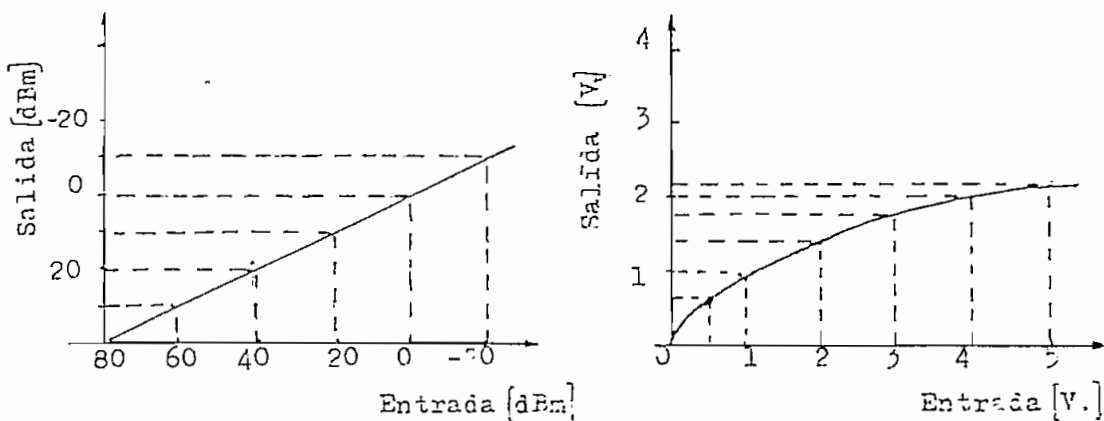


Fig. 11.4 Curva de transferencia del Compresor

A continuación se indican los valores de elementos recomendados para que el circuito mostrado en la figura II.3 trabaje efectivamente como un compresor 2:1.

$$R6 = R7 = 47 \text{ K}\Omega. \quad R5 = R8 = 20 \text{ K}\Omega. \quad R9 = 100 \Omega$$

$$C1 = C5 = C_{\text{rect}} = 1 \mu\text{F}. \quad C2 = C3 = C4 = 10 \mu\text{F}. \quad C6 = 5 \text{ pF}.$$

II.2 EL FILTRO PASABAJOS

II.2.1 CONSIDERACIONES TEORICAS

Con el objeto de que la señal a ser muestreada sea "limitada en banda" se debe emplear un filtro pasabajos que tenga su frecuencia de corte en 14 KHz., aquellas componentes de frecuencia $f \geq 14 \text{ KHz.}$ no son significativas para audio pero presentan problemas si no se las atenúa antes que la señal pase a ser muestreada.

En lo que se refiere al valor de atenuación que el filtro debe dar a las componentes de frecuencia mayor a 14 KHz. se considera adecuado tener una atenuación de 40 dB. a dos veces la frecuencia de corte del filtro, por otra parte en la región plana de la curva de transferencia del filtro se permite un pequeño rizado (máximo 0.5 dB.) considerando los fines que persigue este trabajo.

Por sencillez y bajo costo emplearemos un filtro activo que utiliza amplificadores operacionales, capacitores y resistencias. El filtro empleado que cumple con las características dadas es del tipo Chebishev de sexto orden y emplea como conexión básica aquella denominada de "rea-

alimentación múltiple y ganancia infinita", el tipo de conexión utilizada se muestra en la figura II.5.

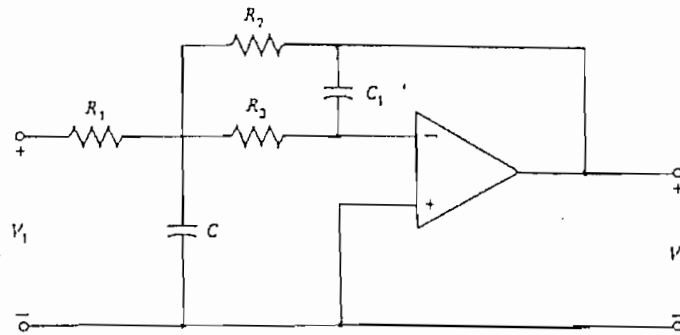


Fig. II.5 Configuración básica para los filtros de realimentación múltiple y ganancia infinita.

Para conseguir el filtro de sexto orden es necesario colocar en serie tres etapas de las mostradas en la figura II.5.

II.2.2 DISEÑO DEL CIRCUITO

Para realizar el diseño del filtro se empleó el procedimiento recomendado en el libro "RAPID PRACTICAL DESIGN OF ACTIVE FILTERS" (2), si fijamos la frecuencia de corte en 14 KHz y hacemos que la ganancia del filtro sea unitaria (adecuada para nuestros propósitos) empleando la tabla indicada en la figura II.6 se determina el valor de cada uno de los elementos de las tres etapas, se debe indicar que el valor escogido para

(2) Johnson-Hilburn; RAPID PRACTICAL DESIGN OF ACTIVE FILTERS: John Wiley and Sons, Inc, USA, 1981.

C es 0.001 μ F. y es con este valor que se realizaron todos los cálculos.

Diseño de Filtro Pasabajos de Sexto Orden (Chebyshev Cascaded MFB)

VALORES DE LOS ELEMENTOS DEL CIRCUITO					
Ganancia	1	4	36	100	
R1	20.167	15.002	12.321	12.351	
R2	20.167	30.005	73.926	123.511	
R3	22.240	22.648	20.223	18.157	1
C1	0.005C	0.0033C	0.0015C	0.001C	
R1	8.548	4.928	3.936	3.936	
R2	8.548	9.857	23.618	23.618	2
R3	6.257	11.181	19.266	10.266	
C1	0.068C	0.033C	0.015C	0.015C	
R1	5.424	5.424	5.424	4.262	
R2	5.424	5.424	5.424	7.103	
R3	5.910	5.910	5.910	6.154	3
C1	0.3C	0.3C	0.3C	0.22C	

Resistencias en Kilohmios para K = 1.

Fig. II.6 Tabla para el cálculo del filtro de sexto orden.

Los valores calculados con los que debemos armar cada una de las etapas del filtro se indican en la figura II.7

Elemento	Primera Etapa	Segunda Etapa	Tercera Etapa
C [$\mu\text{F.}$]	0.001	0.001	0.001
R1 [$\text{k}\Omega$.]	143.992	61.032	38.727
R2 [$\text{k}\Omega$.]	143.992	61.032	38.727
R3 [$\text{k}\Omega$.]	158.794	44.675	42.197
C1 [pF.]	5	68	300

Fig. II.7 Valores calculados para los elementos del filtro.

Considerando el tipo de configuración empleada para el filtro los amplificadores operacionales utilizados deben tener una impedancia de entrada muy alta y su ganancia a las frecuencias de operación debe ser alta, considerando estos factores, se escogió amplificadores operacionales LF356 de la NATIONAL, tienen la entrada del tipo JFET lo que les dá una impedancia de entrada muy alta (10^{12} típica), además, su producto ganancia por ancho de banda (GBw) es alto (4.5 Mhz. típico) por lo que a 15 Khz tienen una ganancia del orden de 300 y también ofrecen la posibilidad de compensar el voltaje offset a la salida.

II.3 EL MUESTREADOR RETENEDOR

II.3.1 CONSIDERACIONES TEORICAS

Es el encargado de discretizar la señal de audio continua, si quere

mos que sea factible la reconstrucción posterior de la señal debe tomar muestras con una frecuencia f_s que debe ser al menos el doble que la máxima componente frecuencial contenida en la señal de entrada proveniente del filtro (Teorema de NYQUIST), además, debe retener estas muestras durante el tiempo que el convertidor análogo-digital emplea para asignar la palabra digital correspondiente a esa muestra. Las frecuencias de muestreo con que debe operar este circuito son 8, 16, 32 o 64 Khz., cuando usemos la frecuencia de 32 Khz. debemos estar en capacidad de recuperar la señal en el receptor con todas las componentes de frecuencia que son significativas en audio, las otras frecuencias de muestreo servirán para ilustrar el efecto que la variación de la frecuencia de muestreo tiene en la calidad de la señal recuperada en el receptor.

II.3.2 DISEÑO DEL CIRCUITO

Por sus características de alta exactitud, así como también sus pequeños tiempos de adquisición se emplea un circuito muestreador retenedor monolítico. El circuito empleado es el LF398, entre sus principales características tenemos que su entrada lógica es compatible con los circuitos TTL (la señal de comando es TTL), tiene un tiempo de adquisición pequeño ($4 \mu s$. típico) y la variación del voltaje de salida en el modo Hold (Retención) para tiempos largos es pequeña. En la siguiente figura se indica el diagrama funcional del circuito muestreador retenedor.

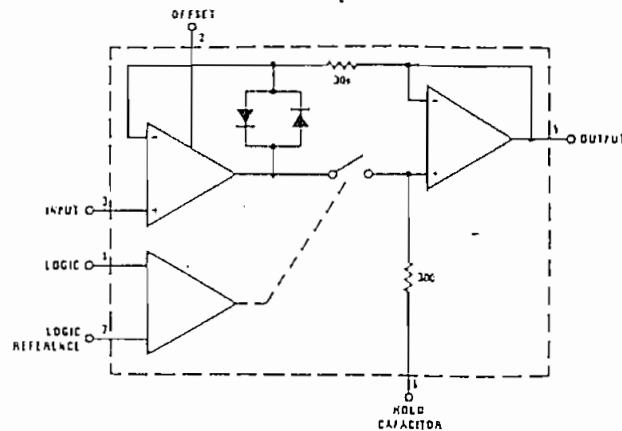


Fig. II.8 Diagrama funcional del muestreador retenedor.

El switch S es el encargado de seleccionar si la entrada aparece directamente a la salida (Muestreo) o si a la salida aparece únicamente el último valor de voltaje que se encontraba a la entrada cuando el switch se abrió (retención). En la figura II.10 se indica la configuración del circuito empleado, el terminal correspondiente a LOGIC (pata 7) ha sido puesto a tierra y por lo tanto es la entrada LOGIC INPUT la que determina si el circuito se encuentra en estado de muestreo ($LI=1L$) o retención ($LI = 0L$), el voltaje de transición para que el circuito cambie de estado (muestreo a retención o viceversa) está en 1.4 voltios que es compatible con los circuitos TTL que nos entregarán la señal de comando para este circuito, en la figura II.11 se muestra la forma de onda de esta señal.

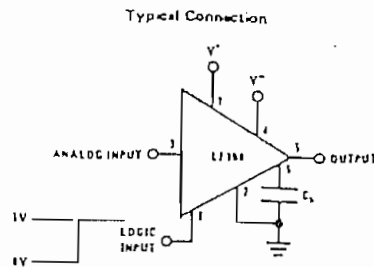


Fig. II.10 Configuración del circuito muestreador-retenedor.

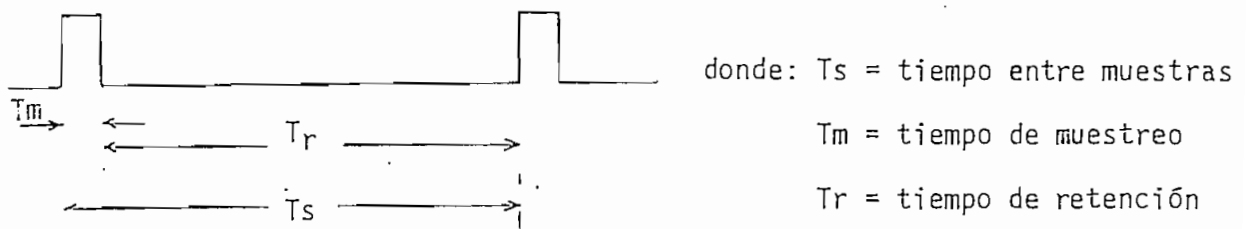


Fig. II.11 Señal de comando del muestreador-retenedor.

En lo que se refiere a T_m con el fin de que el convertidor análogo-digital pueda entregar la palabra digital de hasta 10 bits correspondiente a la muestra retenida en ese instante haremos:

$$T_m = T_s/12 \quad (2.1)$$

$$T_r = 11 \times T_s/12 \quad (2.2)$$

A continuación haremos la selección del condensador para retención Ch: primero, consideremos el caso más crítico para T_m es decir cuando $f_s = 64 \text{ KHz.}$, en este caso:

$$T_s = 1/64 \times 10^3 \text{ } \mu\text{seg.} \quad T_m = 1.3 \text{ } \mu\text{s.} \quad (\text{De acuerdo a la ec. 2.1})$$

En el manual se garantiza un tiempo de adquisición de $4 \text{ } \mu\text{s.}$ para un $\Delta V_{out} = 10 \text{ voltios}$ cuando se utiliza un Ch de 1000 pF. , considerando - que la señal de audio a la entrada del muestreador-retenedor tiene una - amplitud pico máxima del 1 voltio es apropiado seleccionar para Ch un valor de 1000 pF.

Ahora consideremos el caso más crítico para T_r , es decir cuando - $f_s = 8 \text{ KHz.}$; y el condensador eventualmente puede descargarse.

$$T_s = 1/8 \times 10^3 \text{ } \mu\text{seg.} \quad T_r = 114.6 \text{ } \mu\text{s.} \quad (\text{De acuerdo a la ec. 2.2})$$

En la curva de variación de la pendiente a la salida (Output Deoop Rate) dada en el manual se ve que para $Ch = 1000 \text{ pF.}$ y $T = 25^\circ\text{C}$

$$\Delta V / \Delta t = 0.07 \text{ voltios/seg.}$$

$$\text{para un } \Delta t = 114.6 \text{ } \mu\text{s.} \quad (T_r)$$

$$\Delta V = 0.07 \times 114 \times 10^{-6} \text{ voltios}$$

$$\Delta V = 8 \text{ } \mu\text{v.}$$

Considerando que la amplitud de los niveles de cuantización es de $\times Q = 0.01 \text{ voltios}$ (cuando usamos 10 bits en el CAD), esta variación no es significativa.

\times CAD es la sigla empleada para Convertidor Análogo-Digital.

Para realizar el enceramiento DC de la salida se emplea el siguiente circuito.

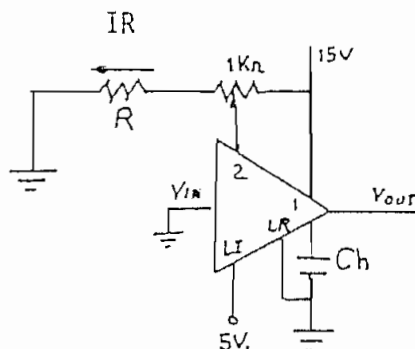


Fig. II.12 Circuito para el enceramiento DC.

$I_r = 0.6 \text{ mA}$. (Recomendación del manual)

$$\frac{15 \text{ V.}}{1 \text{ K}\Omega - R} = 0.6 \text{ mA.}$$

$$1 \text{ K}\Omega - R = 25 \text{ K}\Omega$$

$$1 \text{ K}\Omega - R$$

$$R = 24 \text{ K}\Omega.$$

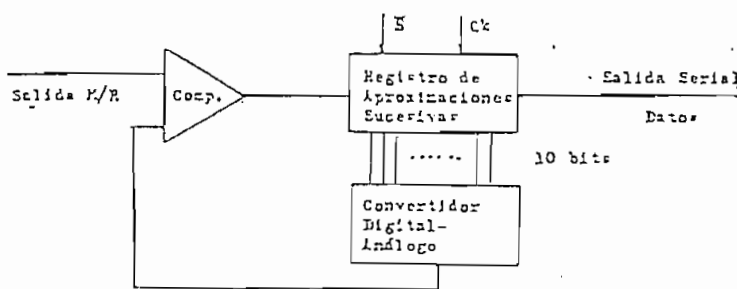
Es importante anotar que en el manual se habla del tiempo requerido para que la salida del muestreador-retenedor sea fijada al valor final después de que la señal lógica de comando para el modo Hold ha llegado al circuito (Hold Settling Time), en el manual se vió que para una temperatura de 25°C este tiempo resultó ser de $0.8 \mu\text{s.}$, la parte correspondiente a la generación de la señal de comando para el muestreador-retenedor será hecha más adelante y allí serán tomadas en cuenta todas las consideraciones hechas anteriormente.

II.4 EL CONVERTIDOR ANALOGO-DIGITAL (CAD)

II.4.1. CONSIDERACIONES TEORICAS

Es el encargado de asignar las palabras digitales correspondientes a cada muestra análoga entregada por el muestreador-retenedor, para esto, compara la amplitud de las muestras con una referencia, cuantifica esta diferencia, codifica el resultado y entrega los datos para que puedan ser tratados y posteriormente transmitidos.

Utilizaremos un convertidor que emplea el método de Aproximaciones Sucesivas para realizar las conversiones debido a que en la práctica es el más ampliamente utilizado por su alta resolución y alta velocidad (3), a continuación se indica la configuración de un CAD de este tipo.



S: Señal para inicio de conversión,

Ck: Reloj para el Registro de Aproximaciones Sucesivas.

Fig. II.13 Esquema del convertidor Análogo-Digital.

(3) Espinosa Alfonso, SISTEMAS DIGITALES III; Escuela Politécnica Nacional, Quito, Ecuador, 1980.

✱ También la frecuencia f_c de la señal de reloj para el RAS es variable pero depende de la frecuencia de muestreo que sea seleccionada para el muestreador-retenedor.

II.4.2 DISEÑO DEL CIRCUITO

Para la selección del convertidor digital análogo (DAC) a emplearse, se tomó en cuenta el número de bits que emplea, la rapidez, compatibilidad con circuitos TTL y la factibilidad de adquisición, en lo que se refiere al Registro de Aproximaciones Sucesivas empleado debe ser plenamente compatible con el DAC empleado y además debe entregarnos los datos en forma serial para que sea más sencillo su tratamiento.

El Convertidor digital análogo empleado es el DAC 1200 y el RAS - utilizado es el DM 2504 ambos de la NATIONAL.

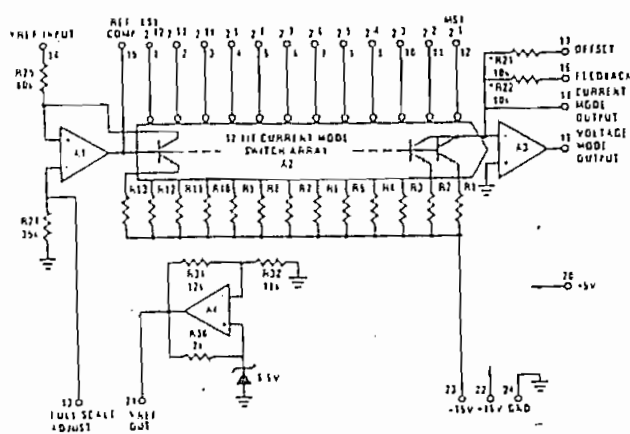


Fig. II.14 Esquema del DAC 1200.

✱ RAS es la sigla empleada para Registro de Aproximaciones sucesivas.

El DAC 1200 incluye un comparador a la salida y funciona en base a "swit ches de corriente" que conectan fuentes de corriente a la salida o a tie rra dependiendo si el bit que tiene a su entrada es 0L o 1L, el esquema de este convertidor se muestra en la figura II.14.

En lo que se refiere al DM2504 es plenamente compatible con el DAC utilizado y al igual que este puede operar hasta con 12 bits y tiene ca pacidad de entregar los datos en forma serial, en este trabajo utilizare mos únicamente hasta 10 bits, por lo que no conectaremos los dos bits me nos significativos.

El DAC 1200 emplea una referencia externa de 10.24 voltios, para - obtener este valor se emplean dos diodos zener 1N751 ($V_z=5.1$ voltios), en el manual se recomienda una corriente de trabajo $I_{zT} = 20$ mA., si conec tamos los diodos mediante una resistencia en serie a la fuente de 15 vol tios necesitamos emplear una resistencia limitadora que se la calcula co mo se indica a continuación:

$$R_{lim} = \frac{15V. - 10.2V.}{20 \text{ mA.}}$$

$$R_{lim} = 240 \Omega$$

El diseño debemos hacerlo para que el DAC trabaje en operación bipo lar (la señal de entrada es audio), la configuración empleada para el am plificador operacional a la salida del DAC es la siguiente:

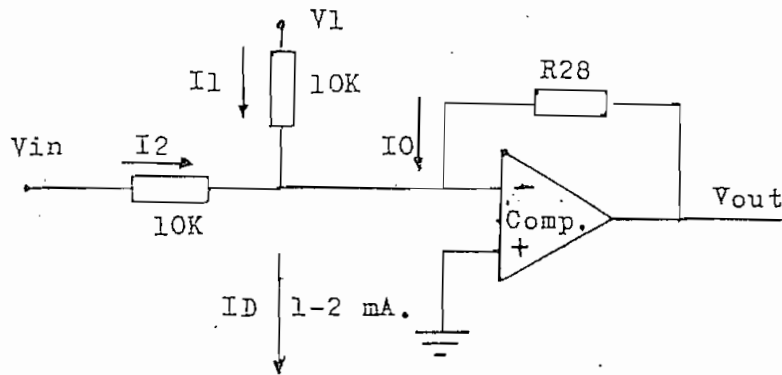


Fig. II.15 Conexión del amp.operacional a la salida del DAC.

Las resistencias de 10K vienen en el mismo paquete del DAC, en la entrada invertida del operacional tenemos una "tierra virtual" por lo que para R28 debemos asumir un valor alto de tal forma que unos pocos milivoltios de desbalance en esa entrada hagan que la salida se ponga al valor de la fuente de alimentación del operacional (5 voltios) o a tierra, consideramos adecuado un valor de $1.2 \text{ M}\Omega$. Para seleccionar el valor de V_I consideremos el caso cuando $V_{in} = \text{mitad escala} = 0$ voltios, en este caso $I_D = 1 \text{ mA.}$, $I_2 = 0 \text{ mA.}$, haciendo el sumatorio de corrientes en el punto de unión de las tres resistencias tenemos:

$I_0 + I_1 + I_2 = I_D$ (2.3) I_0 es del orden de $\mu\text{A.}$, por lo que es despreciable y nos queda $I_1 = I_D = 1 \text{ mA.}$ para V_I tenemos $V_I = 1 \text{ mA.} \times 10\text{K} = 10$ voltios, para conseguir este valor pondremos un potenciómetro de 1K en serie con la resistencia de 10K y su otro extremo conectado a $V_{ref} = 10.24$ voltios. Debido a que es necesario que podamos variar la resolución del convertidor análogo-digital, debemos colocar switches en las conexiones de los seis bits menos significativos que van desde el RAS hacia el DAC. Hechas las consideraciones anteriores y tomando en cuenta las recomendaciones hechas en el manual el circuito queda como se muestra en la figura II.16.

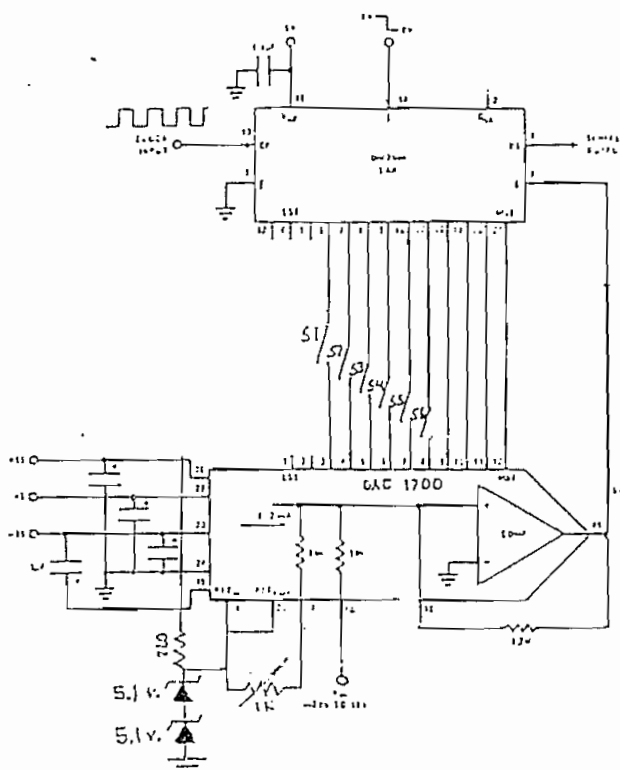


Fig. 11.16 Diagrama circuital del convertidor A-D.

En el diagrama se ha incluido por recomendación del manual un condensador de $1 \mu\text{F}$. conectado entre -15 v. y la pata 15 del DAC (Ref.comp) con el objeto de mejorar la estabilidad de la referencia, también se indican los condensadores para desacoplamiento de las tres fuentes empleadas y se recomienda un condensador electrolítico de tantalio de $1 \mu\text{F}$. en paralelo con uno de disco cerámico de $0.01 \mu\text{F}$. para cada una de las fuentes colocados a una distancia no mayor de 1.2 cm. del integrado.

A continuación indicaremos los códigos (dados en el manual) que debemos obtener a la salida del RAS, para los diferentes voltajes de entrada

da (cuando usamos 10 bits para realizar las conversiones).

Tipo de Código	Cod. de entrada al DAC (salida del RAS)	Estado de salida	Voltaje de entrada
Bítonar Binario Complementado	0000 0000 00	Full escala	10.24 v.
	0111 1111 11	Mitad de F. escala	-0.0000 v.
	1111 1111 10	1 LSB ON	-10.23 v.
	1111 1111 11	Cero escala	-10.24 v.

Fig. II.17 Códigos a la salida del RAS.

Cuando usamos 10 bits:

$$1\text{LSB ON} = \frac{10.24 \text{ v.}}{2} = 0.01 \text{ v.}$$

A continuación haremos una explicación del funcionamiento del circuito del convertidor Análogo-Digital en base al diagrama de tiempos del RAS.

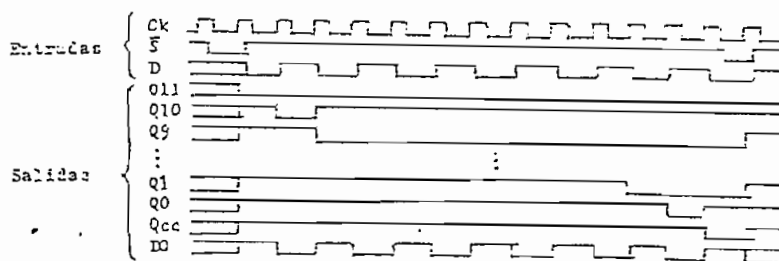


Fig. II.18 Diagrama de tiempos del Dn2504

El registro es reseteado cuando la señal de inicio de conversión (\overline{S}) permanece en OL durante la transición de bajo a alto en CK, el registro sincronizadamente resetea Q11 a bajo (OL) y todas sus demás salidas a alto (1L), lo que equivale a decir que sitúa la salida de corriente del DAC en el valor correspondiente a mitad escala (0111111111), después de un pequeño retardo el comparador entrega el bit más significativo (MSB o Q11), el cual es puesto en la entrada de datos del registro, cuando ocurre la siguiente transición positiva de Ck (la señal \overline{S} ya debió haber sido llevada a alto) el bit obtenido aparece en la salida Q11 del registro y simultáneamente este resetea nuevamente a los restantes bits, es decir, Q10 = OL y los demás permanecen en 1L, lo que sitúa que ahora sitúa la salida de corriente del DAC en el valor correspondiente a MSB-0111111111, después de un cierto retardo aparece a la salida del comparador el siguiente bit y así sucesivamente hasta que la señal \overline{S} sea puesta en OL y el registro sea reseteado por completo para iniciar otra conversión.

Hay que anotar que en esta aplicación no usamos la salida de fin de conversión (Qcc), esta sirve únicamente cuando se está trabajando con los 12 bits), tampoco usamos la entrada \overline{E} (Enable Input), esta sirve para sincronización cuando trabajamos en operación expandida (usamos más de un registro), por lo que por recomendación del manual se la debe colocar a OL.

Las frecuencias de reloj utilizadas en el Registro son 96, 192, 384 o 768 Khz. correspondientes a las frecuencias de muestreo de 8,16,32 y 64 Khz.

Por otra parte, en el manual se hicieron las siguientes observaciones: para que el RAS realice un correcto Reset la señal de inicio de conversión (\bar{S}) debe ser puesta en 0L por lo menos un tiempo $T_{smin} = 16$ ns. antes de que aparezca la correspondiente transición positiva de Ck y debe ser vuelta a 1L máximo cuando aparece la siguiente transición negativa de Ck, estas observaciones serán tomadas en cuenta en la parte correspondiente a la generación de la señal \bar{S} .

II.5 EL GENERADOR DE SEÑALES

II.5.1 Consideraciones teóricas.

En lo que se refiere a estabilidad de frecuencia del oscilador maestro, debemos implementar un oscilador que tenga una variación máxima de * 50 Hz. en 1 Mhz. (Recomendación empleada por CCITT para relojes maestros) para la frecuencia de oscilación del reloj maestro se escogió un valor de 1536 Khz debido a la posibilidad de conseguir un cristal con esa frecuencia de oscilación, aún cuando la máxima frecuencia empleada en el equipo es de 768 Khz. Las consideraciones acerca de las características que deben tener las señales de inicio de conversión y comando del muestreador-retenedor ya se indicaron en las partes correspondientes.

Para obtener las diferentes frecuencias de muestreo y cuantización se utilizan divisores de frecuencia, a continuación se indica el -

* CCITT Comité Consultivo Internacional de Telefonía y Telegrafía.

diagrama de bloques correspondiente al generador de señales.

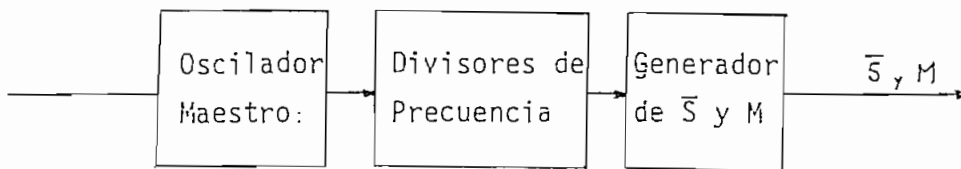


Fig. II.19 Diagrama de bloques del generador de señales.

II.5.2 DISEÑO DE OSCILADOR MAESTRO Y LOS DIVISORES DE FRECUENCIA.

Para implementar el oscilador se escogió el circuito integrado - SN74S124 que contiene dos osciladores controlados por voltaje, su frecuencia central de oscilación viene determinada unicamente por un componente externo (cristal o condensador), además el rango de frecuencia en que opera es el adecuado para propósitos de este trabajo. Cuando la frecuencia central de oscilación viene determinada por un cristal la estabilidad de frecuencia es alta, pero debido a las limitaciones propias del medio se tuvo que trabajar con condensador aún cuando la estabilidad de frecuencia disminuya, en el manual se dá la fórmula 2.4

$$f_o = 5 \times 10^{-4} / C_{ext} \quad (2.4)$$

donde: f_o = frecuencia de salida en Hz.

C_{ext} = capacitancia externa en Faradios

despejando C_{ext} y reemplazando el valor de f_o nos queda:



$$C_{ext} = 5 \times 10^{-4} / 1536 \times 10^3 \text{ F.} \quad C_{ext} = 325.5 \text{ pF.}$$

Para una mayor estabilidad de frecuencia se recomienda conectar la entrada de control de frecuencia a 1L y la de rango de frecuencia a 0L, la entrada de ENABLE debe permanecer en 0L.

En lo que se refiere a los divisores de frecuencia se utilizaron 4 divisores para 2 y un divisor para 12 (simétricos), por ser su uso muy común omitiremos su diseño y únicamente anotamos que para los divisores para 2 se usa biestables tipo D (SN7474), y para el divisor para 12 se utiliza un circuito integrado SN7492, a continuación indicaremos el esquema de conexión entre los circuitos descritos anteriormente:

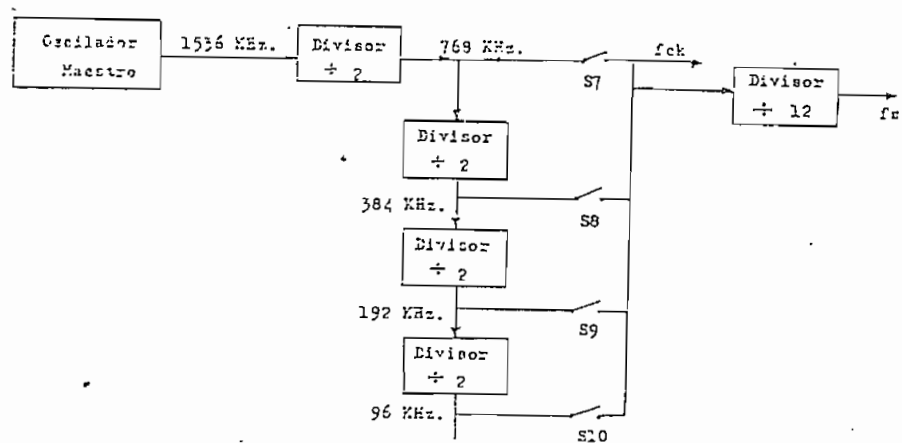


Fig II.20 Esquema de conexiones entre el oscilador maestro y los divisores de frecuencia.

A la salida de c/bloque se indica unicamente la frecuencia de las señales obtenidas, la selección de las diferentes frecuencias de reloj para el RAS, así como también de la frecuencia de muestreo es hecha con los Switches S7-S10.

II.5.3 GENERACION DE LAS SEÑALES DE INICIO DE CONVERSION Y COMANDO DEL MUESTREADOR RETENEDOR.

La forma que deben tener estas señales de control se indica en la figura II.21 también se indica las formas de onda para la señal de reloj para el RAS (Ck) y la señal de salida del divisor para 12 de la figura II.20.

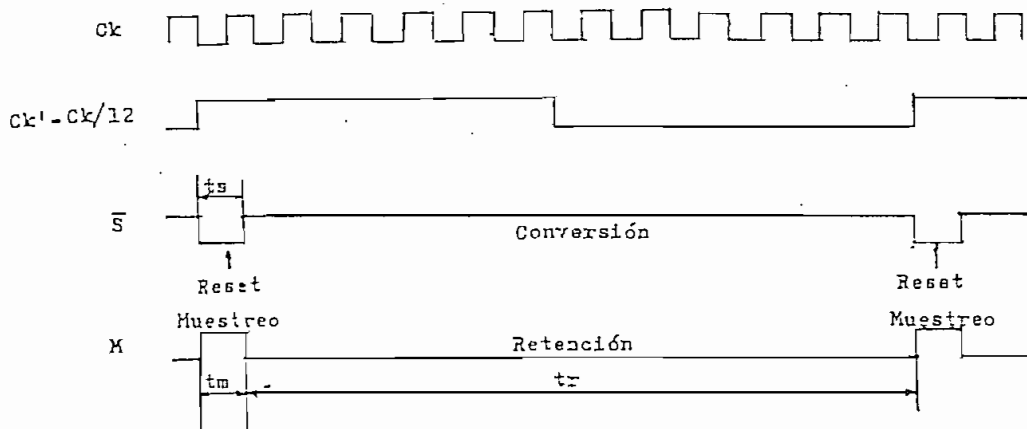


Fig. II.21 Formas de onda de las señales de control

Por la similitud de las formas de onda se hará el diseño de tal manera que la señal \bar{S} (Inicio de conversión) sirva con solo invertirla como -

señal de comando para el muestreador retenedor.

Para la generación de \bar{S} y M utilizaremos un circuito monoestable que se dispare con la transición positiva de Ck' , en su salida no invertida obtendremos la señal M y en su salida invertida obtendremos la señal \bar{S} . El circuito integrado empleado es el SN74123 que es un monoestable redispensible y el ancho de los pulsos que entrega depende únicamente de una resistencia y un condensador conectados externamente, hay que indicar que no es necesario que el monoestable sea redispensible, pero debido a que es el único de que disponemos lo emplearemos ya que se adapta perfectamente a nuestras necesidades.

En lo que se refiere a la señal \bar{S} , en la parte II.4.2 (Pág.24) se indicó que para un correcto Reset esta debe ser puesta en 0L por lo menos un tiempo de 16 ns. antes de que aparezca la correspondiente transición positiva de Ck , esto se cumple plenamente para cualquier frecuencia de Ck si nosotros hacemos disparar al circuito monoestable con la transición positiva de Ck' (ver Fig. II.21), lo que si debemos tomar en cuenta es que esta señal (\bar{S}) debe ser vuelta a 1L máximo cuando ocurre la siguiente transición negativa de Ck . En lo que se refiere a la señal M, en la parte II.3.2 (Pág.16) se anotó que necesitamos un tiempo de por lo menos 0.8 μ s. para que la salida del muestreador retenedor efectivamente pase de muestreo a retención después de que ha ocurrido la señal de comando para este modo.

En el manual se vió que el ancho del pulso dado por el IC SN4123 viene dado por la fórmula:

$$T = t_s = t_m = 0.693 R_{ext} \times C_{ext} \quad (2.5)$$

donde: R_{ext} es el valor de la resistencia conectada exteriormente expresado en ohmios.

C_{ext} es el valor del condensador conectado exteriormente - expresado en faradios.

A continuación haremos el cálculo de C_{ext} para las diferentes frecuencias de C_k , para R_{ext} asumimos un valor de 2200 ohmios con el objeto de que los valores necesarios para C_{ext} resulten en el orden de manojos faradios, pues el ancho de los pulsos es del orden de microsegundos.

Primero haremos el cálculo para $f_{ck} = 96 \text{ Khz.}$

en este caso $t_{ck} = 1/96 \times 10^3 \text{ s.} = 10.4 \mu\text{s.}$

$$t_{ck/2} = 5.2 \mu\text{s.}$$

se cumplen plenamente las consideraciones hechas para \bar{S} y M si hacemos:

$$5.2 \mu\text{s.} \leq t_s = t_m = T \leq 10.4 \mu\text{s.}$$

con lo que $C_{ext1} = 3.41 \text{ nF.}$ aplicando la fórmula 2.5 para

$$T = 5.2 \mu\text{s.} \text{ y } R = 2200 \Omega$$

y $C_{ext2} = 6.82 \text{ nF.}$

aplicando la fórmula 2.5 para

$$T = 10.4 \mu\text{s.} \text{ y } R = 2200 \Omega$$

por lo tanto para C_{ext} obtenemos la expresión

$$\underline{3.41 \text{ nF.} \leq C_{ext} \leq 6.82 \text{ nF.}} \quad (f_{ck} = 96 \text{ Khz.})$$

haciendo idénticas consideraciones que en el caso anterior obtenemos

$$1.7 \text{ nF.} \leq C_{\text{ext}} \leq 3.41 \text{ nF.} \quad (f_{\text{ck}} = 192 \text{ KHz.})$$

$$0.85 \text{ nF.} \leq C_{\text{ext}} \leq 1.7 \text{ nF.} \quad (f_{\text{ck}} = 384 \text{ KHz.})$$

ahora consideraremos el caso cuando $f_{\text{ck}} = 768 \text{ KHz.}$

en este caso $t_{\text{ck}} = 1.3 \mu\text{s.}$ y $t_{\text{ck}} / 2 = 0.65 \mu\text{s.}$

sabemos que el comando para el modo de retención (Hold) debe ocurrir - por lo menos $0.8 \mu\text{s.}$ (Hold settling time) antes de que ocurra la primera transición positiva en CK después de que ocurrió el Reset, por otra parte para un mejor funcionamiento del muestreador retenedor el tiempo de muestreo t_m debe ser lo más grande posible, por lo que consideramos apropiado escoger un valor de $1.1 \mu\text{s.}$ para T , con lo que se cumplen las observaciones hechas para \bar{S} y M .

aplicando la fórmula II.5 para $T = 1.1 \mu\text{s}$ y $R = 2200 \Omega$ obtenemos





$$C_{\text{ext}} = 722 \text{ pF.} \quad (f_{\text{ck}} = 768 \text{ KHz.})$$

Hay que anotar que si observamos con detenimiento la figura II.21 se puede notar que realmente podemos realizar las conversiones hasta con 11 bits, aún cuando para el equipo solamente se utilizaran 10 bits, este hecho no tiene importancia considerando los fines para los cuales fue concebido este trabajo.

En la figura II.22 se indican la tabla de verdad y la forma de conexión empleada para el integrado SN74123.

123, 123A Dual Retriggerable One Shots with Clear

TRUTH TABLE

INPUTS			OUTPUTS	
A	B	CLR	Q	\bar{Q}
H	X	H	L	H
X	L	H	L	H
L	H	H		
H	H	H		
X	X	L	L	H

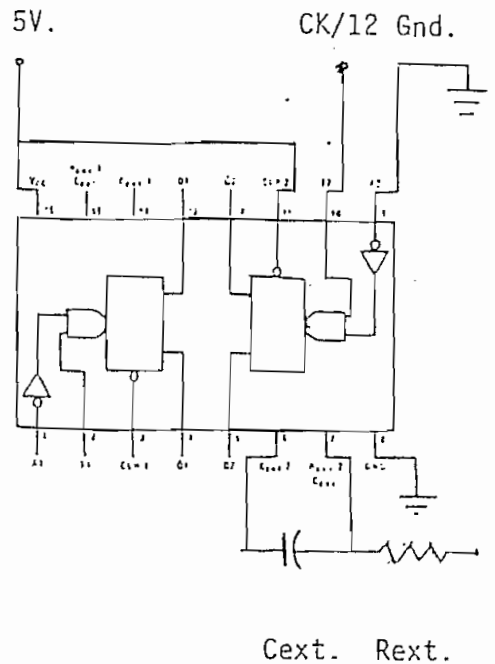


Fig. II.22 Tabla de verdad y forma de conexión del SN74123.

II.6 EL MODULADOR

II.6.1 CONSIDERACIONES TEORICAS

Con el objeto de disminuir los problemas que se puedan producir debido a distorsión de ancho de pulso en el canal de transmisión especialmente para transmisión a distancias considerables, utilizaremos un tipo de modulación en frecuencia. Por adaptarse a nuestras necesidades y por sencillez de implementación para realizar la modulación emplearemos el código FM (Miller). Hay que anotar que para disminuir los problemas de sincronización con el receptor, haremos la modulación de los datos con la señal de reloj (Ck) del Registro de Aproximaciones Sucesivas, tomando en cuenta que los datos a ser transmitidos aparecen en la salida serial del

Registro cuando en C_k ocurren las transiciones positivas, las formas de onda para este caso se muestran en la fig. II.23.

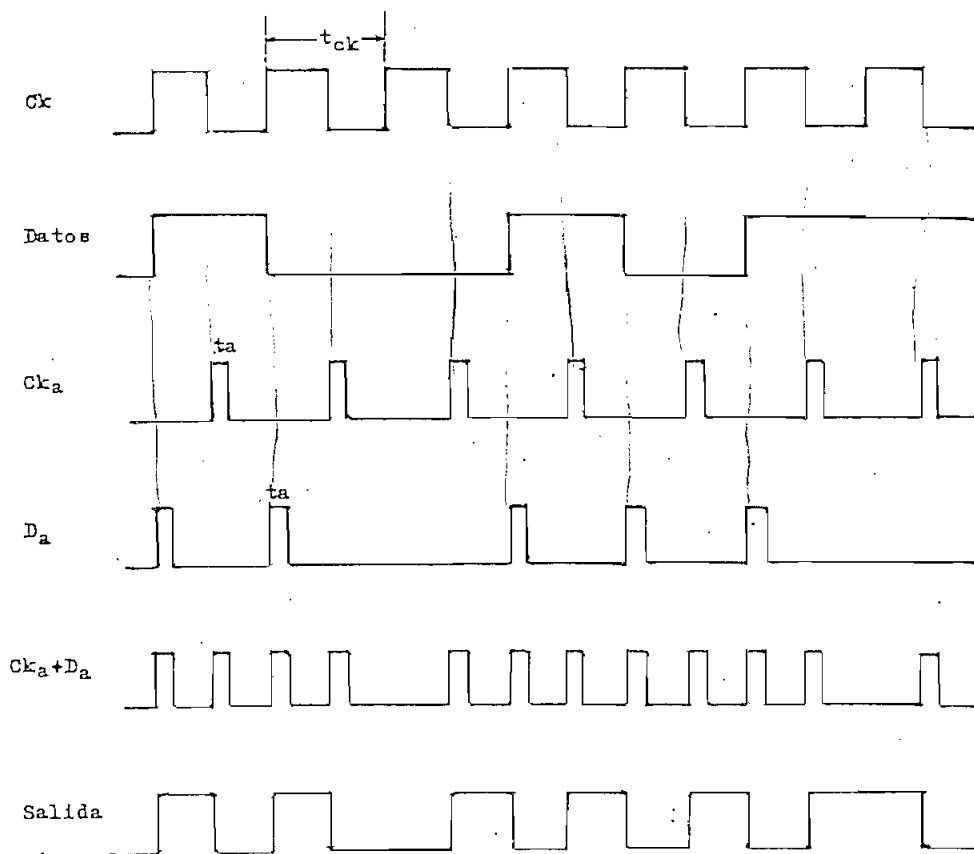


Fig. II.23 Formas de onda en el modulador.

Para obtener la señal modulada primero debemos conseguir la señal C_{ka} que consiste en una serie de impulsos de corta duración (un impulso por cada transición de alto a bajo en C_k), la señal D_a que consiste al igual que la anterior en una serie de impulsos (un impulso por cada transición positiva o negativa en C_k), a continuación debemos hacer la suma

h₂(t)

de estas dos señales y finalmente utilizando un biestable obtendremos la señal modulada que será transmitida hacia el receptor (Ver fig. II.23).

II.6.3 DISEÑO DEL CIRCUITO

A continuación se indica el circuito empleado para obtener la señal Ck_a y la forma de onda en los diferentes puntos del circuito.

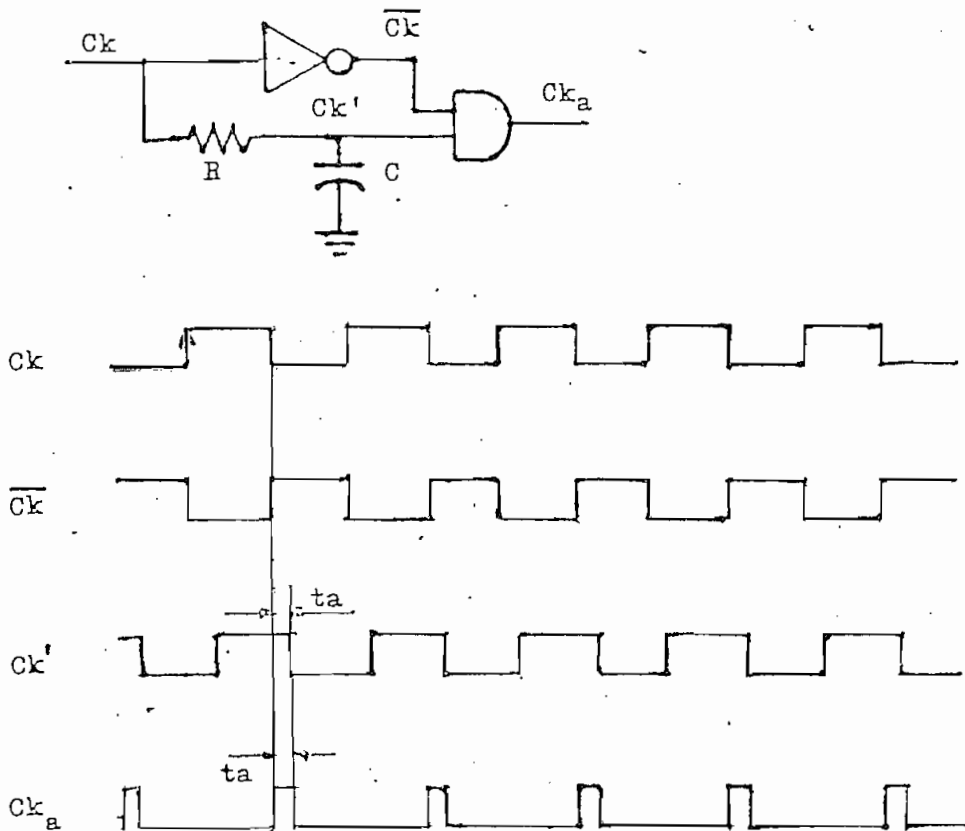


Fig. II.24 Circuito empleado y formas de onda para la obtención de Ck_a .

La resistencia y el condensador empleados sirven para dar un tiempo de retardo (t_a) a la señal de reloj C_k , hay que anotar que no se ha tomado en cuenta el tiempo de retardo introducido por la compuerta inversora por ser del orden de 10 ns. que comparados con los valores que necesitamos para t_a (centenas de ns.) resultan despreciables, además, por las características de los circuitos TTL no conocemos con exactitud el valor del voltaje de umbral entre los estados lógicos y por lo tanto no se justifica hacer un diseño con cálculos exactos por lo que únicamente haremos un diseño con cálculos aproximados, pero dejaremos márgenes de seguridad apropiados.

Hay que indicar que la señal de reloj viene de un circuito integrado SN7474 que tiene su salida del tipo indicado en la fig II.25, el circuito utilizado para realizar los cálculos de R y C es el siguiente:

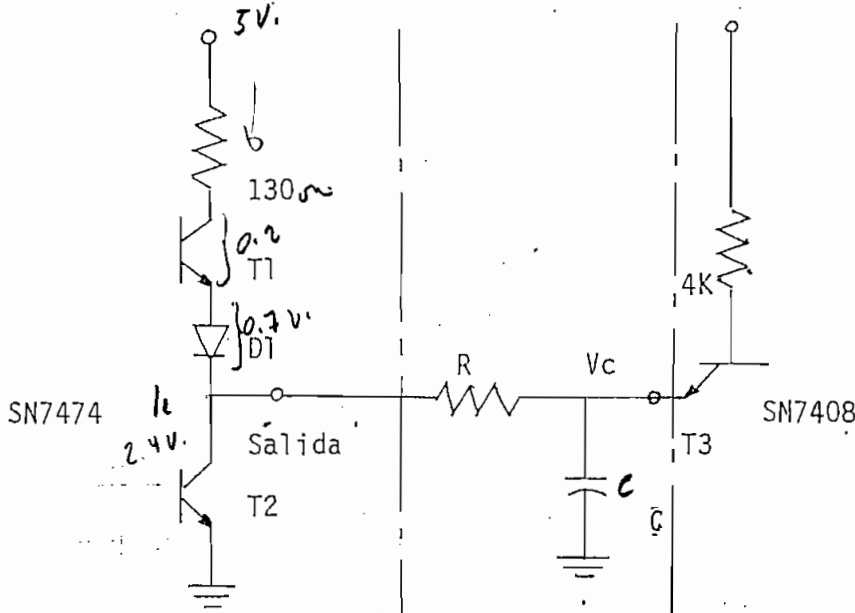


Fig. II.25 Circuito para el cálculo de R y C.

Primeramente determinaremos el rango en el cual puede estar el valor de R, considerando las características de salida de los circuitos TTL,.

En el manual se vió que la máxima corriente I_{oh} que puede entregar el SN7474 es 16.5 mA., considerando que el condensador está completamente descargado y aparece un 1L en la salida del SN7474 el mínimo valor que puede tener R será:

$$R_{min} = \frac{V_{ohmin}}{I_{ohmax}} = \frac{2,4 V}{16,5mA} = 145 \Omega$$

A continuación calculemos el máximo valor de R para garantizar la descarga de C, cuando aparece un 0L en la salida del SN7474

$$I_{descarga T2} > I_{carga T3}$$

$$I_{descarga T2} = \frac{0.8V - 0.2V}{R} > 5V - 0.75 V - 0.8V.$$

$$R_{max} = 685 \Omega$$

Por lo tanto el rango de valores para R es:

$$\underline{145 \Omega < R < 685 \Omega}$$

Con el fin de garantizar la descarga de C escogemos $R = 150 \Omega$

Para el cálculo de C primero debemos determinar el ancho de los im pulsos de C_{ka} , por seguridad haremos $t_a = t_{ck}/8$, y debemos considerar el caso cuando utilizamos la frecuencia de reloj más alta (768 KHz.)

$$t_a = \frac{1}{8} \left(\frac{1}{768 \cdot 10^3} \right) \text{ s.} = 0.16 \mu\text{s.}$$

Si consideramos que $V_{ce \text{ sat.}} = 0.2$ voltios el mínimo valor al que puede descargarse C será 0.2 v. y ahora suponemos que aparece un 1L en la salida del SN7474, el tiempo que el condensador demora en cargarse hasta el voltaje de umbral entre estados (asumimos $V_u = 1.6$ v.) viene dado por la fórmula aproximada 2.6 ya que $1.6 = 2 \times 2.4 / 3$ (2.4 voltios es el valor de $V_{oh \text{ min}}$) y únicamente estamos haciendo un cálculo aproximado.

$$t = 0.693 RC \quad (2.6)$$

$$C = \frac{0.16 \mu\text{s}}{0.693 \cdot 150 \Omega} = 1.5 \text{ nF.}$$

Ahora que conocemos los valores de R y C calculemos el tiempo t_a que estos valores nos dan cuando ocurre una transición de alto a bajo - en la salida del SN7474, sabemos que el voltaje de un condensador descargándose viene dado por la expresión:

$$V_c = V_o e^{-\frac{t}{RC}} \quad (2.7)$$

Primero consideremos el caso cuando $V_o = V_{oh \text{ máx}} = 3.6$ v., para V_c tomemos el valor de voltaje de umbral $V_u = 1.6$ v., reemplazando estos valores en la fórmula 2.7 obtenemos para t_a un valor de $t = 0.18 \mu\text{s}$. Ahora consideremos el caso cuando $V_o = V_{oh \text{ min}} = 2.4$ v y con el resto de valores iguales obtenemos para t_a un valor de $t = 0.09 \mu\text{s}$. y se

puede notar que ambos valores están completamente de acuerdo a nuestros requerimientos en lo que a duración de los impulsos de C_{ka} se refiere.

A continuación se indica el circuito empleado para obtener la señal D_a y la forma de onda en los diferentes puntos del circuito.

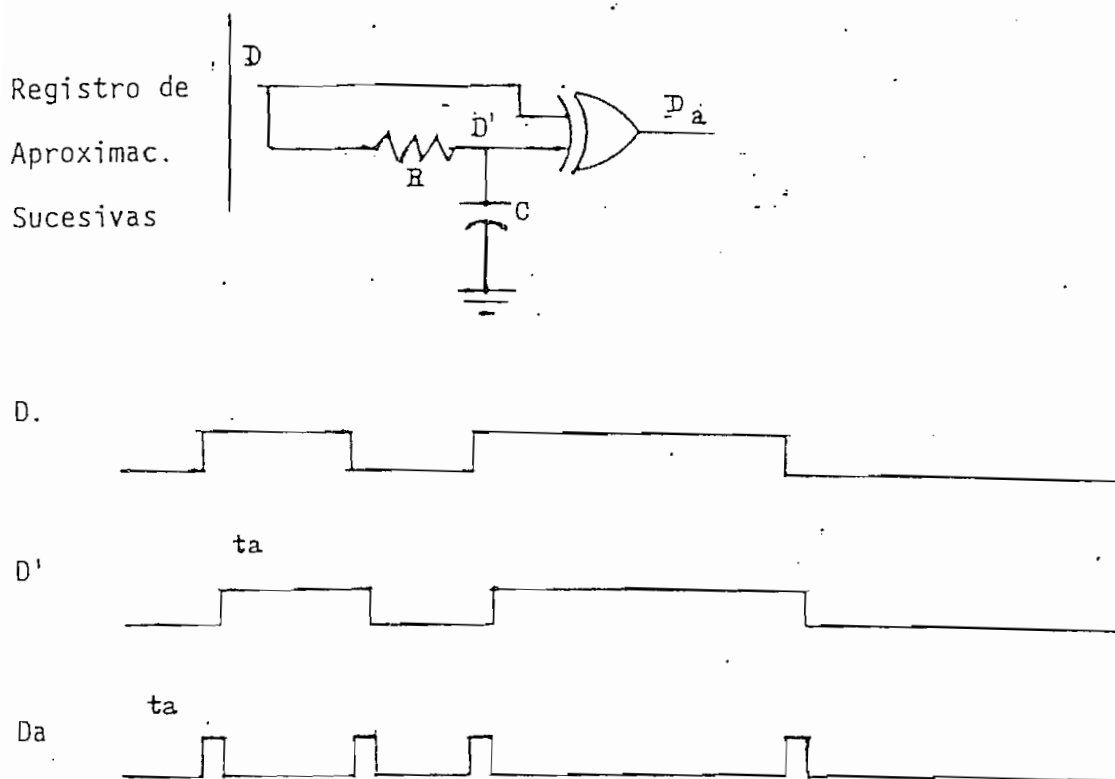


Figura II.26 Circuito empleado y formas de onda para la obtención de D_a .

Por no poseer información acerca de la configuración de salida correspondiente del Registro de Aproximaciones Sucesivas y considerando que este registro está conformado internamente por biestables asumiremos que tiene una configuración de salida similar al circuito SN7474 con lo que tienen validez todas las consideraciones hechas anteriormente para -

seleccionar los valores de R y C, por lo tanto, para R fijaremos un valor de 150 ohmios y para C un valor de 1.5 nF.

Dadas las características de las señales Ck_a y D_a (Ver Fig.II.23) el circuito que realiza la suma de estas dos señales corresponde a una compuerta lógica del tipo OR, con esta señal introducida en el reloj de un biestable tipo D en el cual la salida va a cambiar de estado con cada transición positiva de la señal de salida de la compuerta OR. A continuación se indica el diagrama circuital completo del modulador.

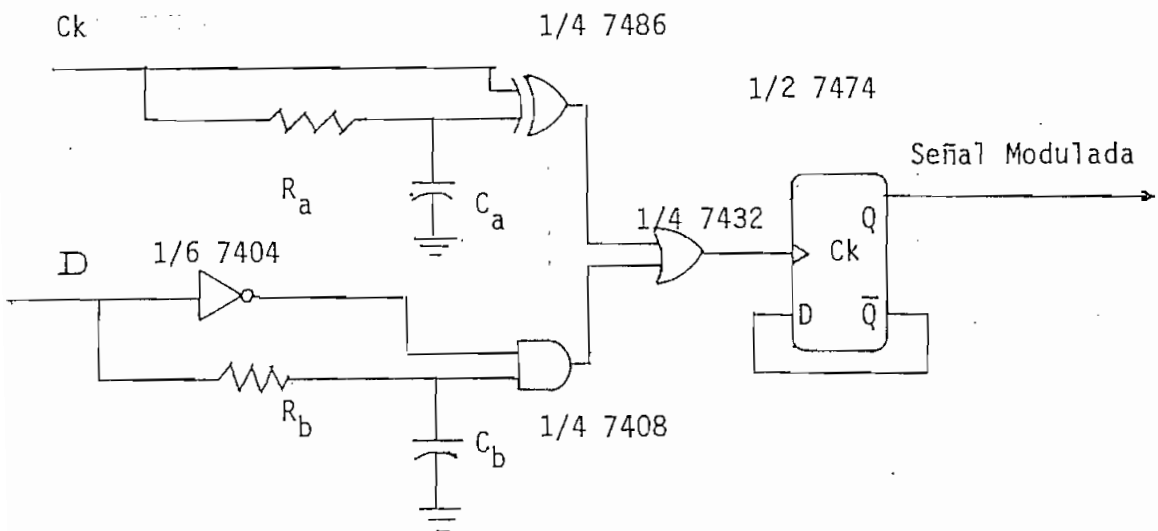


Fig. II.27 Diagrama circuital del modulador.

C A P I T U L O I I I

R E A L I Z A C I O N E X P E R I M E N T A L

III.1 PROCEDIMIENTO

La construcción del transmisor de audio se realizó por etapas. Cada bloque circuital se armó, ajustó y probó por separado. Los elementos del mismo fueron montados en una sola placa de conexión sin alambres, utilizando conectores solamente en donde fué absolutamente necesario. Sin embargo, no se ha pasado por alto la presentación estética que debe tener un trabajo de esta naturaleza, lo que, por otra parte, facilita la realización de rectificaciones. Las modificaciones hechas en cada circuito respecto del diseño original, se señalan y justifican en este capítulo. Las fuentes de alimentación de 5, 15 y -15 voltios utilizadas en las pruebas emplean reguladores de voltaje integrados, del tipo de 3 terminales que ofrecen características apropiadas para este tipo de trabajos.

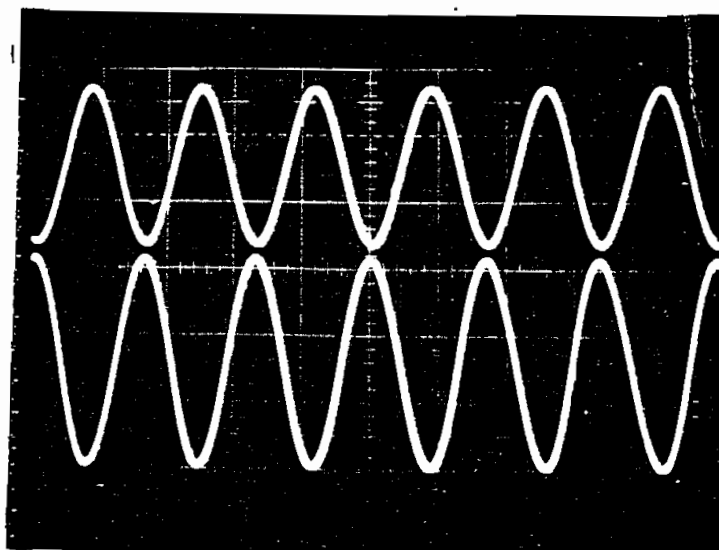
Una vez comprobado el correcto funcionamiento de cada parte, se interconectaron los bloques entre sí y se realizaron los ajustes correspondientes.

III.2 EL CIRCUITO COMPRESOR

El circuito compresor fué implementado según lo detallado en la figura II.3 del capítulo anterior. Los valores de los parámetros utilizados son los siguientes:

$$\begin{aligned}
 R6 = R7 &= 47 \text{ K}\Omega \pm 10\% & R5 = R8 &= 18 \text{ K}\Omega \pm 10\% \\
 R9 &= 100 \Omega \pm 1\% & C1 = C5 &= 1 \mu\text{F} \pm 10\%, 10 \text{ v.} \\
 C4 = C5 &= 10 \mu\text{F} \pm 10\%, 16\text{v.} & C2 = C3 &= 10 \mu\text{F} \pm 10\%, 16\text{v.} \\
 C6 &= 6 \text{ pF.} \pm 10\%, 50\text{v.}
 \end{aligned}$$

Hay que anotar que las resistencias R5 y R8 han sido cambiadas de su valor original de 20 K Ω con el objeto de variar ligeramente la ganancia del amplificador operacional y lograr así que el circuito funcione de acuerdo a la curva de transferencia indicada en la figura II.4. Se realizaron pruebas experimentales, conectando a la entrada distintas señales senoidales con frecuencias que iban desde 100 Hz. a 15 KHz. y se comprobó que el circuito trabaja como se indica en la parte teórica correspondiente. Un ejemplo del funcionamiento del circuito compresor se muestra en la Fig. III.1.



a)

b)

ESCALA VERTICAL : 0.5 V./div.
 ESCALA HORIZONTAL : 0.2 mseg./div.

Fig. III.1 Ejemplo del funcionamiento del compresor

- a) Señal de entrada al compresor
 ($V_p = 0.6 \text{ V. } (-4.4\text{dB.}), f = 3\text{KHz.}$)
- b) Señal de salida del compresor
 ($V_p = 0.77 \text{ v } (-2.2\text{dB.})$).

III.3 EL FILTRO PASABAJOS

Considerando que el filtro es de orden alto, y las tolerancias de los elementos que empleamos pueden producir un funcionamiento erróneo los valores de resistencias a utilizarse fueron previamente medidos y se hicieron las correcciones adecuadas (conectando resistencias en serie o condensadores en paralelo) hasta conseguir los valores de elementos calculados en la parte II.2.2 con una tolerancia de $\pm 0.5 \%$, se realizó la compensación del voltaje offset de salida de los amplificadores operacionales utilizados empleando las entradas de Offset Null de acuerdo a las recomendaciones del manual y se pudo comprobar que el filtro armado, inclusive luego de realizar pequeños ajustes no funcionó de acuerdo a las características deseadas, especialmente en lo que a frecuencia de corte se refiere, se obtuvo una frecuencia de corte de 11.8 KHz, este hecho en parte puede justificarse debido a la imposibilidad de obtener con toda exactitud los valores de elementos calculados, además, la capacitancia de entrada de los operacionales utilizados (típi

ca 5 pF.) y las capacitancias parásitas de la placa para conexión utilizada pueden influir en el funcionamiento. Para superar este problema se diseñó otro filtro considerando un factor de corrección para la frecuencia de corte calculado de la siguiente manera:

$$F_c = \frac{\text{frec. de corte teórica}}{\text{frec. de corte real}} = \frac{14 \text{ KHz.}}{11.8 \text{ KHz.}} = 1.186$$

Considerando este factor de corrección se determina que el valor de frecuencia de corte teórica con el que debemos hacer el cálculo del filtro es 16.6 KHz, a continuación se indica los nuevos valores calculados para los elementos del filtro siguiendo el mismo procedimiento dado en la parte II.2.2.

ELEMENTO	PRIMERA ETAPA	SEGUNDA ETAPA	TERCERA ETAPA
C [μF]	0.001	0.001	0.001
R1 [KΩ]	121.002	51.288	32.544
R2 [KΩ]	121.002	51.288	32.544
R3 [KΩ]	135.840	37.542	35.460
C1 [pF]	5	68	300

Fig. III.2 Valores calculados para los elementos del filtro tomando en cuenta el factor de corrección F_c .

A continuación se indican los valores de los elementos con que fue armado el filtro considerando el factor de corrección F_c .

ELEMENTO	PRIMERA ETAPA	SEGUNDA ETAPA	TERCERA ETAPA
C[μ F]	0,001 (C7)	0.001 (C9)	0.001(C12)
R1[K Ω]	120.6 + 0.5(R10+R11)	50.7+0.5(R16+R17)	31.5+1.1(R22+R23)
R2[K Ω]	120.2 + 1.06(R12+R13)	40.8+10.3(R18+R19)	22.4+10.2(R24+R25)
R3[K Ω]	128.9+6.8(R14+R15)	32.1+5.5(R20+R21)	20.5+15.1(R26+R27)
C1[PF]	6 (C8)	62 + 6 (C10+C11)	296PF(C13)

Fig III.3 Valores medidos para los elementos del filtro tomando en cuenta el factor de corrección F_c .

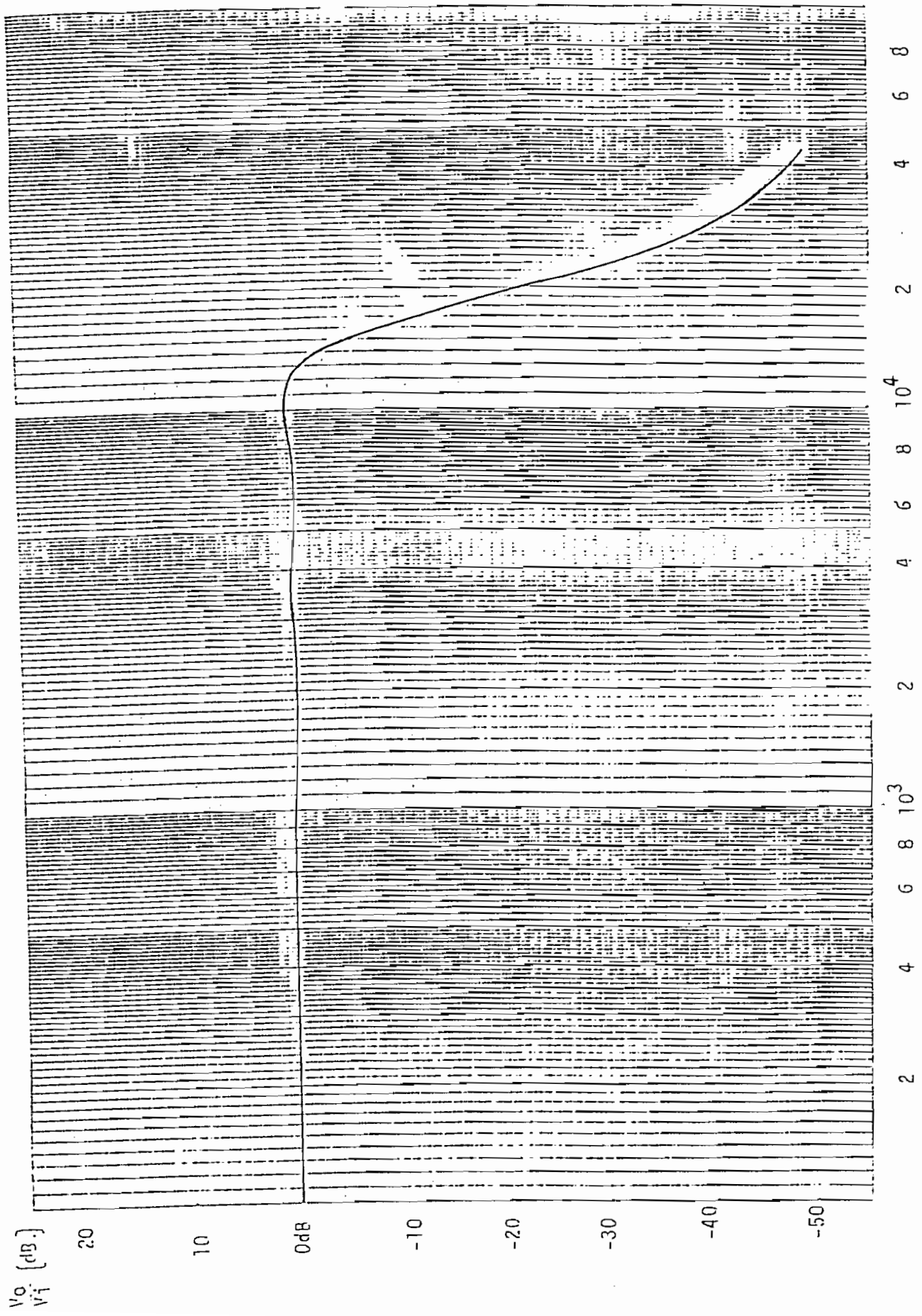
El filtro armado resultó con la frecuencia de corte apropiada (14KHz.) únicamente hubo que ajustar los valores de los condensadores con el objeto de reducir el rizado que se presentaba en la parte plana de la curva de transferencia, los valores que tuvieron que ser modificados y la curva de transferencia obtenida finalmente se muestran a continuación, hay que indicar que se sustituyó el condensador C8 por un trimmer de 10pF. el mismo que fué ajustado hasta obtener los mejores resultados, el rizado obtenido finalmente en la región plana de la curva de transferencia fué de 0.6 dB. que resulta ser un valor aceptable.

$$C7 = 510 \text{ pF}$$

$$C10 = 100 \text{ pF.}$$

$$C11 = 62 \text{ pF.}$$

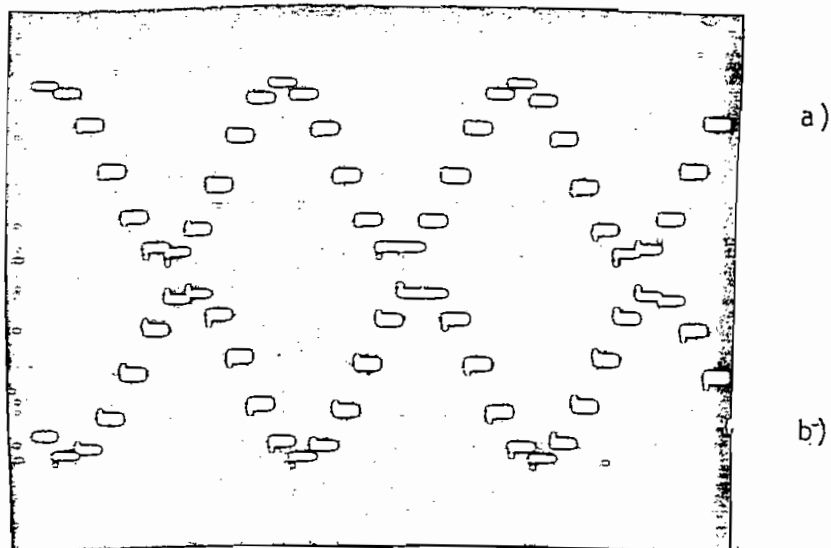
$$C12 = 820 \text{ pF.}$$



GRÁFICA DE TRANSFERENCIA DEL FILTRO PASA BAJOS.

III.4 EL MUESTREADOR RETENEDOR

Este circuito fué armado de acuerdo al esquema dado en la fig. - II.10, para el condensador de retención fué utilizado un valor $C_{14}=1000\text{pF.}$, la fuente de polarización empleada para este circuito es de 15 voltios - positivos. El circuito armado funcionó en buena forma para cuando se se - leccionaron las frecuencias de muestreo f_s de 8, 16 y 32 KHz. Cuando se seleccionó la frecuencia de muestreo de 64 KHz. los resultados no fueron satisfactorios y se vió la necesidad de aumentar el tiempo de muestreo, así como también el tiempo que transcurre entre la señal de comando del modo Hold y la primera transición positiva de C_k después que ha ocurrido el Reset del Registro de Aproximaciones Sucesivas, todo esto, debido a - la presencia de pequeños transitorios en la salida del circuito durante los cambios de estado (muestreo a retención o viceversa). Los cambios - que se tuvieron que realizar en la señal de comando de este circuito (M) se indican en la parte correspondiente al generador de señales. En la - siguiente figura se puede apreciar la función que cumple este circuito en el transmisor y las muestras recuperadas en el receptor cuando se hi - cieron las pruebas del sistema completo.



ESCALA VERTICAL : 0.1 V./div.

ESCALA HORIZONTAL : 0.1 mseg./div.

Fig.III.5 Ejemplo del funcionamiento del muestreador-retenedor

a) Muestras obtenidas en el transmisor

Señal de entrada $V_p = 0.15$ V. y $f = 3$ KHz.

Frecuencia de muestreo seleccionada $f_s = 32$ KHz.

b) Muestras recuperadas en el receptor

(número de bits empleados $n=10$)

Experimentalmente se pudo comprobar que para que se recuperen en buena forma las señales en el receptor; la frecuencia de muestreo empleada debe ser mayor que dos veces la máxima componente frecuencial contenida en la señal de entrada, aproximadamente debe ser $f_s = 2.5 f$ donde f_s es la frecuencia de muestreo utilizada y f es la máxima componente frecuencial de la señal de entrada. El hecho descrito anteriormente se apre

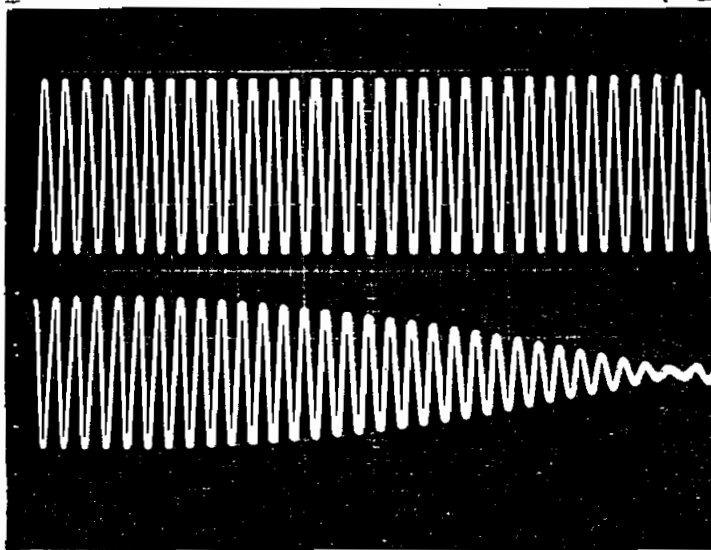
cia claramente en la figura III.6 donde:

V_{rms} = voltaje RMS de la señal de entrada al transmisor

f = frecuencia de la señal de entrada

n = Número de bits empleados en el CAD

f_s = frecuencia de muestreo utilizada en el transmisor
no se utilizó la técnica de compresión expansión.



ESCALA VERTICAL: 0.5 V./div.

ESCALA HORIZONTAL: 0.2 mseg./div.

Fig. III.6 Resultados cuando se hacían las pruebas experimentales del sistema completo.

- a) Señal de entrada al transmisor ($V_{rms}=0.9$ V. $f=16$ KHz.)
- b) Señal de salida del receptor ($n=10$ $f_s=32$ KHz.)

III.5 EL CONVERTIDOR ANALOGO-DIGITAL

Fué armado de acuerdo al diagrama circuital dado en la Fig. - II.16, los valores de los elementos utilizados fueron: la resistencia limitadora de corriente $R37 = 220\Omega \pm 10\%$, la resistencia de realimentación del operacional $R28 = 1.2$ M $\pm 10\%$, el potenciómetro P1 utilizado para disminuir el voltaje de referencia es de 1 K.

El circuito así armado no funcionó satisfactoriamente y se pudo comprobar que la falla se debía a inestabilidad en la salida del amplificador operacional utilizado, esto se debe a la alta ganancia de que se había dotado a este amplificador y a la falta de una buena tierra, imposible de conseguir, dadas las características de la placa de conexión. Con el objeto de reducir la ganancia hasta conseguir un valor adecuado se sustituyó la resistencia de realimentación R28 por un potenciómetro de 20 K el cual fué ajustado hasta conseguir los mejores resultados, también fué necesario ajustar el valor de la referencia conectada en el pin 17 (Ver fig. II.16) hasta conseguir que el circuito entregue las palabras digitales apropiadas (de acuerdo a la fig. II.17) para cada nivel de voltaje continuo que se colocaba a su entrada, se determinó que el valor de este voltaje resultó ser de 9.31 v., la comprobación de los códigos de salida se hizo para voltajes de entrada continuos entre -10 v y +10 v., con intervalos de 0.5 voltios, a continuación se indican las jus-

tificaciones teóricas por las que tuvo que ser realizado el ajuste del voltaje de referencia anteriormente indicado.

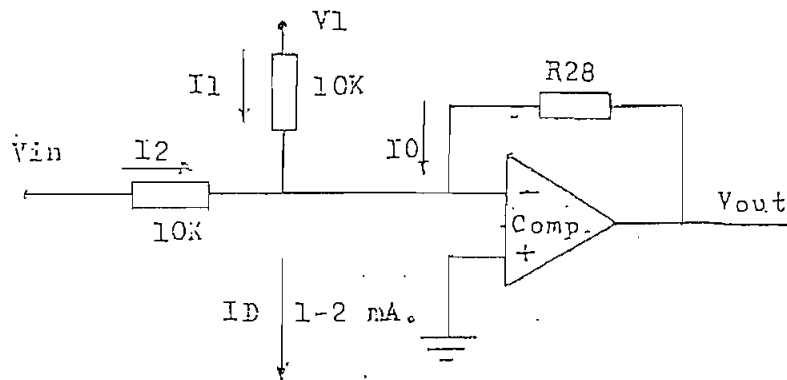


Fig. III.7 Configuración para el circuito de salida del DAC.

Experimentalmente se pudo comprobar que el circuito trabaja en forma óptima cuando $R28 = 18 \text{ K}\Omega$

Utilizando la ecuación 2.3

$$I_0 + I_1 + I_2 = I_D$$

para mitad escala $V_{in} = 0 \text{ V.}$, $I_D = 1 \text{ mA.}$, por lo tanto $I_2 = 0 \text{ mA.}$, para que a la salida del comparador para el primer bit de una palabra sea un 1L o un 0L (tomando en cuenta la distorsión de cruce por cero) haremos $V_{out} = V_{umbral} = 1.6 \text{ V.}$, en este caso

$$I_0 = 1.6 \text{ V.} / 18 \text{ K} = 0.09 \text{ mA.}$$

$$I_2 = I_D - I_0 = 1 \text{ mA} - 0.09 \text{ mA.} = 0.910 \text{ mA.}$$

$$\text{y } V_1 = 0.910 \text{ mA.} \times 10 \text{ K}$$

$$V_1 = 9.1 \text{ V.}$$

El valor obtenido para V_l varía ligeramente con relación al de terminado experimentalmente, esto se debe a que el voltaje de umbral a- sumido puede variar en la práctica debido a las características de los circuitos TTL.

III.6 EL GENERADOR DE SEÑALES

El oscilador maestro y los divisores de frecuencia fueron arma dos de acuerdo a las consideraciones hechas en la parte II.5.2, para con seguir que la frecuencia de oscilación del circuito integrado SN74124 - sea de 1536 KHz., hubo necesidad de ajustar el valor del condensador em pleado, este valor fué fijado experimentalmente y resultó ser de 343 pF. (325,5 pF. es el valor calculado) la pequeña diferencia puede explicar se por la tolerancia en los valores de los elementos utilizados, este - valor se lo consiguió empleando 2 condensadores conectados en paralelo:

$$C_{ext} = 330 \text{ pF.} + 43 \text{ pF.} \quad (C15 + C16)$$

Con el objeto de determinar la estabilidad de la frecuencia de oscilación se realizaron mediciones de esta frecuencia durante 10 minutos, con intervalos de tiempo (entre mediciones) de 30 segundos, los re sultados de estas mediciones se indican en la siguiente figura:

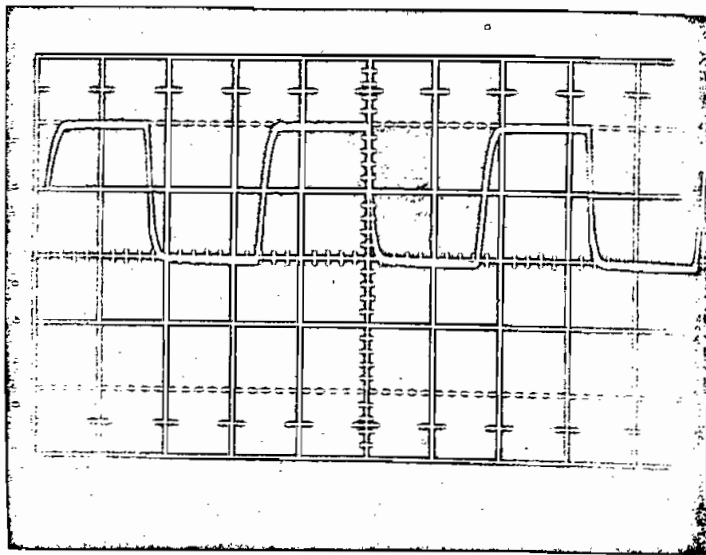
t [seg]	fo [KHz.]	t [seg]	fo [KHz.]
0	1535.948	300	1536.008
30	1535.980	330	1535.957
60	1536.015	360	1535.969
90	1535.975	390	1535.981
120	1535.991	420	1535.962
150	1536.056	450	1536.037
180	1536.040	480	1535.987
210	1536.023	510	1536.043
240	1535.950	540	1536.021
270	1536.063	570	1535.982

Fig.III.8 Tabla de mediciones para determinar la estabilidad de frecuencia del oscilador maestro.

Se nota que cumple con las especificaciones de estabilidad (± 75 Hz.) dadas en la parte teórica correspondiente.

Por ser los más adecuados para este tipo de aplicaciones, además de su reducido tamaño, para seleccionar los diferentes divisores de frecuencia necesarios se utilizaron switches del tipo "DIPSWITCH".

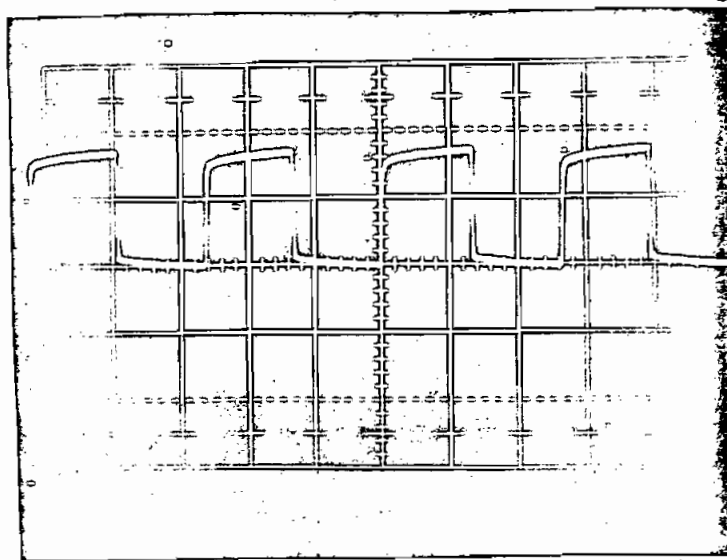
En la siguiente figura se aprecia la forma de onda de la señal entregada por el oscilador maestro y también se indica la forma de onda típica que tiene la señal de reloj C_k para el Registro de Aproximaciones Sucesivas.



a)

ESCALA VERTICAL : 2.V./div.

ESCALA HORIZONTAL : 0.2 μ seg/div.



b)

ESCALA VERTICAL : 2V./div.

ESCALA HORIZONTAL: : 1 μ seg./div.

Fig. III.8 Forma de Onda da las señales de reloj.

a) Señal de oscilador maestro ($f = 1536$ KHz.)

b) Señal de reloj (C_k) para el Registro de Aproximaciones Sucesivas ($f = 384$ KHz.)

En lo referente al generador de señales de inicio de conversión y comando del circuito muestreador-retenedor (\bar{S} y M) fue implementado de acuerdo al esquema dado en la parte II.5.3, cuando seleccionamos las frecuencias de reloj f_{ck} de 96,192, o 384 KHz. el funcionamiento fue de acuerdo a lo previsto en la parte teórica, no así cuando seleccionamos la frecuencia f_{ck} de 768 KHz., se pudo observar un funcionamiento defec

tuoso del circuito muestreador-retenedor, debido a los transitorios que se producen en su salida cuando ocurren los cambios de estado (muestreo a retención o viceversa) existía la necesidad de aumentar el tiempo de muestreo y el de "Hold Settling time", considerando que según lo dicho en la parte II.5.3, del Convertidor Análogo-Digital podemos obtener palabras digitales de hasta 11 bits, por lo que se optó por hacer un segundo Reset al Registro de Aproximaciones Sucesivas (Ver Fig.III.9) con lo que podemos obtener palabras únicamente de hasta 10 bits pero conseguimos aumentar los tiempos anteriormente indicados.

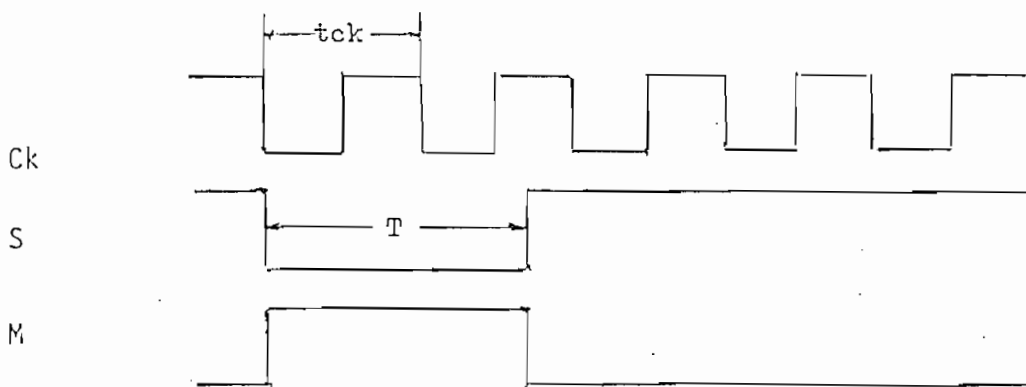


Fig.III.9 Modificación de las señales S y M para la frecuencia $f_{ck} = 768$ KHz.

Haciendo los cálculos de la manera indicada en la parte 2.V.3 (Pág. 27 y 28) y observando la figura anterior se nota que si $f_{ck} = 768$ KHz ($t_{ck} = 1.3 \mu s$) y el mínimo tiempo de Hold Settling Time es $0.8 \mu s$, el rango que podemos asumir para T es:

$$2.5 \leq T \leq 3.25 \quad 0.8 \quad T [\text{s.}]$$

$$2.5 \leq T \leq 2.45$$

Haciendo los cálculos obtenemos para Cext un rango de

$$1.345 \leq C_{ext} \leq 1.607 \quad C [\text{nF}]$$

La resistencia empleada en el SN74123 es $R_{29} = 2200 \pm 10\%$

A continuación se indica los valores de condensadores con que fué implementado el circuito:

$$C_{ext1} (96 \text{ KHz. }) = 4.7 \text{ nF.} \quad (C17)$$

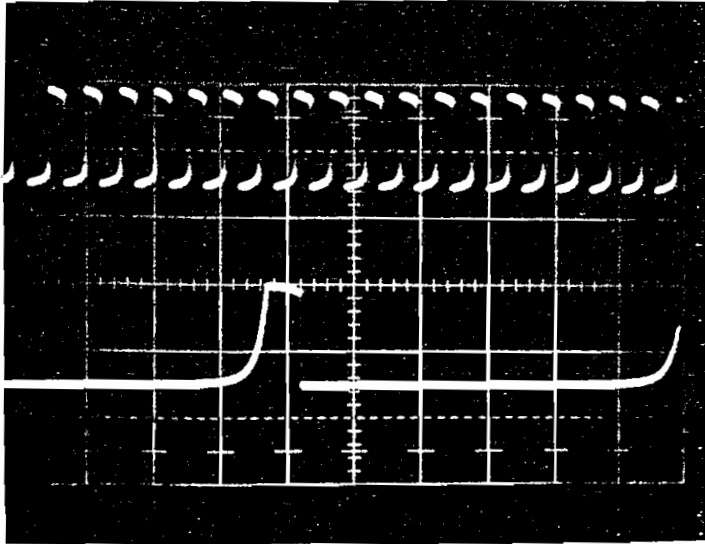
$$C_{ext2} (192 \text{ KHz. }) = 2 \text{ nF.} + 1 \text{ nF.} \quad (C18+C19)$$

$$C_{ext3} (384 \text{ KHz. }) = 2 \text{ nF.} \quad (C20)$$

$$C_{ext4} (768 \text{ KHz. }) = 1 \text{ nF.} + 0.47 \text{ nF.} \quad (C21+C22)$$

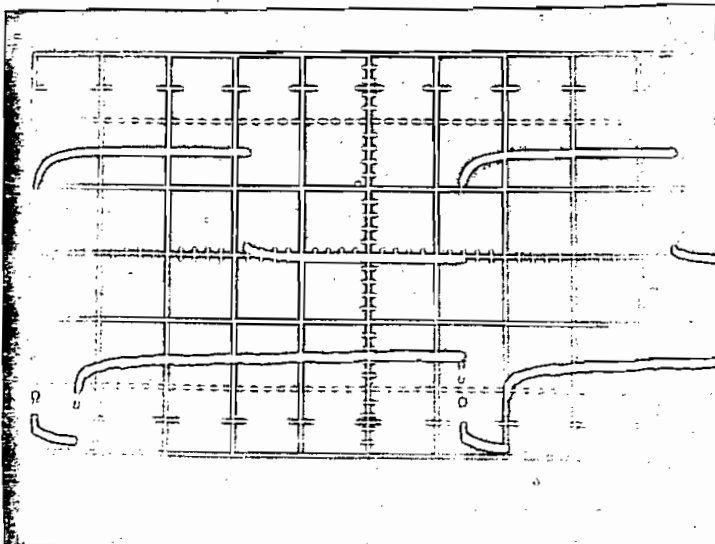
Para seleccionar estos condensadores, de acuerdo a la frecuencia f_{ck} , utilizada, se colocaron switches del tipo "DIPSWITCH".

En la siguiente figura se indica las formas de onda típicas obtenidas para la señal de inicio de conversión (\bar{S}) y de comando del circuito muestreador-retenedor (M) para las frecuencias de muestreo de 8, 16 y 32 KHz.



ESCALA VERTICAL : 2V./div.

ESCALA HORIZONTAL : 5 seg./div.



ESCALA VERTICAL : 2V./div..

ESCALA HORIZONTAL : 5 seg./div.

Fig. III.10 Formas de onda típicas para las señales de control.

- a) Señal de reloj (Ck) para el R.A.S. ($f = 384$ KHz.)
- b) Señal de comando del circuito muestreador-retenedor (M)
($f = 32$ KHz.)
- c) Señal para la generación de \bar{S} y M (Ck/12) ($f = 32$ KHz.).
- d) Señal de inicio de conversión (\bar{S}) ($f = 32$ KHz.)

III.7 EL MODULADOR

Fue armado de acuerdo al diagrama dado en la figura II.27, para Ra y Rb se utilizaron resistencias de $150\ \Omega \pm 10\%$ (R30 y R31), para Ca y Cb se recomendaban valores de 1.5 nF., experimentalmente se comprobó que el circuito funcionó en buena forma cuando utilizamos para Ca un condensador de 330 pF. (C23) y para Cb un condensador de 1 nF. (C24), las diferencias con los valores calculados se explican por que solamente habíamos realizado un cálculo aproximado y además no conocemos la configuración de salida del Registro de Aproximaciones Sucesivas.

C A P I T U L O I VC O N C L U S I O N E S Y R E C O M E N D A C I O N E S

IV.1 CONCLUSIONES

El circuito aquí construido ha sido diseñado de tal forma que su manejo sea sencillo y además es muy simple porque consta únicamente de 17 chips distribuidos así: 3 amplificadores operacionales, 1 Convertidor Digital-Análogo, 1 Registro de Aproximaciones Sucesivas, 1 Circuito Muestreador-Retenedor, 1 oscilador controlado por voltaje, 1 circuito compresor de audio, 1 monoestable redisparable, 4 circuitos integrados de compuertas lógicas básicas y 4 biestables, a más de estos circuitos se han necesitado condensadores, diodos, resistencias, potenciómetros y switches, por lo que el costo total del transmisor es reducido.

A continuación indicaremos las conclusiones obtenidas cuando el sistema fue probado en forma completa (transmisor y receptor) :

Especialmente para señales de muy baja amplitud, que debido a las características mismas del proceso de digitalización (resolución de los cuantizadores), no pueden ser recuperadas fielmente, se aprecia una considerable mejoría cuando se usa la técnica de compresión expansión. Los resultados obtenidos son muy similares a los que se logran con la técnica companding-expanding (en niveles de cuantización) muy utilizada en sistemas telefónicos digitales.

Experimentalmente se pudo comprobar que para fines prácticos, cuando queremos recuperar con fidelidad una señal, la frecuencia de muestreo empleada debe ser un poco mayor que 2 veces la máxima componente frecuencial de la señal, aproximadamente $f_s = 2.5 f$ donde f_s es la frecuencia de muestreo empleada y f es la máxima componente frecuencial contenida en la señal.

Los resultados obtenidos cuando seleccionamos las frecuencias de muestreo de 8 y 16 KHz. no fueron óptimos, debido a que los filtros tanto en el transmisor como en el receptor fueron diseñados para cuando se utilice una frecuencia de muestreo de 32 KHz., pero en cambio con este hecho se puede ilustrar el efecto que la utilización de filtros no apropiados a la frecuencia de muestreo produce en la calidad de la señal analoga recuperada.

Cuando se seleccionaron las frecuencias de muestreo de 32 o 64 KHz. los resultados fueron satisfactorios. Se pudo notar que cuando $f_s = 64$ KHz. señales de entrada de frecuencia $f \geq 14$ KHz. no perdieron su forma original, lo que no ocurre cuando $f_s = 32$ KHz., pero para los fines de este trabajo señales de frecuencia mayor a los 14 KHz. no revisten mayor importancia.

Finalmente, por todo lo dicho anteriormente se puede concluir que el equipo cumple a cabalidad con los objetivos para los que fue propuesto.

IV. 2 COMENTARIOS GENERALES

Si se quiere mejorar la estabilidad de frecuencia de oscilador maestro se lo puede hacer sustituyendo el condensador empleado para determinar su frecuencia de oscilación por un cristal sin necesidad de tener que emplear conexiones adicionales.

Hay que indicar que debido a la naturaleza del trabajo se hace la transmisión por dos cables coaxiales, pero queda abierta la posibilidad de realizar la transmisión utilizando técnica TDM, con el objeto de poder realizar por un mismo cable la transmisión por ejemplo de una señal estereo o de varias señales simultaneamente.

Si bien es cierto que el proceso de digitalización de la señal hace que el ancho de banda del canal necesario para la transmisión sea grande, en cambio se obtiene una mejora sustancial en la relación señal-ruido de la señal recuperada en el receptor con respecto a la relación señal-ruido del canal de transmisión.

Cuando tratemos de transmitir por un solo canal varias señales digitales "simultaneamente" puede resultar un problema el ancho de banda del canal disponible, pero estos problemas estan siendo superados con el uso de nuevos elementos, tales como las fibras ópticas, para el canal de transmisión.

El hecho de que el ancho de banda del canal necesario para hacer la transmisión enteramente digital sea grande, se ve recompensado por el hecho de que la relación señal-ruido que se puede obtener en la señal recuperada es grande en comparación con la relación señal-ruido del canal de transmisión, por ejemplo, se puede obtener una relación S/N de 60 dB. en la señal recuperada cuando usamos un canal de transmisión con una relación S/N de 12 dB.

B I B L I O G R A F I A

1. Taub-Schilling; DIGITAL INTEGRATED ELECTRONICS: Mc Graw-Hill Kogakusha, Ltd, Tokio, Japan, 1977.
2. National Semiconductor; LINEAR DATABOOK; National Semiconductor Corporation, California, USA, 1980.
3. Signetics Corporation, SIGNETICS; U.S.A., 1981.
4. Johnson-Hilburn; RAPID PRACTICAL DESIGN OF ACTIVE FILTERS; John Wiley & Sons, Inc, USA, 1981.
5. Espinosa Alfonso; SISTEMAS DIGITALES III; Escuela Politécnica Nacional, Quito, Ecuador, 1980.

A N E X O

INSTRUCCIONES PARA EL MANEJO DEL EQUIPO

- 1.- Conectar las fuentes de alimentación de +15, +5 y -5 V. de acuerdo al esquema dado en la figura siguiente.

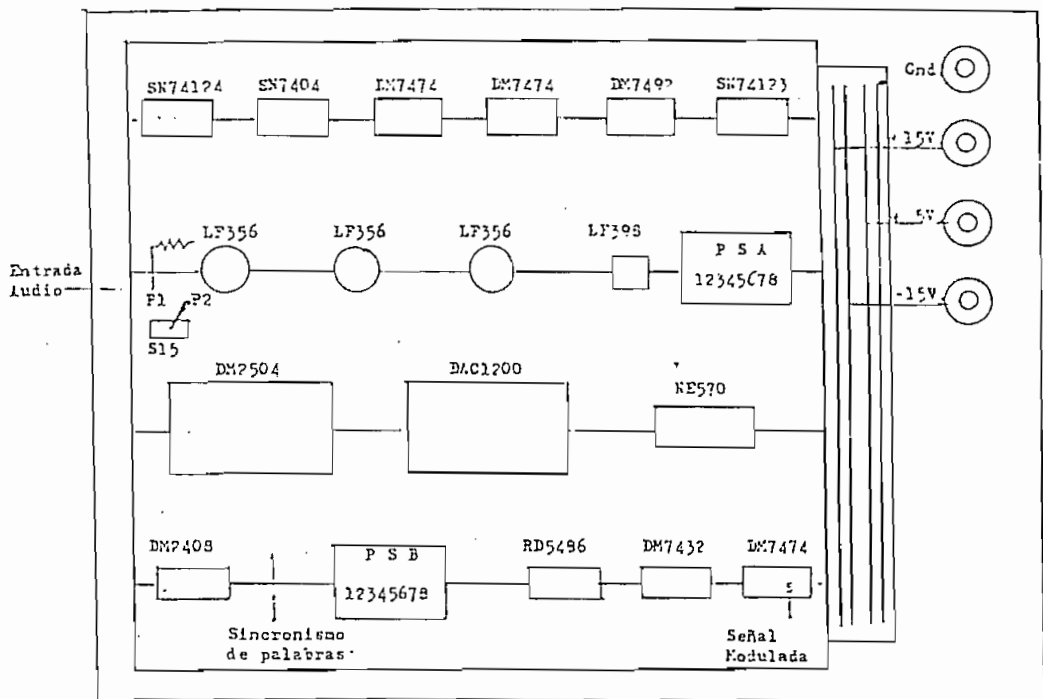


Figura A.1 Esquema para conexión y operación del transmisor de audio.

- 2.- Verificar que todos los switches del paquete PSA se encuentren en la posición OFF, los seis switches utilizados del paquete - PSB deben estar en la posición ON.

- 3.- Energizar el circuito.
- 4.- Conectar la entrada de audio y los cables coaxiales para la transmisión en los terminales correspondientes. Para realizar demostraciones se recomienda utilizar señales de audio con una amplitud máxima menor a 100 mV., aún cuando el equipo trabaja perfectamente hasta con señales de amplitudes en el orden de los 10 V.
- 5.- Seleccionar la frecuencia de muestreo (y de cuantización) a emplearse, para ello debemos utilizar los switches del paquete PSA, a continuación se indican los switches de este paquete que deben estar en la posición ON para las diferentes frecuencias de muestreo, el resto de switches deben permanecer en la posición OFF. Antes de seleccionar los switches que deben permanecer en la posición ON para una nueva frecuencia de muestreo, se debe poner primeramente en OFF todos los switches del paquete PSA antes de seleccionar los necesarios.

Muestreo fs [KHz,]	Cuantizac. fc [KHz.]	P S A							
		1	2	3	4	5	6	7	8
8					ON				ON
16				ON				ON	
32			ON				ON		
64		ON				ON			

Fig. A.2 Forma de seleccionar los switches del paquete PSA para cada una de las frecuencias de muestreo (En los que no se especifica deben permanecer en la posición OFF)

El paquete de swithes PSB sirve para seleccionar el número de bits que van a tener las palabras digitales de datos que van a ser transmitidas hacia el receptor, en el equipo podemos hacer que estas palabras tengan desde 4 hasta 10 bits, para esto a continuación se indica la forma en que deben estar estos swithes para seleccionar el número de bits deseados.

Número de bits	P S B					
	1	2	3	4	5	6
10	ON	ON	ON	ON	ON	ON
9	OFF	ON	ON	ON	ON	ON
8	X	OFF	ON	ON	ON	ON
7	X	X	OFF	ON	ON	ON
6	X	X	X	OFF	ON	ON
5	X	X	X	X	OFF	ON
4	X	X	X	X	X	OFF

(X) no importa la posición.

Fig. A.3 Forma de seleccionar los switches del paquete PSB para obtener el número de bits deseados.

- 7.- El switch S15 sirve para seleccionar si comprimimos o no la señal de audio a la entrada, en la posición P1 (Ver Fig. A.1) utilizamos la técnica de compresión, en la posición P2 no damos ningún tratamiento a la señal a la entrada.

Finalmente hay que indicar que como el transmisor forma un sistema con el receptor, en el receptor habrá que hacer también las selecciones correspondientes para que trabaje de acuerdo a los parámetros seleccionados en el transmisor.

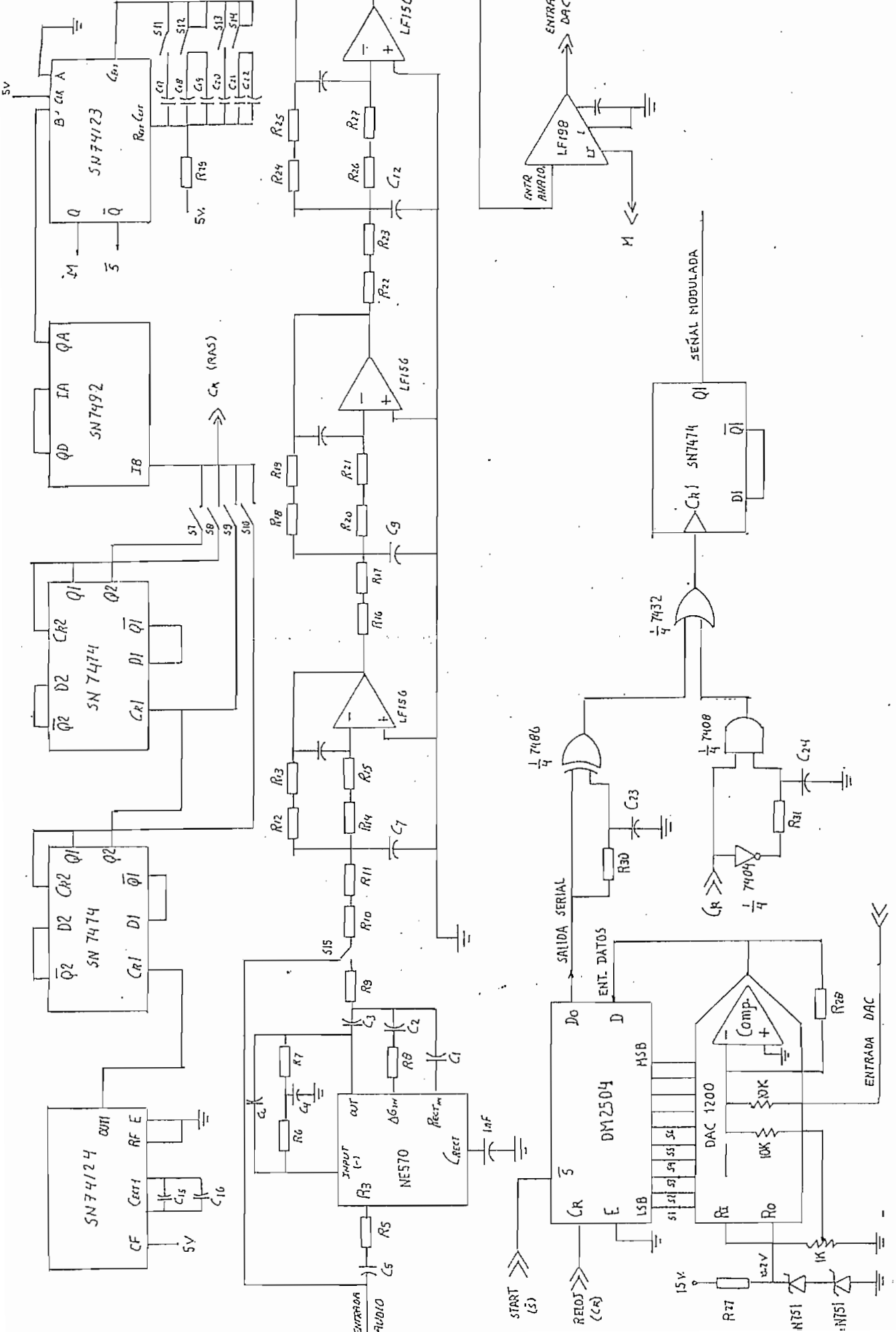


DIAGRAMA CIRCUITAL DEL TRANSMISOR.

LISTA DE COMPONENTES PASIVOS

RESISTENCIAS R_i [$K\Omega$]

i	R_i [$K\Omega$]
5	18.0
6	47.0
7	47.0
8	18.0
9	0.1
10	120.6
11	0.5
12	120.2
13	1.06
14	128.9
15	6.8
16	50.7
17	0.5
18	40.8
19	10.3
20	32.1
21	5.5
22	31.5
23	1.1
24	22.4
25	10.2
26	20.5
27	15.1
28	20.0
29	2.2
30	0.15
31	0.15
37	0.22

CONDENSADORES C_i

i	C_i	Unit
1	1	[μF]
2	10	[μF]
3	10	[μF]
4	10	[μF]
5	10	[μF]
9	1	[nF]
17	4.7	[nF]
18	2	[nF]
19	1	[nF]
20	2	[nF]
21	1	[nF]
24	1	[nF]
14	1	[nF]
6	6	[pF]
7	510	[pF]
8	6	[pF]
10	100	[pF]
11	62	[pF]
12	820	[pF]
13	296	[pF]
15	330	[pF]
16	43	[pF]

DESCRIPTION

The NE570/571 is a versatile low cost dual gain control circuit in which either channel may be used as a dynamic range compressor or expander. Each channel has a full wave rectifier to detect the average value of the signal, a linearized, temperature compensated variable gain cell, and an operational amplifier.

The NE570/571 is well suited for use in telephone subscriber and trunk carrier systems, communications systems and hi-fi audio systems.

FEATURES

- Complete compressor and expander in 1 IC
- Temperature compensated
- Greater than 110dB dynamic range
- Operates down to 6Vdc
- System levels adjustable with external components
- Distortion may be trimmed out

CIRCUIT DESCRIPTION

The NE570/571 compandor building blocks as shown in the block diagram, are a full wave rectifier, a variable gain cell, an operational amplifier and a bias system. The arrangement of these blocks in the IC result in a circuit which can perform well with few external components, yet can be adapted to many diverse applications.

The full wave rectifier rectifies the input current which flows from the rectifier input, to an internal summing node which is biased at V_{REF} . The rectified current is averaged on an external filter capacitor tied to the CRECT terminal, and the average value of the input current controls the gain of the variable gain cell. The gain will thus be proportional to the average value of the input signal for capacitively coupled voltage inputs as shown in the following equation. Note that for capacitively coupled inputs there is no offset voltage capable of producing a gain error. The only error will come from the bias current of the rectifier (supplied internally) which is less than $.1\mu A$.

$$G \propto \frac{|V_{IN} - V_{REF}|}{R_1} \Delta V_C$$

or

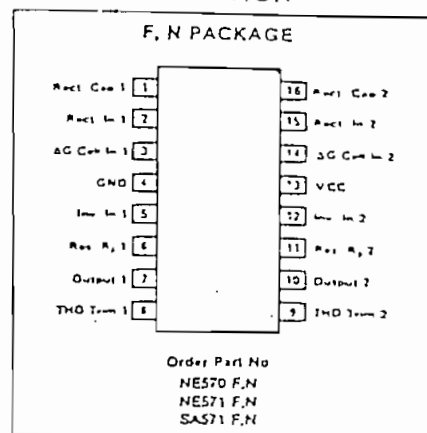
$$G \propto \frac{|V_{IN}|}{R_1} \Delta V_C$$

The speed with which gain changes to follow changes in input signal levels is determined by the rectifier filter capacitor. A small capacitor will yield rapid response but will not fully filter low frequency signals. Any ripple on the gain control signal will modulate the signal passing through the variable gain cell. In an expander or com-

APPLICATIONS

- Telephone trunk compandor—570
- Telephone subscriber compandor—571
- High level limiter
- Low level expander—noise gate
- Dynamic noise reduction systems
- Voltage controlled amplifier
- Dynamic limiters

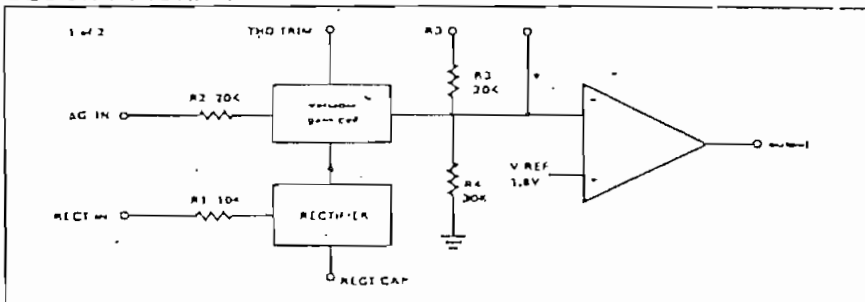
PIN CONFIGURATION



ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
Positive supply	24	Vdc
570	18	
571		
T_A Operating temperature range	0 to 70	$^{\circ}C$
NE	-40 to +85	$^{\circ}C$
SA		
P_D Power dissipation	400	mW

BLOCK DIAGRAM



pressor application, this would lead to third harmonic distortion, so there is a tradeoff to be made between fast attack and decay times, and distortion. For step changes in amplitude, the change in gain with time is shown by this equation.

$$G(t) = (G_{initial} - G_{final}) e^{-t/\tau} + G_{final}$$

$\tau = 10K \times C_{RECT}$

The variable gain cell is a current in, current out device with the ratio I_{OUT}/I_{IN} controlled by the rectifier. I_{IN} is the current which flows from the ΔG input to an internal summing node biased at V_{REF} . The following equation applies for capacitively coupled inputs. The output current, I_{OUT} , is fed to the summing node of the op amp.

$$I_{IN} \approx \frac{V_{IN} - V_{REF}}{R_1} \approx \frac{V_{IN}}{R_1}$$

A compensation scheme built into the ΔG cell compensates for temperature and cancels out odd harmonic distortion. The only distortion which remains is even harmonics, and they exist only because of internal offset voltages. The THD trim terminal provides a means for nulling the internal offsets for low distortion operation.

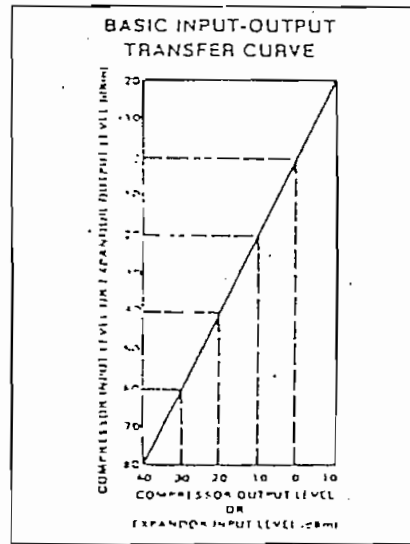
The operational amplifier (which is internally compensated) has the non-inverting input tied to V_{REF} , and the inverting input connected to the ΔG cell output as well as brought out externally. A resistor, R_3 , is brought out from the summing node and allows compressor or expander gain to be determined only, by internal compensation.

The output stage is capable of $\pm 20\text{mA}$ output current. This allows a -13dBm (3.5V rms) output into a 300Ω load which, with a series resistor and proper transformer, can result in -13dBm with a 600Ω output impedance.

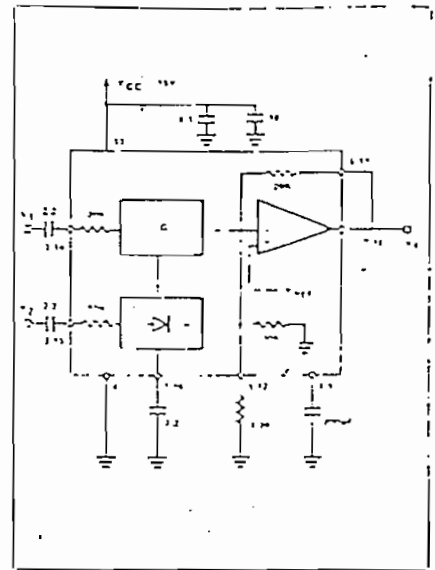
A band gap reference provides the reference voltage for all summing nodes, a regulated supply voltage for the rectifier and ΔG cell and a bias current for the ΔG cell. The low tempco of this type of reference provides very stable biasing over a wide temperature range.

The typical performance characteristics illustration shows the basic input-output transfer curve for basic compressor or expander circuits.

TYPICAL PERFORMANCE CHARACTERISTICS



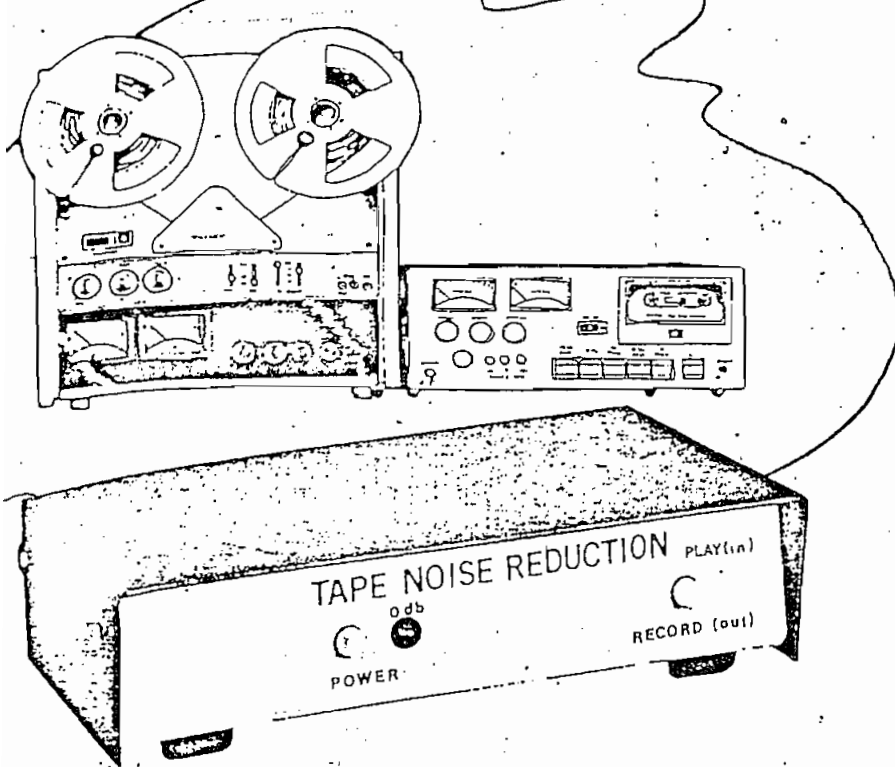
TYPICAL TEST CIRCUIT



DC ELECTRICAL CHARACTERISTICS $T_A = 25^\circ\text{C}$, $V_{CC} = 15\text{V}$

PARAMETER	TEST CONDITIONS	NE570			NE S45716			UNIT
		Min	Typ	Max	Min	Typ	Max	
V_{CC} Supply voltage	No signal	6	3.2	24	6	3.2	18	V
I_{CC} Supply current				4.0			4.5	mA
Output current capability		± 20						mA
Output slew rate				± 5				V/μs
Gain cell distortion ¹	Untrimmed		3	10		5	20	%
	Trimmed		0.5			1		
Resistor tolerance			± 5	± 15				%
Internal reference voltage		1.7	1.8	1.9	1.65	1.8	1.95	V
Output dc shift ²	Untrimmed		± 20	± 50		± 30	± 100	mV
Expander output noise	No signal, 20Hz-20kHz		20					μV
Unity gain level			-15					dBS _{AVC}
Gain change ^{3,4}	$-40^\circ\text{C} < T < 70^\circ\text{C}$	-1	0	-1	-1.5	0	-1.5	dBS
	$0^\circ\text{C} < T < 70^\circ\text{C}$		± 1	± 2		± 1	± 4	
	$0^\circ\text{C} < T < 70^\circ\text{C}$		± 5	± 10		± 5	± 20	
Reference drift ⁴	$-40^\circ\text{C} < T < 70^\circ\text{C}$		-2, -25	10, -40		-2, -25	-20, 50	mV
	$0^\circ\text{C} < T < 70^\circ\text{C}$		± 5	± 10		± 5	± 20	
Resistor drift ⁵	$-40^\circ\text{C} < T < 70^\circ\text{C}$		-8, 0					%
	$0^\circ\text{C} < T < 70^\circ\text{C}$		-1, 0					
Tracking error S_1 input $V_1 = G\text{dBm}$	Rectifier input, $V_2 =$							dB
	-6dBm		± 2					
	-10dBm		-2	-2, -4		-2	-2, -5	
	-20dBm		-2	-2, -6		-2	-2, -7	
	-30dBm		-2	-2, -11		-2	-2, -15	
-40dBm		-2	-2, -15		-2	-2, -15		

- NOTES
- Except where indicated, the S4571 specifications are identical to the 570.
 - Measured at 0dBm, 1kHz.
 - Expander at input change from 0dBm to 0dBm.
 - Relative to V_{CC} at $T_A = 25^\circ\text{C}$.
 - Relative to 0dBm.
 - Electrical characteristics for the S4571 only. Measured at $T_A = 25^\circ\text{C}$ to -85°C temperature range.



panding it in a complementary fashion when it is recovered. This is typically accomplished by inserting a fixed-slope (2:1) compressor in the signal path before the tape deck's record preamp and a fixed-slope (1:2) expander at the output of the deck's playback preamp. The process is shown graphically in Fig. 1. Practicalities of electronic circuitry in preamps and power amplifiers limit their dynamic range to 100 to 120 dB. However, this approaches the dynamic range of live music and (comfortable) human hearing, easily attainable by a good tape deck working with a 2:1/1:2 compander.

The improvement in S/N becomes apparent when we look at a specific example. Let's assume that we have a tape deck with a noise floor of -45 dBm and that we want to record a piece of music with passages as low as -50 dBm. In the absence of any processing, the soft passages would disappear into the hiss. However, if we pass the signal through a 2:1 compressor before recording it, the minimum amplitude recorded is -25 dBm, a full 20 dB above the noise. On playback, passing the tape output through a 1:2 expander restores the -25-dBm signal to its original -50 dBm. Simultaneously, the noise drops by the same -25 dB to -70 dBm.

Improvements are also realized in the upward direction. That is, headroom is increased. A tape that previously saturated (causing distortion) at +10 dBm can now handle a +20-dBm signal at the compressor input. Although compansion increases S/N and headroom, it places more stringent requirements on the medium's frequency response and amplitude stability. Because the expander's gain depends on the level of the compressed signal applied to it, any amplitude errors will be magnified. In the case of a 2:1/1:2 compander, any frequency response errors or amplitude anomalies will be doubled.

A Compander IC. Signetics Corporation has recently developed an IC called the NE570. It is a dual-channel linear IC, and either section can be used independently of the other as a compressor or expander. A block diagram and pinout of the NE570 is shown in Fig.

BUILD AN AUDIO COMPANDER

Provides greater dynamic range and reduces noise.

BY JOHN ROBERTS

PERHAPS the last frontier yet to be crossed by high-fidelity program sources is dynamic range. For example, the best consumer tape decks have a dynamic range of about 65 dB when used with premium tape formulas. Compare that to the 115-dB range of music produced by a symphonic orchestra at a performance.

This project—a 2:1/1:2 compander—will allow you to record live music on an existing tape deck and later play it back without losing its original dynamic range. Other benefits of compansion are

increased tape headroom during record and noise reduction during playback. These advantages can be realized whether the program material is being recorded live or transcribed from another format. The compander is easy to build and use, employs a new Signetics IC, and has a low parts count. A stereo compander is available in kit form as described in the Parts List.

Compansion involves compressing a signal's amplitude before it is committed to the recording medium, and then ex-

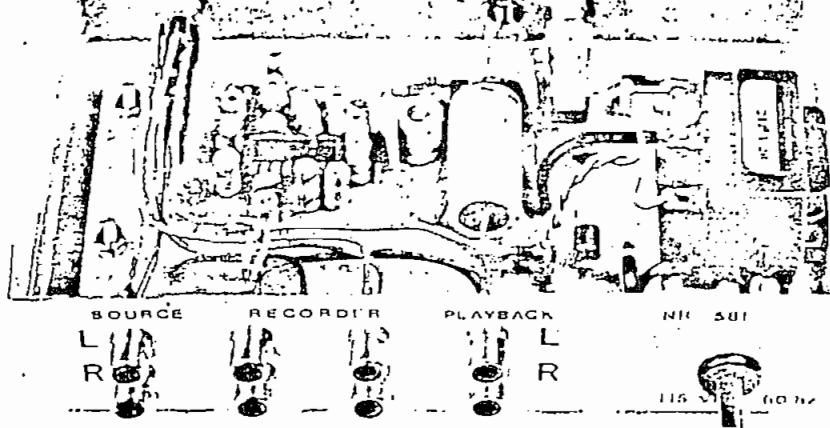


Photo shows prototype assembled on pc board and mounted in metal chassis.

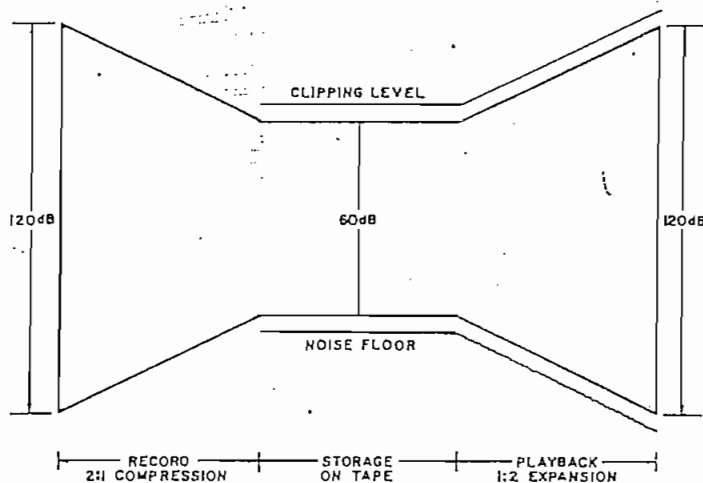


Fig. 1. Compression is used during recording, expansion on playback.

and an internal 1.8-volt bias regulator are shared by the two comparers.

Each compander comprises a ΔG (variable gain) cell, a full-wave rectifier, and an output amplifier. The ΔG cell governs compander gain. Its control voltage is developed by rectifying an input signal. The output signal is generated by the op amp, which is driven by a scaled current supplied by the ΔG cell. Whether a section of the NE570 functions as a compressor or expander depends on how the basic blocks are interconnected. Typical specifications for the NE570 are in table on the next page.

A 1:2 dynamic range expander (Fig. 3A) is formed by placing the ΔG cell at the input of the op amp. Its control signal is generated by sampling the input signal, rectifying and filtering it. The fixed feedback impedance sets the overall gain at unity when the input signal is 0 dBm or 0.775 volt. As the input increases or decreases from this level, the gain increases or decreases proportionally. For example, if the input level increases by a factor of two (+6 dB), the output level is quadrupled (+12 dB). If the input decreases by one half (-6 dB), the output drops to one quarter (-12 dB) of its previous value.

Rearranging the blocks to form the network shown in Fig. 3B results in a 2:1 dynamic range compressor. Here, the ΔG cell is connected as a feedback impedance, and its control signal is derived from the op amp output. The fixed input network sets overall gain at unity for a 0-dBm signal. If the input signal level increases by a factor of four (+12 dB), the output amplitude is doubled (+6 dB). If the input amplitude is decreased by a factor of four (-12 dB), the output signal decreases by a factor of two (-6 dB).

About the Circuit. The schematic diagram of the compander is shown in Fig. 4. A conventional full-wave rectifier and RC filter supply the required operating voltages. Note that only one compander channel is shown. The components with the suffix "A" are for the channel A compander only. Integrated circuit pin numbers in parenthesis are the corresponding inputs and outputs of the channel B compander. For example, pin 1 is connected to C4A, and pin 16 should be connected to C4B.

Diodes D3 and D4, LED1, transistors Q1 and Q2, and their associated components form a level indicator. The LED glows when input signal peaks exceed 0 dBm. Switch S2 interconnects the

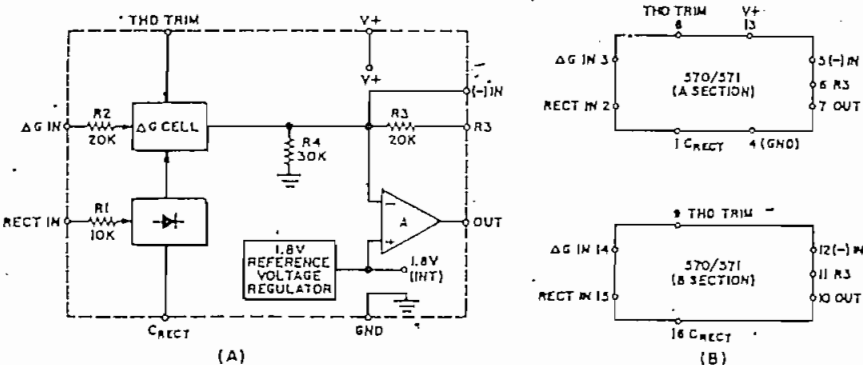


Fig. 2. Block diagram (A) and pinout (B) of the NE570 IC.

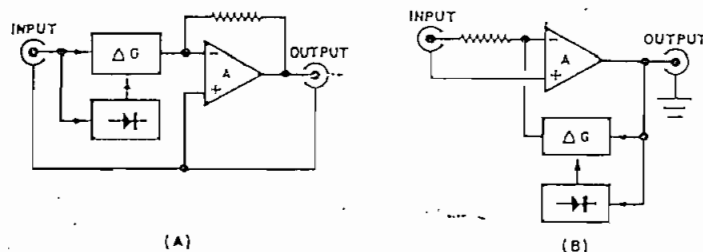


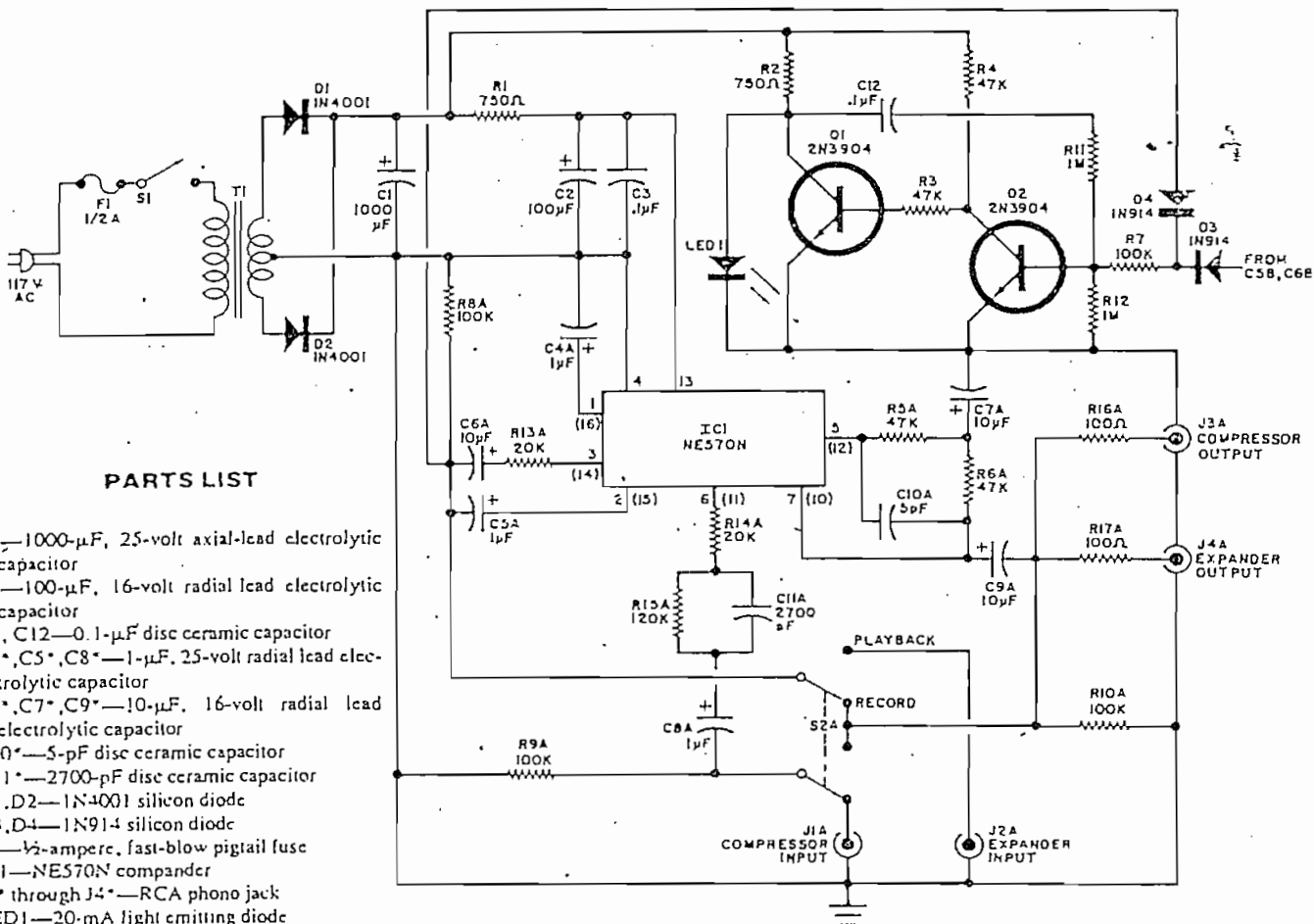
Fig. 3. Using the NE570 as an expander (A) and compressor (B).

Maximum input/output level:	+12 dBm
Maximum output current:	±20 mA
Unity gain level:	0 dBm = 1 dB
Tracking error:	±0.2 dB
Gain change with temperature (0° to 70° C):	±0.1 dB
Output slew rate:	±0.5 V/μs
THD* (compressor or expander only):	0.3%
Expander noise output (measured with input shorted):	-96 dBm "A" weighting
Frequency response:	
Compressor:	20 to 20,000 Hz, -0.5 - 1.5 dB at 0 dBm
Expander:	20 to 20,000 Hz, -0.5 - 1 dB at 0 dBm

*—Harmonic distortion is caused primarily by ΔG cell offsets and modulation of the cell by control voltage ripple. When the recorded signal is expanded by the same ΔG cell that compressed it, the distortion cancels out, leaving tape noise or tape distortion dominant. Note—a phase inversion in the record/playback path will affect the accuracy of this cancellation.

blocks of section of the NE570 IC that the IC functions as a compressor (record) and an expander on playback. Pulsating dc from the full-wave rectifier is smoothed into the ΔG cell's control signal by capacitor C4A. Capacitors C5A, C6A, C8A, and C9A provide ac coupling between various parts of the compander circuit.

Construction. The compander is best assembled using a printed circuit board. Suitable etching and drilling and parts placement guides are shown in Fig. 5. When mounting electrolytic capacitors and semiconductors, be sure to observe polarity and pin basing. An IC socket or Molex Soldercons are preferable to soldering the compander IC directly to the circuit board. Use the minimum amount



PARTS LIST

- C1—1000-μF, 25-volt axial-lead electrolytic capacitor
 - C2—100-μF, 16-volt radial lead electrolytic capacitor
 - C3, C12—0.1-μF disc ceramic capacitor
 - C4*, C5*, C8*—1-μF, 25-volt radial lead electrolytic capacitor
 - C6*, C7*, C9*—10-μF, 16-volt radial lead electrolytic capacitor
 - C10*—5-pF disc ceramic capacitor
 - C11*—2700-pF disc ceramic capacitor
 - D1, D2—1N4001 silicon diode
 - D3, D4—1N914 silicon diode
 - F1—½-ampere, fast-blow pigtail fuse
 - IC1—NE570N compander
 - J1* through J4*—RCA phono jack
 - LED1—20-mA light emitting diode
 - Q1, Q2—2N3904 npn silicon transistor
- The following are ¼-watt, 5% tolerance carbon composition resistors:
- R1, R2—750 ohms
 - R3, R4, R5*, R6*—47,000 ohms
 - R7, R8*, R9*, R10*—100,000 ohms
 - R11, R12—1 megohm
 - R13*, R14*—20,000 ohms
 - R15*—120,000 ohms
 - R16*, R17*—100 ohms
 - S1—SPST switch
 - S2—1PDT switch
 - T1—34.5-volt, 50-mA center-tapped trans-

Fig. 4. In schematic of the compander, the "A" suffix is for one channel only. Duplicate components are needed for "B" channel.

former (Signal Transformer Co. No. 241-J-28 or equivalent)
 Misc.—Line cord, strain relief, suitable enclosure, hookup wire, printed circuit board metal spacers, hardware, solder, etc.
 Note—The following are available from Phoenix Systems, 375 Springhill Road, Monroe, CT 06468, complete kit of parts including case (No. P-518-S), \$65.00;

NE570N compander IC (No. P-518-C), \$6.00; power transformer T1 (No. P-518-T), \$5.00; etched and drilled pc board (No. P-518-B), \$5.00; Connecticut residents please add 7½% sales tax; Canadians add \$2.50 handling and shipping charges; \$1.00 handling fee for orders under \$10.00.
 *—One component required for each compander channel.

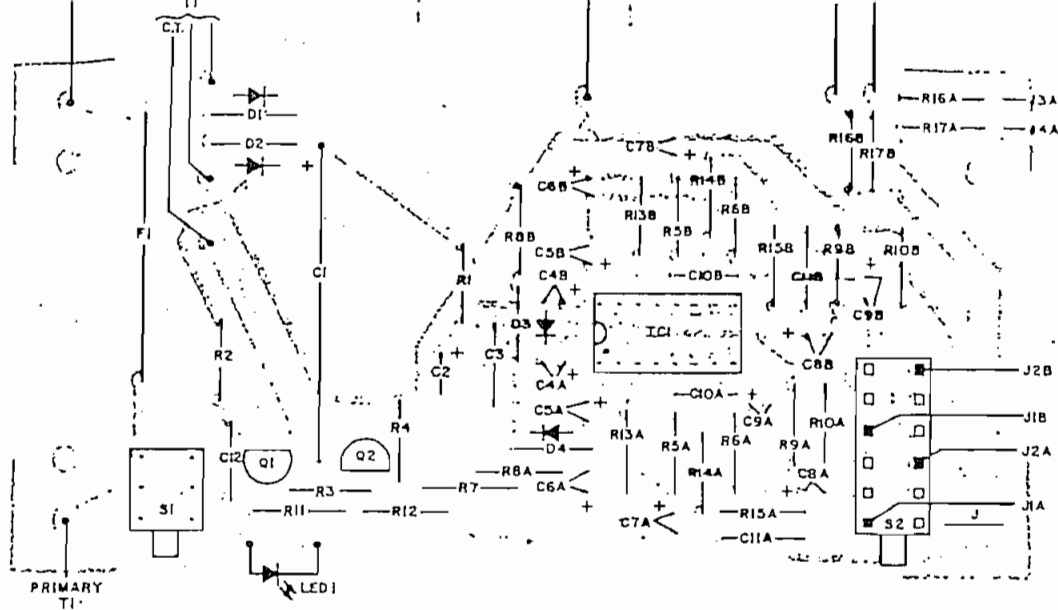


Fig. 5. Etching and drilling guide (left) and component placement (above) guides for the pc board.

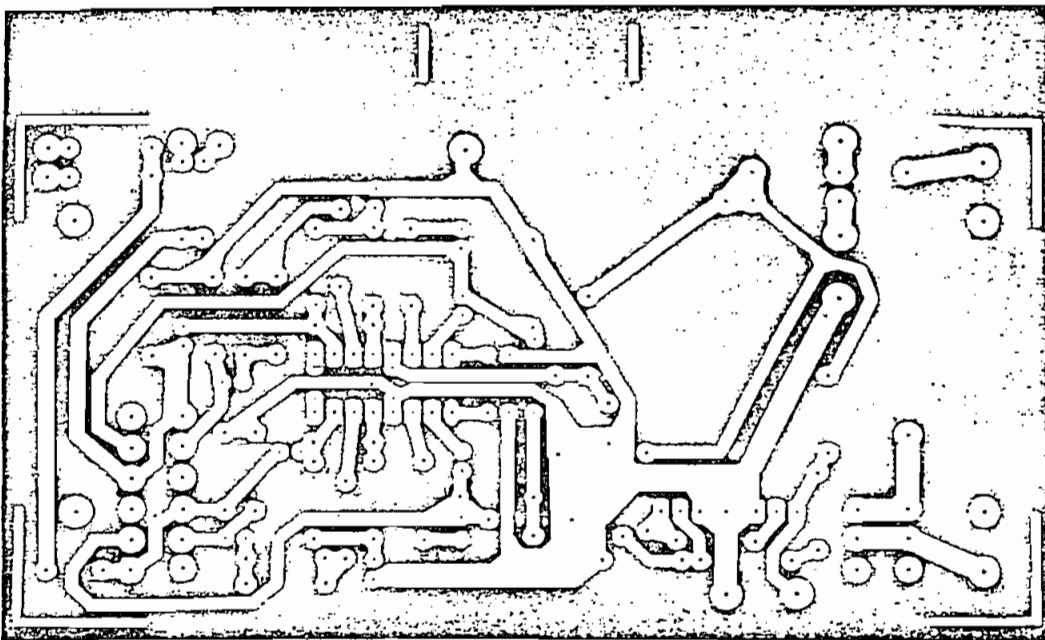


Fig. 6. Interconnection of the compander and other components of a typical audio system.

of heat and solder consistent with the formation of good solder joints at each pc board pad.

If an alternate construction technique is used, care must be taken to keep all signal leads, especially those to switch S2, as short as possible. In any event,

the circuit should be mounted in a metal enclosure that is connected to the audio system ground.

Using the Compander. Interconnect each channel of the compander and your system's tape deck and amplifier

as shown in Fig. 6. Place S2 in the RECORD position and adjust the deck's record preamp level controls for a reasonable record level. With the added dynamic range supplied by the compander, you can afford to trade a few dB of the deck's S/N for reduced distortion levels. (Some tape machines are set to run very close to saturation to get the highest S/N possible.) Indicator LED1 is included not to alert you of clipping, but as an aid in setting record levels. The compander has at least 10 dB of headroom above the threshold at which the LED glows.

To play back a compressed tape, simply place S2 in the PLAYBACK position and put the deck in its playback mode. You will then retrieve the recorded program with its original dynamic range. ◊

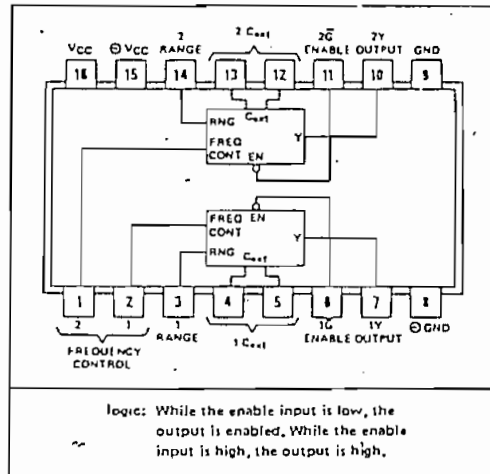
TTL
MSI

TYPES SN54LS124, SN54S124, SN74LS124, SN74S124 DUAL VOLTAGE-CONTROLLED OSCILLATORS

BULLETIN NO. DL-S 7612025, MARCH 1974 - REVISED OCTOBER 1976

- Two Independent VCO's in a 16-Pin Package
- Output Frequency Set by Single External Component:
 - Crystal for High-Stability Fixed-Frequency Operation
 - Capacitor for Fixed- or Variable-Frequency Operation
- Separate Supply Voltage Pins for Isolation of Frequency Control Inputs and Oscillators' from Output Circuitry
- Highly Stable Operation over Specified Temperature and/or Supply Voltage Ranges

SN54LS124, SN54S124 ... J OR W PACKAGE
SN74LS124, SN74S124 ... J OR N PACKAGE
(TOP VIEW)



TYPE	GUARANTEED	TYPICAL	TYPICAL
	FREQUENCY SPECTRUM	f_{max}	POWER DISSIPATION
'LS124	1 Hz to 20 MHz	30 MHz	150 mW
'S124	1 Hz to 60 MHz	85 MHz	525 mW

description

The 'LS124 and 'S124 feature two independent voltage-controlled oscillators (VCO) in a single monolithic chip. The output frequency of each VCO is established by a single external component, either a capacitor or a crystal, in combination with two voltage-sensitive inputs, one for frequency range and one for frequency control. These inputs can be used to vary the output frequency as shown under typical characteristics for the 'S124. The concept also applies for the 'LS124. These highly stable oscillators can be set to operate at any frequency typically between 0.12 Hz and 30 MHz ('LS124) or 0.12 hertz and 85 megahertz ('S124). Under the conditions used in Figure 3, the output frequency can be approximated as follows:

$$f_o = \frac{1 \times 10^{-4}}{C_{ext}} \text{ for 'LS124, } f_o = \frac{5 \times 10^{-4}}{C_{ext}} \text{ for 'S124}$$

where: f_o = output frequency in hertz

C_{ext} = external capacitance in farads.

These devices can operate from a single 5-volt supply. However, one set of supply-voltage and ground pins (V_{CC} and GND) is provided for the enable, synchronization-gating, and output sections, and a separate set ($\ominus V_{CC}$ and $\ominus GND$) is provided for the oscillator and associated frequency-control circuits so that effective isolation can be accomplished in the system.

The enable input of these devices starts or stops the output pulses when it is low or high, respectively. The internal oscillator of the 'LS124 runs continuously even while the output is disabled, whereas the internal oscillator of the 'S124 is itself started and stopped by the enable input. The enable input is one standard load in each series. The enable input and the buffered output operate at standard Schottky-clamped TTL levels.

The pulse synchronization-gating section ensures that the first output pulse is neither clipped nor extended. Duty cycle of the square-wave output is fixed at approximately 50 percent.

The SN54LS124 and SN54S124 are characterized for operation over the full military temperature range of -55°C to 125°C ; the SN74LS124 and SN74S124 are characterized for operation from 0°C to 70°C .

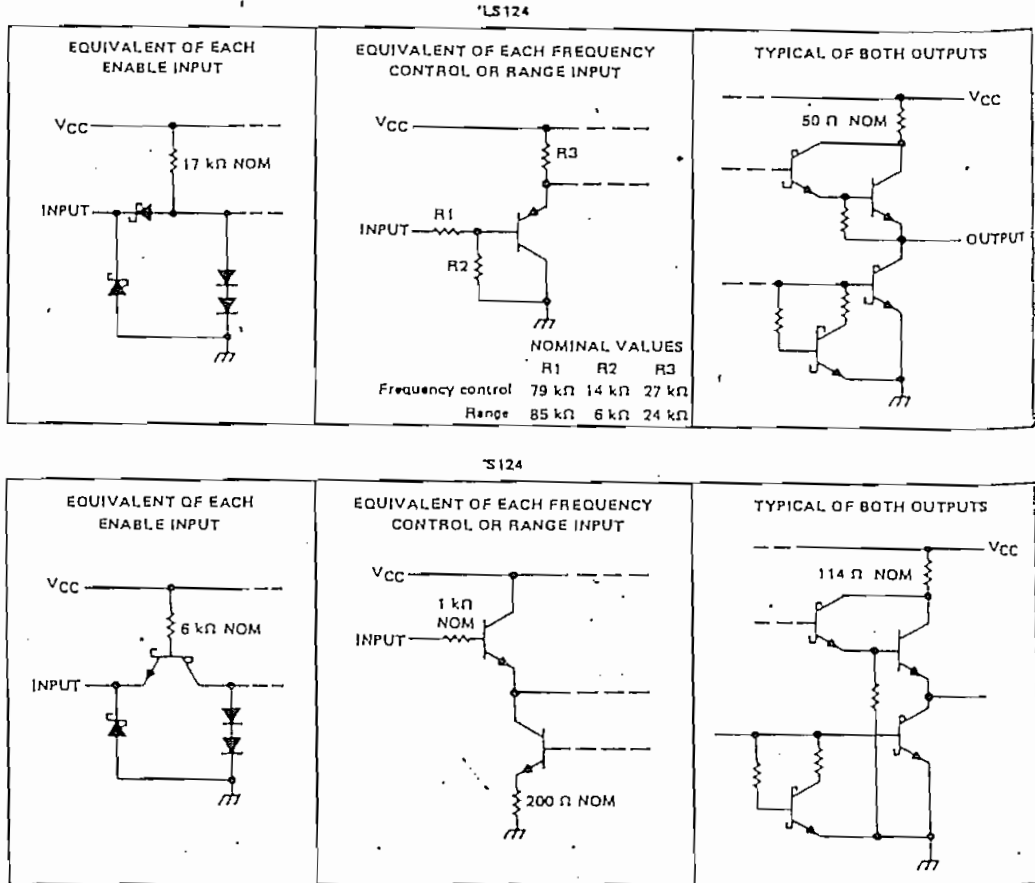
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

7-123

TYPES SN54LS124, SN54S124, SN74LS124, SN74S124

DUAL VOLTAGE-CONTROLLED OSCILLATORS

schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Notes 1 and 2)	7 V
Input voltage: 'LS124 Enable input	7 V
'LS124 Frequency control or range input	V_{CC}
'S124	5.5 V
Operating free-air temperature range: SN54LS124, SN54S124	-55°C to 125°C
SN74LS124, SN74S124	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. Voltage values are with respect to the appropriate ground terminal.

2. Throughout this data sheet, the symbol V_{CC} is used for the voltage applied to both the V_{CC} and $\ominus V_{CC}$ terminals, unless otherwise noted.

TYPES SN54LS124, SN54S124, SN74LS124, SN74S124 DUAL VOLTAGE-CONTROLLED OSCILLATORS

TYPICAL APPLICATION DATA

Free-running oscillator

Free-running oscillators can be implemented for most systems by setting the output frequency of the VCO with either a capacitor or a crystal. If excitation is provided with a capacitor the frequency control and/or range inputs can be used to vary the output frequency.

When the 'S124 is excited with a crystal, low-frequency response (< 1 MHz) can be improved if a relatively small capacitor (5 to 15 pF) is paralleled with the crystal. When operated at the fundamental frequency of a crystal, the frequency control input should be high (≈ 5 V) and the range input should be low (grounded) for maximum stability over temperature and supply voltage variations.

When the 'LS124 is excited with a crystal, a small capacitor (2 to 10 pF) should be placed in series with the crystal and the $\ominus V_{CC}$ supply should be lowered to approximately 3 V. A series-resonant, fundamental-mode crystal with series resistance less than 200 ohms should be used. The frequency control and range inputs should be grounded. The maximum recommended frequency for crystal-excited operation is 10 MHz.

Phase-locked loops

A basic crystal-controlled phase-locked loop is illustrated in Figure 1. This application can be used for implementation of:

- A highly stable fixed-frequency clock generator.
- A highly stable fixed- or variable-frequency synthesizer.
- A highly efficient "slave-clock" system for synchronizing off-card, remote, or data-interfacing clock systems

With fixed division rates for both M and N, the output frequency (f_o) will be stable at $f_o = \frac{N}{M} f_1$. Obviously, either M or N, or both, could be programmable counters in which case the output frequency (f_o) will be a variable frequency dependent on the instantaneous value of $\frac{N}{M} f_1$.

The crystal-controlled VCO can be operated up to 60 MHz with an accuracy that is dependent on the crystal. At the higher frequencies, response of the phase comparator can become a limiting factor and one of the following approaches may be necessary to extend the operating frequency range.

- Frequencies $\frac{f_1}{M}$ and $\frac{f_1}{N}$ can be divided equally by the same constant (K) also shown in Figure 1. The constant can be any value greater than unity ($K > 1$), and should be selected to yield frequency ranges that can be handled adequately by the phase-comparator and filter. The output frequency (f_o) retains the same relationship as previously explained because now:

$$f_o = \frac{KN}{KM} f_1 = \frac{N}{M} f_1$$

- In another method, the comparison of $\frac{f_1}{M}$ and $\frac{f_1}{N}$ can be performed with either an SN54LS85/SN74LS85 or SN54S85/SN74S85. The resultant $A > B$ and $A < B$ outputs from the 'LS85 or 'S85 permit the detector to be simplified to a charge-pump circuit. See Figure 2.

TYPES SN54S124, SN74S124 DUAL VOLTAGE-CONTROLLED OSCILLATORS

TYPICAL APPLICATION DATA

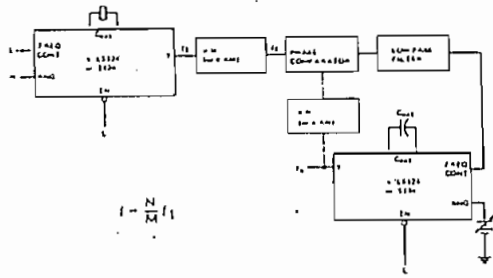


FIGURE 1—PHASE-LOCKED LOOP

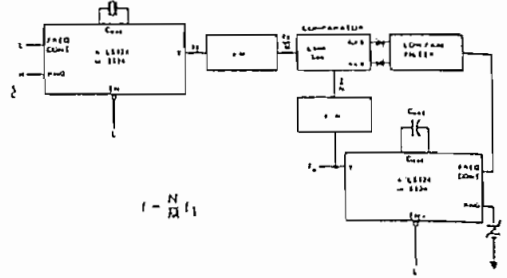


FIGURE 2—HIGH-FREQUENCY PHASE-LOCKED LOOP

TYPICAL CHARACTERISTICS ('S124 only)

BASE OUTPUT FREQUENCY
VS
EXTERNAL CAPACITANCE

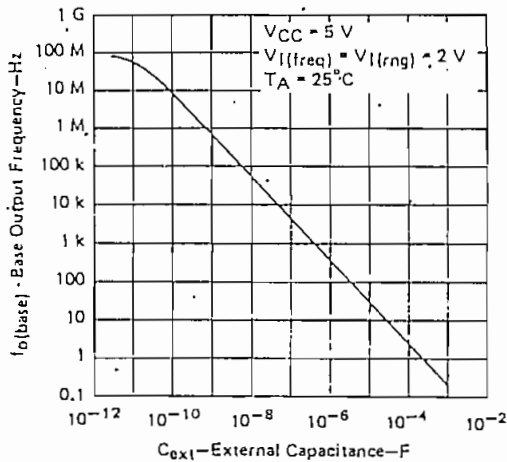


FIGURE 3

NORMALIZED OUTPUT FREQUENCY
VS
INPUT VOLTAGE

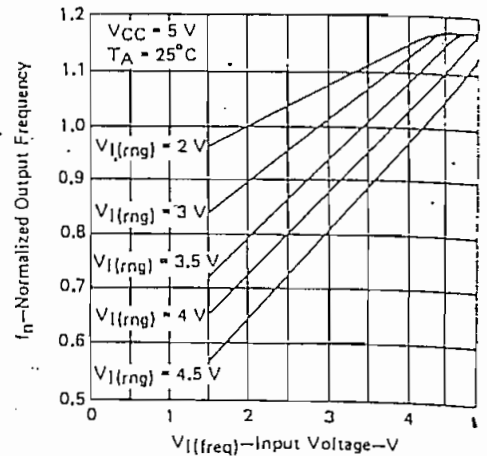


FIGURE 4

NOTE $f_o = f_n \times f_o(\text{base})$.

LF198/LF298/LF398, LF198A/LF398A

Monolithic Sample and Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6 μ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of 10¹⁰ Ω allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1 μ F hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode even for input signals equal to the supply voltages.

Features

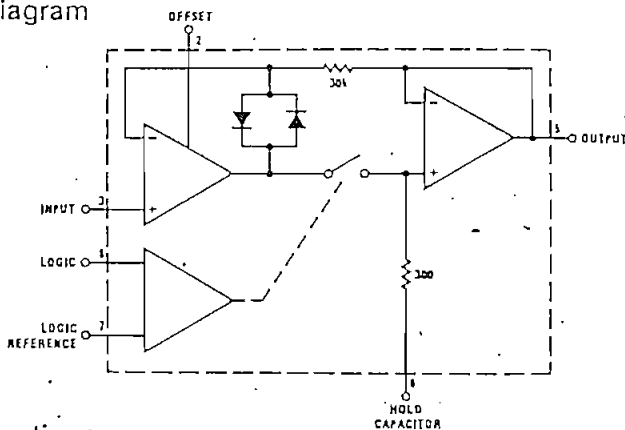
- Operates from $\pm 5V$ to $\pm 18V$ supplies
- Less than 10 μ s acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_H = 0.01\mu F$
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from $\pm 5V$ to $\pm 18V$ supplies. It is available in an 8-lead TO 5 package.

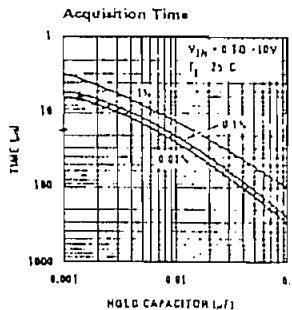
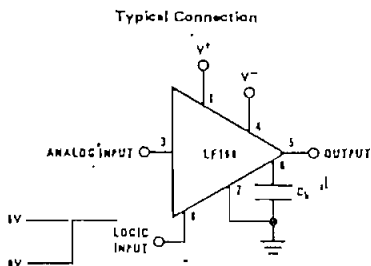
An "A" version is available with tightened electrical specifications.

LF198/LF298/LF398, LF198A/LF398A

Functional Diagram



Typical Applications



Definition of Terms

Acquisition Time: The time required to acquire a new analog input voltage with an output step of 10V. Note that acquisition time is not just the time required for the output to settle, but also includes the time required for all internal nodes to settle so that the output assumes the proper value when switched to the hold mode.

Aperture Time: The delay required between "Hold" command and an input analog transition, so that the transition does not affect the held output.

Dynamic Sampling Error: The error introduced into the held output due to a changing analog input at the time the hold command is given. Error is expressed in mV with a given hold capacitor value and input slew rate. Note that this error term occurs even for long sample times.

Gain Error: The ratio of output voltage swing to input voltage swing in the sample mode expressed as a percent difference.

Hold Settling Time: The time required for the output to settle within 1 mV of final value after the "hold" logic command.

Hold Step: The voltage step at the output of the circuit and hold when switching from sample mode to hold mode with a steady (dc) analog input voltage. Logic swing is 5V.

Absolute Maximum Ratings

Supply Voltage	+18V	Input Voltage	Equal to Supply
Power Dissipation (Package Limitation) (Note 1)	500 mW	Logic To Logic Reference Differential Voltage (Note 2)	±V _{CC}
Operating Ambient Temperature Range		Output Short Circuit Duration	Indefinite
LF198/LF198A	-55°C to +125°C	Hold Capacitor Short Circuit Duration	1000
LF298	-25°C to +85°C	Lead Temperature (Soldering, 10 seconds)	260
LF398/LF398A	0°C to +70°C		
Storage Temperature Range	-65°C to +150°C		

Electrical Characteristics (Note 3)

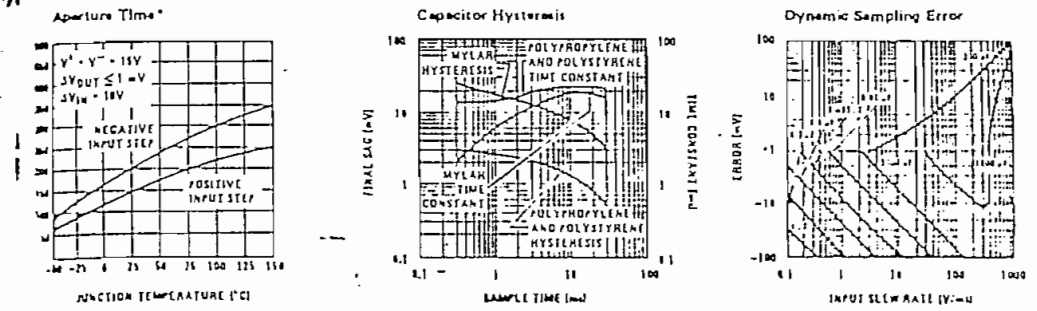
PARAMETER	CONDITIONS	LF198/LF298			LF398		
		MIN	TYP	MAX	MIN	TYP	MAX
Input Offset Voltage, (Note 6)	T _i = 25°C Full Temperature Range		1	3 5		2	7 10
Input Bias Current, (Note 6)	T _i = 25°C Full Temperature Range		6	25 75		10	50 100
Input Impedance	T _i = 25°C		10 ¹⁰			10 ¹⁰	
Gain Error	T _i = 25°C, R _L = 10k Full Temperature Range		0.002	0.005 0.02		0.004	0.01 0.02
Feedthrough Attenuation Ratio at 1 kHz	T _i = 25°C, C _H = 0.01μF	86	96		80	90	
Output Impedance	T _i = 25°C, "HOLD" mode Full Temperature Range		0.5	2 4		0.5	4 6
"HOLD" Step, (Note 4)	T _i = 25°C, C _H = 0.01μF, V _{OUT} = 0		0.5	2.0		1.0	2.5
Supply Current, (Note 6)	T _i ≥ 25°C		4.5	5.5		4.5	6.5
Logic and Logic Reference Input Current	T _i = 25°C		2	10		2	10
Leakage Current into Hold Capacitor (Note 6)	T _i = 25°C, (Note 5) Hold Mode		30	100		30	200
Acquisition Time to 0.1%	ΔV _{OUT} = 10V, C _H = 1000 pF C _H = 0.01μF		4 20			4 20	
Hold Capacitor Charging Current	V _{IN} = V _{OUT} - 2V		5			5	
Supply Voltage Rejection Ratio	V _{OUT} = 0	80	110		80	110	
Differential Logic Threshold	T _i = 25°C	0.8	1.4	2.4	0.8	1.4	2.4

Electrical Characteristics (Continued) (Note 3)

PARAMETER	CONDITIONS	LF198A			LF398A			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Offset Voltage, (Note 6)	$T_j = 25^\circ\text{C}$ Full Temperature Range		1	1		2	2	mV
Input Bias Current, (Note 6)	$T_j = 25^\circ\text{C}$ Full Temperature Range		5	25		10	25	nA
Input Impedance	$T_j = 25^\circ\text{C}$		10^{10}			10^{10}		Ω
Common-Mode Rejection Ratio	$T_j = 25^\circ\text{C}$, $R_L = 10\text{k}$ Full Temperature Range		0.002	0.005		0.004	0.005	$\%$
Voltage Attenuation Ratio	$T_j = 25^\circ\text{C}$, $C_H = 0.01\mu\text{F}$	86	96		86	90		dB
Output Impedance	$T_j = 25^\circ\text{C}$, "HOLD" mode Full Temperature Range		0.5	1		0.5	1	Ω
Hold Step, (Note 4)	$T_j = 25^\circ\text{C}$, $C_H = 0.01\mu\text{F}$, $V_{OUT} = 0$		0.5	1		1.0	1	mV
Supply Current, (Note 6)	$T_j \geq 25^\circ\text{C}$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25^\circ\text{C}$		2	10		2	10	μA
Leakage Current into Hold	$T_j = 25^\circ\text{C}$, (Note 5) Hold Mode		30	100		30	100	μA
Settle Time to 0.1%	$\Delta V_{OUT} = 10\text{V}$, $C_H = 1000\text{pF}$ $C_H = 0.01\mu\text{F}$		4	6		4	6	μs
Load Capacitor Charging Current	$V_{IN} = V_{OUT} = 2\text{V}$		5			5		mA
Common-Mode Voltage Rejection Ratio	$V_{OUT} = 0$	90	110		90	110		dB
Input Logic Threshold	$T_j = 25^\circ\text{C}$	0.8	1.4	2.4	0.8	1.4	2.4	V

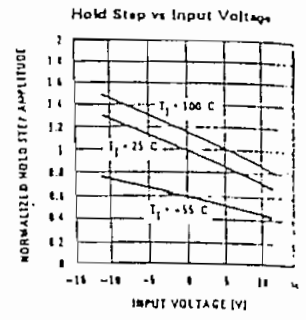
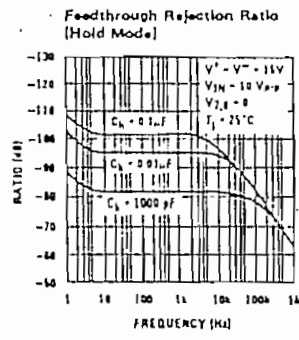
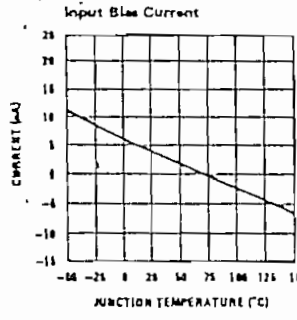
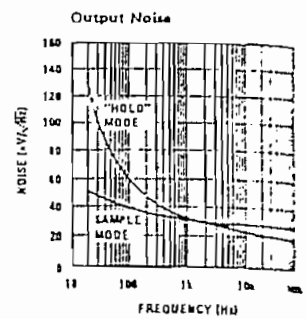
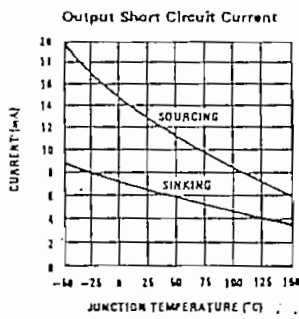
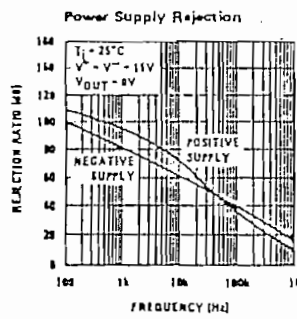
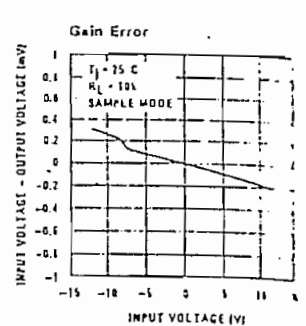
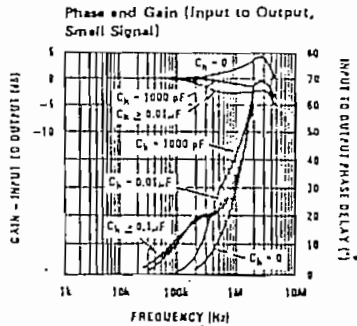
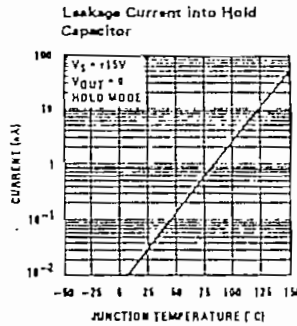
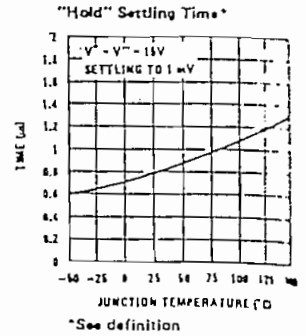
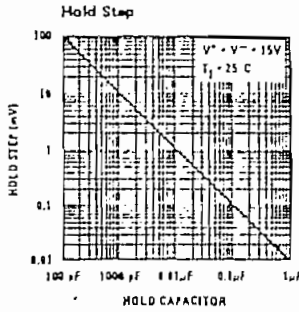
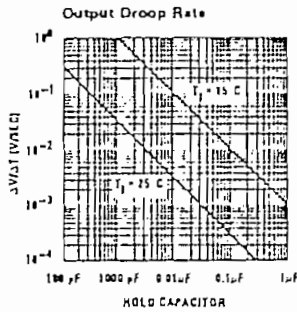
- Note 1. The maximum junction temperature of the LF198/LF198A is 160°C , for the LF298, 115°C , and for the LF398/LF398A, 100°C . When operating at elevated ambient temperature, the power dissipation must be derated based on a thermal resistance (θ_{JA}) of 160°C/W .
- Note 2. Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.
- Note 3. Unless otherwise specified, the following conditions apply. Unit is in "sample" mode, $V_S = \pm 15\text{V}$, $T_j = 25^\circ\text{C}$, $-11.5\text{V} \leq V_{IN} \leq +11.5\text{V}$, $R_L = 10\text{k}\Omega$, and $R_{IL} = 10\text{k}\Omega$. Logic reference voltage = 0V and logic voltage = 2.5V.
- Note 4. Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an 0.5 mV step with a 5V logic swing and a $0.01\mu\text{F}$ hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.
- Note 5. Leakage current is measured at a junction temperature of 25°C . The effects of junction temperature rise due to power dissipation or ambient can be calculated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input voltage range.
- Note 6. These parameters guaranteed over a supply voltage range of ± 5 to $\pm 18\text{V}$.

Typical Performance Characteristics



*See Definition of Terms

Typical Performance Characteristics (Continued)



LF198/LF298/LF398, LF198A/LF398A

Application Hints

Hold Capacitor

Hold step, acquisition time, and droop rate are the major trade-offs in the selection of a hold capacitor value. Size and cost may also become important for larger values. Use of the curves included with this data sheet should be helpful in selecting a reasonable value of capacitance. Keep in mind that for fast repetition rates or tracking fast signals, the capacitor drive currents may cause a significant temperature rise in the LF198.

A significant source of error in an accurate sample and hold circuit is dielectric absorption in the hold capacitor. A mylar cap, for instance, may "sag back" up to 0.2% after a quick change in voltage. A long "soak" time is required before the circuit can be put back into the hold mode with this type of capacitor. Dielectrics with very low hysteresis are polystyrene, polypropylene, and Teflon. Other types such as mica and polycarbonate are not nearly as good. Ceramic is unusable with > 1% hysteresis. The advantage of polypropylene over polystyrene is that it extends the maximum ambient temperature from 85°C to 100°C. "NPO" or "COG" capacitors are now available for 125°C operation and also have low dielectric absorption. For more exact data, see the curve labeled dielectric absorption error vs sample time. The hysteresis numbers on the curve are final values, taken after full relaxation. The hysteresis error can be significantly reduced if the output of the LF198 is digitized quickly after the hold mode is initiated. The hysteresis relaxation time constant in polypropylene, for instance, is 10-50 ms. If A-to-D conversion can be made within 1 ms, hysteresis error will be reduced by a factor of ten.

DC and AC Zeroing

DC zeroing is accomplished by connecting the offset adjust pin to the wiper of a 1 kΩ potentiometer which has one end tied to V⁺ and the other end tied through a resistor to ground. The resistor should be selected to give ≈ 0.6 mA through the 1k potentiometer.

AC zeroing (hold step zeroing) can be obtained by adding an inverter with the adjustment pot tied input to output. A 10 pF capacitor from the wiper to the hold capacitor will give ±4 mV hold step adjustment with a 0.01μF hold capacitor and 5V logic supply. For larger logic swings, a smaller capacitor (< 10 pF) may be used.

Logic Rise Time

For proper operation, logic signals into the LF198 must have a minimum dV/dt of 1.0 V/μs. Slower signals will cause excessive hold step. If a R/C network is used in front of the logic input for signal delay, calculate the slope of the waveform at the threshold point to ensure that it is at least 1.0 V/μs.

Sampling Dynamic Signals

Sample error due to moving input signals probably causes more confusion among sample-and-hold users than any other parameter. The primary reason for this is that many users make the assumption that the sample and hold amplifier is truly locked on to the input signal

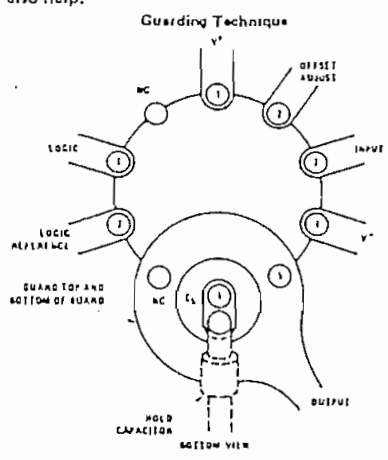
phase delays through the circuit creating an input-output differential for fast moving signals. In addition, although the output may have settled, the hold capacitor has an additional lag due to the 300Ω series resistor on the chip. This means that at the moment the "hold" command arrives, the hold capacitor voltage may be somewhat different than the actual analog input. The effect of these delays is opposite to the effect created by delays in the logic which switches the circuit from sample to hold. For example, consider an analog input of 20 Vp-p at 10 kHz. Maximum dV/dt is 0.6 V/μs. With no analog phase delay and 100 ns logic delay, one could expect up to (0.1μs)(0.6V/μs) = 60 mV error if the "hold" signal arrived near maximum dV/dt of the input. A positive-going input would give a +60 mV error. Now assume a 1 MHz (3 dB) bandwidth for the overall analog loop. This generates a phase delay of 160 ns. If the hold capacitor sees this exact delay, then error due to analog delay will be (0.16μs)(0.6 V/μs) = -96 mV. Total output error is +60 mV (digital) - 96 mV (analog) for a total of -36 mV. To add to the confusion, analog delay is proportional to hold capacitor value while digital delay remains constant. A family of curves (dynamic sampling error) is included to help estimate errors.

A curve labeled Aperture Time has been included for sampling conditions where the input is steady during the sampling period, but may experience a sudden change nearly coincident with the "hold" command. This curve is based on a 1 mV error led into the output.

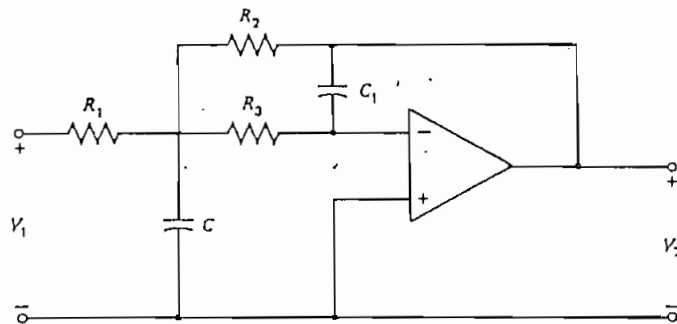
A second curve, Hold Settling Time indicates the time required for the output to settle to 1 mV after the "hold" command.

Digital Feedthrough

Fast rise time logic signals can cause hold errors by feeding externally into the analog input at the same time the amplifier is put into the hold mode. To minimize this problem, board layout should keep logic lines as far as possible from the analog input. Grounded guarding traces may also be used around the input line, especially if it is driven from a high impedance source. Reducing high amplitude logic signals to 2.5V will also help.



2.11 Summary of Infinite-Gain MFB Low-Pass Filter Design Procedure



General circuit

Procedure

Given cutoff f_c (hertz), gain G , order n , and filter type (Butterworth or Chebyshev), perform the following steps for a second-order filter, or for each stage of a higher-order cascaded filter ($n = 4, 6, 8$).

1. Select a value of capacitance C and determine a K parameter from

$$K = \frac{100}{f_c C'}$$

where C' is the value of C in microfarads. Alternatively, K may be found from Fig. 2-16a, b, or c. For higher-order designs (say $n > 4$), it is better to use the equation since greater accuracy is required.

2. Find the remaining element values from the appropriate one of Tables 2-26 through 2-49 as follows. The values of C_1 are determined directly from the tables using the chosen value of C . The resistances in the tables are given for $K = 1$ and hence their values must be multiplied by the K parameter of step 1 to yield the resistances of the circuit.

3. Select standard resistance values that are as close as possible to those indicated by the table and construct the filter, or its stages, in accordance with the general circuit. In case C_1 is a multiple of C such as 0.47, and so forth, standard values of C_1 result if C is chosen as a power of 10 (i.e., 0.1, 1, 10, etc.) μF .

Comments and Suggestions

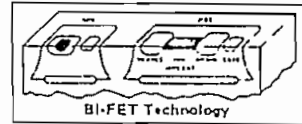
The comments and suggestions for the VCYS low-pass filter given in Sec. 2.10 apply as follows:

- (a) Paragraphs (a) and (d) are directly applicable.
- (b) Paragraphs (c) and (e) do not apply.



National
Semiconductor

Operational Amplifiers/Buffers



LF155/LF156/LF157 Series Monolithic JFET Input Operational Amplifiers

LF155, LF155A, LF255, LF355, LF355A, LF355B low supply current
 LF156, LF156A, LF256, LF356, LF356A, LF356B wide band
 LF157, LF157A, LF257, LF357, LF357A, LF357B wide band decompensated ($A_{V_{MIN}} = 5$)

General Description

These are the first monolithic JFET input operational amplifiers to incorporate well matched, high voltage JFETs on the same chip with standard bipolar transistors (Bi-FET Technology). These amplifiers feature low input bias and offset currents, low offset voltage and offset voltage drift, coupled with offset adjust which does not degrade drift or common-mode rejection. The devices are also designed for high slew rate, wide bandwidth, extremely fast settling time, low voltage and current noise and a low $1/f$ noise corner.

Advantages

- Replace expensive hybrid and module FET op amps
- Rugged JFETs allow blow-out free handling compared with MOSFET input devices
- Excellent for low noise applications using either high or low source impedance—very low $1/f$ corner
- Offset adjust does not degrade drift or common-mode rejection as in most monolithic amplifiers
- New output stage allows use of large capacitive loads (10,000 pF) without stability problems
- Internal compensation and large differential input voltage capability

Applications

- Precision high speed integrators
- Fast D/A and A/D converters
- High impedance buffers
- Wideband, low noise, low drift amplifiers
- Logarithmic amplifiers

- Photocell amplifiers
- Sample and Hold circuits

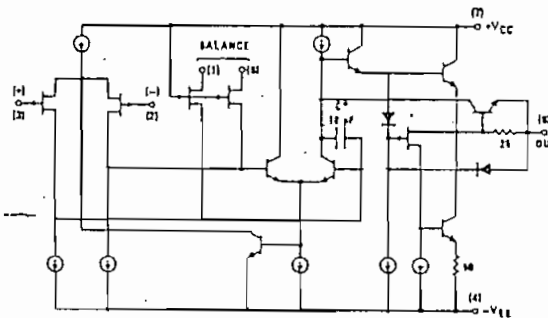
Common Features

Feature	Value
Low input bias current	30 pA
Low Input Offset Current	3 pA
High input impedance	$10^{12} \Omega$
Low input offset voltage	1 mV
Low input offset voltage temperature drift	$3 \mu V/^\circ C$
Low input noise current	$0.01 \text{ pA}/\sqrt{\text{Hz}}$
High common-mode rejection ratio	100 dB
Large dc voltage gain	106 dB

Uncommon Features

	LF155A	LF156A	LF157A ($A_V = 5$)*	UNITS
Extremely fast settling time to 0.01%	4	1.5	1.5	μs
Fast slew rate	5	12	50	$V/\mu s$
Wide gain bandwidth	2.5	5	20	MHz
Low Input noise voltage	20	12	12	$nV/\sqrt{\text{Hz}}$

Simplified Schematic



*C = 2 pF on LF157

LF155/LF156/LF157 Series



LF155/LF156/LF157 Series

Absolute Maximum Ratings

	LF155A/5A/7A	LF155/5/7	LF355B/6B/7B LF255/6/7 LF355B/6B/7B	LF355A/5A/7A LF355/5/7
Supply Voltage	±22V	±22V	±22V	±16V
Power Dissipation (P _d at 25°C) and Thermal Resistance (θ _{J-A}) (Note 1)				
T _J MAX (H and J Package)	150°C	150°C	115°C	115°C
(N Package)			100°C	100°C
(H Package) P _d	670 mW	670 mW	570 mW	570 mW
θ _{J-A}	150°C/W	150°C/W	150°C/W	150°C/W
(J Package) P _d	670 mW	670 mW	570 mW	570 mW
θ _{J-A}	140°C/W	140°C/W	140°C/W	140°C/W
(N Package) P _d			500 mW	500 mW
θ _{J-A}			155°C/W	155°C/W
Differential Input Voltage	±40V	±40V	±40V	±30V
Input Voltage Range (Note 2)	±20V	±20V	±20V	±16V
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF155A/5A/7A			LF355A/5A/7A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
V _{OS}	Input Offset Voltage	R _S = 50Ω, T _A = 25°C		1	2		1	2	mV
		Over Temperature			2.5			2.3	mV
ΔV _{OS} /ΔT	Average TC of Input Offset Voltage	R _S = 50Ω		3	5		3	5	μV/°C
ΔTC/ΔV _{OS}	Change in Average TC with V _{OS} Adjust	R _S = 50Ω, (Note 4)		0.5			0.5		μV/°C
I _{OS}	Input Offset Current	T _J = 25°C, (Notes 3, 5) T _J ≤ T _{HIGH}		3	10		3	10	μA
					10			1	nA
I _B	Input Bias Current	T _J = 25°C, (Notes 3, 5) T _J ≤ T _{HIGH}		30	50		30	50	μA
					25			5	nA
R _{IN}	Input Resistance	T _J = 25°C		10 ¹²			10 ¹²		Ω
A _{VOL}	Large Signal Voltage Gain	V _S = ±15V, T _A = 25°C V _O = ±10V, R _L = 2k	50	200		50	200		V/mV
		Over Temperature	25			25			V/mV
V _O	Output Voltage Swing	V _S = ±15V, R _L = 10k	±12	±13		±12	±13		V
		V _S = ±15V, R _L = 2k	±10	±12		±10	±12		V
V _{CM}	Input Common-Mode Voltage Range	V _S = ±15V	±11	+15.1 -12		±11	+15.1 -12		V
CMRR	Common-Mode Rejection Ratio		85	100		85	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	85	100		85	100		dB

AC Electrical Characteristics T_A = 25°C, V_S = ±15V

SYMBOL	PARAMETER	CONDITIONS	LF155A/355A			LF156A/356A			LF157A/357A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SR	Slew Rate	LF155A/6A; A _V = 1, LF157A; A _V = 5	3	5		10	12					V/μs
GBW	Gain Bandwidth Product			2.5		4	4.5		15	20		MHz
t _s	Settling Time to 0.01%	(Note 7)		4			1.5			1.5		μs
e _n	Equivalent Input Noise Voltage	R _S = 100Ω										nV/√Hz
		f = 100 Hz		25			15			15		nV/√Hz
		f = 1000 Hz		25			12			12		nV/√Hz
i _n	Equivalent Input Noise Current	f = 100 Hz		0.01			0.01			0.01		pA/√Hz
		f = 1000 Hz		0.01			0.01			0.01		pA/√Hz

LF155/LF156/LF157 Series

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF155/6/7			LF255/6/7 LF355B/6B/7B			LF355/6/7			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 50\Omega, T_A = 25^\circ\text{C}$ Over Temperature		3	5 7		3	5 6.5	3	10 13		mV mV
$\mu\text{CS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 50\Omega$		5			5		5			$\mu\text{V}/^\circ\text{C}$
$\Delta\text{TC}/\Delta\text{VOS}$	Change in Average TC with VOS Adjust	$R_S = 50\Omega$, (Note 4)		0.5			0.5		0.5			$\mu\text{V}/^\circ\text{C}$ per mV
I_{OS}	Input Offset Current	$T_J = 25^\circ\text{C}$, (Notes 3, 5) $T_J \leq T_{HIGH}$		3	20 20		3	20 1	3	50 2		pA nA
I_B	Input Bias Current	$T_J = 25^\circ\text{C}$, (Notes 3, 5) $T_J \leq T_{HIGH}$		30	100 50		30	100 5	30	200 8		pA nA
R_{IN}	Input Resistance	$T_J = 25^\circ\text{C}$		10^{12}			10^{12}		10^{12}			Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15\text{V}, T_A = 25^\circ\text{C}$ $V_O = \pm 10\text{V}, R_L = 2\text{k}$ Over Temperature	50	200		50	200		25	200		V/mV
V_O	Output Voltage Swing	$V_S = \pm 15\text{V}, R_L = 10\text{k}$ $V_S = \pm 15\text{V}, R_L = 2\text{k}$	± 12 ± 10	± 13 ± 12		± 12 ± 10	± 13 ± 12		± 12 ± 10	± 13 ± 12		V V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15\text{V}$	± 11	+15.1 -12		± 11	+15.1 -12		± 10	+15.1 -12		V V
CMRR	Common-Mode Rejection Ratio		85	100		85	100		80	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	85	100		85	100		80	100		dB



DC Electrical Characteristics $T_A = 25^\circ\text{C}, V_S = \pm 15\text{V}$

PARAMETER	LF155A/155, LF255, LF355A/355B		LF355		LF156A/156, LF256/356B		LF356A/356		LF157A/157, LF257/357B		LF357A/357		UNITS
	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	TYP	MAX	
Supply Current	2	4	2	4	5	7	5	10	5	7	5	10	mA

AC Electrical Characteristics $T_A = 25^\circ\text{C}, V_S = \pm 15\text{V}$

SYMBOL	PARAMETER	CONDITIONS	LF155/255/ 355/355B	LF156/256, LF356B	LF156/256/ 356/356B	LF157/257, LF357B	LF157/257/ 357/357B	UNITS
			TYP	MIN	TYP	MIN	TYP	
SR	Slew Rate	LF155/6: $A_V = 1$, LF157: $A_V = 5$	5	7.5	12	30	50	V/ μs V/ μs
GBW	Gain Bandwidth Product		2.5		5		20	MHz
t_s	Settling Time to 0.01%	(Note 7)	4		1.5		1.5	μs
e_n	Equivalent Input Noise Voltage	$R_S = 100\Omega$ $f = 100\text{ Hz}$ $f = 1000\text{ Hz}$	25 20		15 12		15 12	nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
i_n	Equivalent Input Current Noise	$f = 100\text{ Hz}$ $f = 1000\text{ Hz}$	0.01 0.01		0.01 0.01		0.01 0.01	pA/ $\sqrt{\text{Hz}}$ pA/ $\sqrt{\text{Hz}}$

Application Hints

The LF155/6/7 series are op amps with JFET input devices. These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

These amplifiers will operate with the common-mode input voltage equal to the positive supply. In fact, the common-mode voltage can exceed the positive supply by approximately 100 mV independent of supply voltage and over the full operating temperature range. The positive supply can therefore be used as a reference on an input as, for example, in a supply current monitor and/or limiter.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed

in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

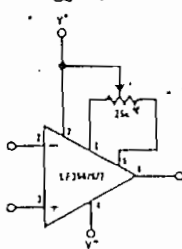
All of the bias currents in these amplifiers are set by FET current sources. The drain currents for the amplifiers are therefore essentially independent of supply voltage.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pickup" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to ac ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately six times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

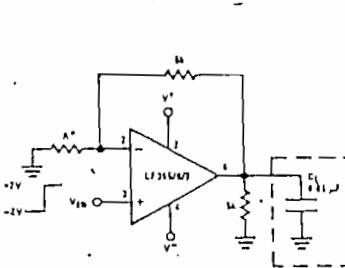
Typical Circuit Connections

V_{OS} Adjustment



- V_{OS} is adjusted with a 25k potentiometer
- The potentiometer wiper is connected to V⁺
- For potentiometers with temperature coefficient of 100 ppm/°C or less the additional drift with adjust is ~ 0.5 μV/°C/mV of adjustment
- Typical overall drift: 5 μV/

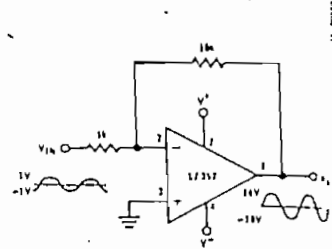
Driving Capacitive Loads



• LF155/6 R = 5k
 LF157 R = 1.25k

Due to a unique output stage design, these amplifiers have the ability to drive large capacitive loads and still maintain stability. C_L(MAX) = 0.01 μF.
 Overshoot ≤ 20%
 Settling time (t_s) = 5 μs

LF157. A Large Power BW Amplifier



For distortion ≤ 1% and a 20 V_{pp} V_{OUT} swing, power bandwidth is 500 kHz.

CONVERSIONES A/D y D/A

QUANTIZING THEORY

The operation of quantizing a signal is illustrated by the quantizer transfer function shown in Figure 2. Quantization is the process of converting a continuous analog input into a set of discrete output levels. The analog input is shown on the horizontal axis and the discrete output levels on the vertical axis. The discrete output levels can be identified by a set of numbers such as a binary code. The two processes of quantization and coding represent the basic operation of analog to digital conversion.

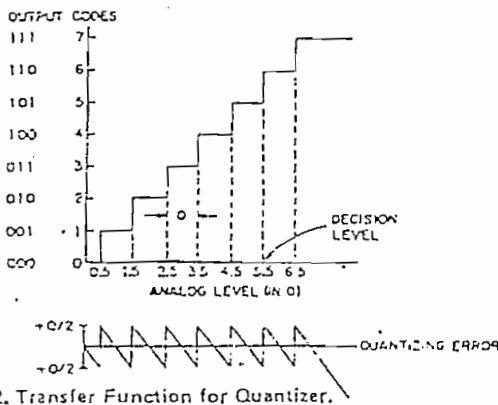


FIGURE 2. Transfer Function for Quantizer.

The quantizer transfer function has a number of important characteristics. The function shown is ideal with analog decision levels at values of 0.5, 1.5, 2.5, etc. The decision levels are set at values which bracket the true levels. In other words, an analog input value of 1 should correspond with a binary output level of 001. The analog 1 value is halfway between the decision levels 0.5 and 1.5. Thus an analog value of 1 ± 0.5 is read out as a digital 001. The distance between decision levels is Q , the quantization size or bit size. A quantizer with a binary output code has 2^n discrete output levels with $2^n - 1$ analog decision levels. The decision levels in an actual quantizer would not be precise but would have a finite uncertainty band around them. For an analog value within this uncertainty band the output could be at either of two discrete output levels. In addition, in an actual quantizer the decision levels would not necessarily be at precisely correct analog values, but would miss these values due to non-linearity, offset, and gain errors.

As the input to the quantizer is moved through its full range of values and subtracted from the discrete output levels an error will result. This error is called "quantizing error" and is an irreducible error due to the quantizing process and dependent on the number of quantization levels, or resolution,

of the quantizer. When the quantizing error is plotted, as shown in the illustration, it has the form of a sawtooth waveform with a peak to peak value of Q . The output of the quantizer can be thought of as the input analog signal with quantization noise added to it. Thus the output, which is restricted to a finite number of discrete values, jumps from one value to the next as the input moves through its full range. The quantization error is zero only midway between the decision levels. The peak value of quantization noise is $Q/2$ and the RMS value can be computed from the triangular shape and found to be $Q/2\sqrt{3}$. Although the quantization noise can be reduced by increasing the resolution of the quantizer, there always remains a quantization uncertainty of at least $\pm Q/2$ for any quantizer.

An A/D converter performs the operations of quantizing and coding a signal in some finite amount of time. The time required to do this depends both on the resolution of the converter and the particular conversion method used. The speed of conversion required in a particular situation depends on the time variation of the signal to be converted and the amount of resolution required. The time required to make a measurement or conversion is generally called the "aperture time".

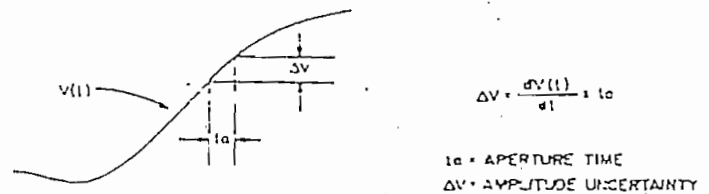


FIGURE 3. Aperture Time and Amplitude Uncertainty.

Aperture time can be considered to be a time uncertainty or amplitude uncertainty. As shown in Figure 3 the aperture time and amplitude uncertainty are related by the time rate of change of the signal. For the particular case of a sinusoidal signal to be converted, the maximum rate of change occurs at the zero crossing of the waveform and the amplitude change is:

$$\Delta V = \frac{d}{dt} (V \sin \omega t)_{t=0} \times t_a = V \omega t_a$$

giving
$$\frac{\Delta V}{V} = \omega t_a = 2\pi f t_a$$

CONVERTERS

From the result we can determine, for example, the aperture time (or conversion time) required to digitize a 1 kilohertz signal to 10 bits resolution. This is a resolution of 1 part in 2^{10} or 0.1%, and using the above equation:

$$t_a = \frac{\Delta V}{V} \times \frac{1}{2\pi f} = \frac{.001}{6.28 \times 10^3} = 160 \times 10^{-9}$$

The result is a required aperture time of only 160 nanoseconds. To remain within 1 bit (0.1%) of resolution due to the rate of change of the signal. It can be seen from this result that to digitize even a slowly varying signal to moderate resolution levels requires an extremely fast and, therefore, expensive analog to digital converter. Fortunately there is a simple and inexpensive way around this problem by the use of the sample and hold circuit which can reduce the aperture time considerably by taking a rapid sample of the signal and then holding its value for the required conversion time. The aperture time required for sinusoids of other frequencies and different resolutions is summarized by the graph shown in Figure 4.

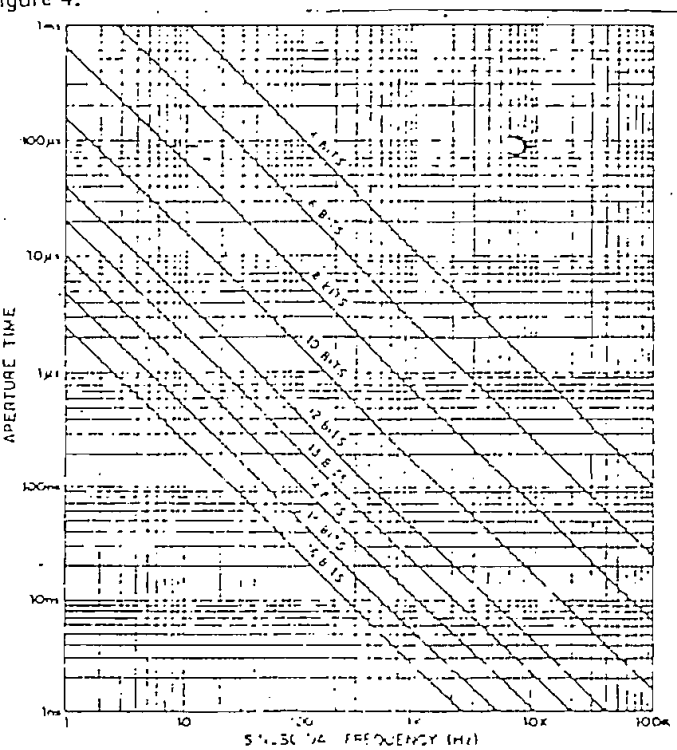


FIGURE 4. Aperture Time Required for a Given Frequency and Resolution.

Successive Approximation Type: This conversion method is probably the most widely used in general practice due to its combination of high resolution and high speed. The successive approximation converter operates with a fixed conversion time per bit, independent of the value of the analog input. This method is illustrated in Figure 19 and operates by comparing the input voltage with the D/A converter output, one bit at a time.

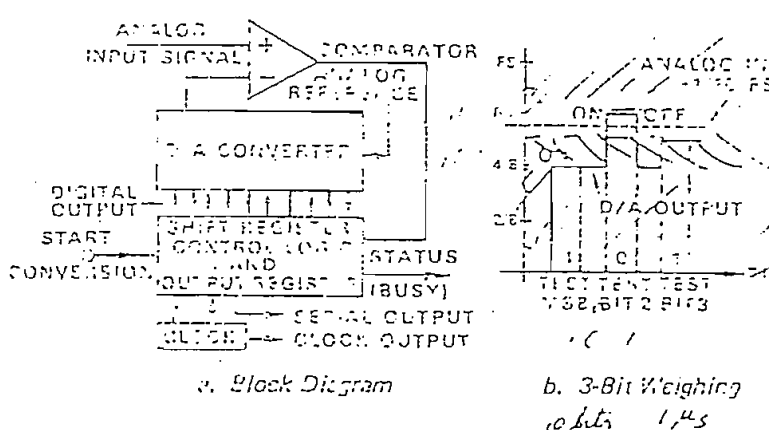


FIGURE 19. Successive Approximation Type A/D Converter.

At the start of the conversion cycle, the D/A converter's MSB output, which is $1/2$ full scale, is compared with the input. If it is smaller than the input, the MSB is left on and the next bit is tried. If the MSB is larger than the input, it is turned off when the next bit is turned on. This process of comparison is continued down to the LSB after which the output register contains the complete output digital number. Both serial and parallel output data can be brought out of this converter and in addition, the conversion can be synchronized to an external clock on some units. Speeds as high as 100 nanoseconds per bit can be achieved by this method. Successive approximation converters can also be quite accurate, but the accuracy depends on the stability of the reference, the switches, the ladder network, and the comparator.



A to D, D to A

DAC1200/DAC1201 12-Bit (Binary) Digital-to-Analog Converters

DAC1202/DAC1203 3-Digit (BCD) Digital-to-Analog Converters

General Description

The DAC1200 series of D/A converters is a family of precision low-cost converter building blocks intended to fulfill a wide range of industrial and military D/A applications. These devices are complete functional blocks requiring only application of power for operation. The design combines a precision 12-bit weighted current source (12 current switches and 12-bit thin-film resistor network), a rapid-settling operational amplifier, and 10.24V (for binary series) or 10.00V (for BCD series) buffered reference.

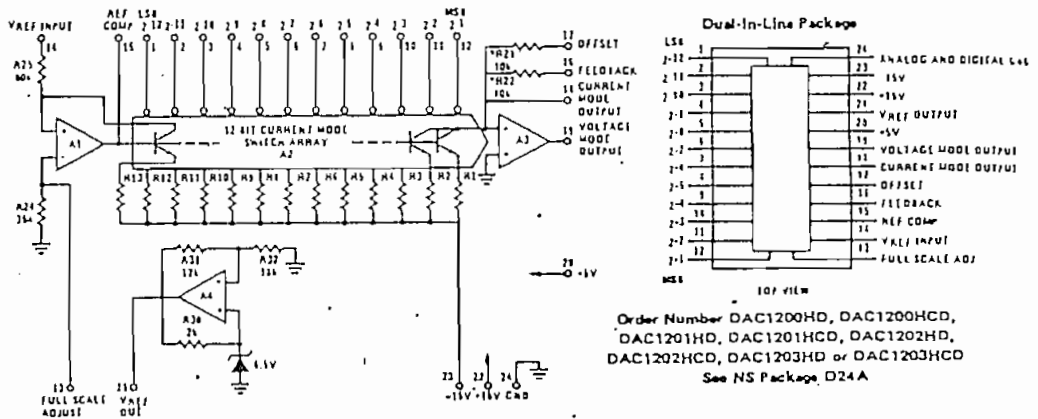
Input coding options include complementary binary and complementary BCD formats. In all instances, a logic "low" (< 0.8V) turns a given bit ON, and a logic "high" (> 2.0V) turns the bit OFF. Output format may be programmed for bipolar ($\pm 10V$) or unipolar (0 to 10V) operation using internally supplied thin-film resistor pin strap options. Current mode operation is also available from 0 to 2 mA (for binary) or 0 to 1.25 mA (for BCD).

The entire series is available in hermetically sealed 24-lead DIP.

Features

- Circuit completely self-contained
- Both current and voltage-mode outputs
- Standard power supplies: $\pm 15V$ and $+5V$
- Internal buffered reference: 10.24V for binary, 10.00V for BCD
- 0 to 2 mA, $\pm 10V$ or 0 to 10V output by strapping internal resistors; other scales by external resistors
- $\pm 1/2$ LSB (binary) or $\pm 1/10$ LSD (BCD) linearity
- Fast settling time: 1.5 μs in current mode, 2.5 μs in voltage mode
- High slew rate: 15 V/ μs
- TTL and CMOS compatible complementary binary or BCD input logic format
- 12 bit linearity
- Standard dual-width DIP package

Block and Connection Diagrams



*R21 = R22 = 16k for DAC1202/1203 (BCD)

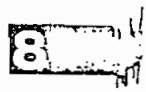
DAC1200/DAC1201, DAC1202/DAC1203

Module Maximum Ratings

Supply Voltage (V ⁺ & V ⁻)	±18 V
Supply Voltage (V _{CC})	+10 V
Output Voltage	-0.7 V to +18 V
Input Voltage	-0 V, +18 V
Dissipation	(see graphs)
Circuit Duration (pins 18, 19 & 21)	Continuous
Temperature Range	
DAC1200HD, DAC1201HD, DAC1202HD, DAC1203HD	-55°C to +125°C
DAC1200HCD, DAC1201HCD, DAC1202HCD, DAC1203HCD	-25°C to +85°C
Temperature Range	-65°C to +150°C
Temperature (soldering, 10 sec.)	300°C

Electrical Characteristics DAC1200/1201 Binary D/A (Notes 1, 2)

PARAMETER	CONDITIONS	DAC1200/1200C			DAC1201/1201C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Resolution		12			12			Bits
Linearity Error (Note 3)	T _A = 25°C			±0.0122			±0.0488	% FS
				±0.0244			±0.0976	% FS
Output Voltage	T _A = 25°C		1	5 10		1	10 15	mV
Full-Scale Error (Note 3)	V _{REF} = 10.240V		0.01	0.1		0.02	0.2	% FS
Full-Scale Error	Pin 21 connected to Pin 14, T _A = 25°C		0.1	0.6		0.1	0.7	% FS
Linearity (Notes 3, 4)		Guaranteed over the temperature range						
Full-Scale Power Supply	ΔV ⁺ = ±2V ΔV ⁻ = ±2V T _A = 25°C		0.002	0.02		0.002	0.02	% FS/V
Linearity	ΔV _{CC} = ±1V V _{REF} = 10.240V		0.002	0.02		0.002	0.02	% FS/V
Output Voltage Range	R _L = 5k	±10.5	±12		±10.5	±12		V
Full-Scale Output Short Circuit Current Limit	T _A = 25°C		20	50		20	50	mA
Full-Scale Mode Voltage Compliance	(Note 6)	±2.5			±2.5			V
Full-Scale Mode Output Impedance			15			15		kΩ
Reference Voltage	0mA < I _{REF} < 2mA, T _A = 25°C	10.190	10.240	10.290	10.190	10.240	10.290	V
-1 st Input Voltage (Bit OFF)		2.0			2.0			V
0 th Input Voltage (Bit ON)				0.8			0.8	V
-1 st Input Current (Bit OFF)	V _{IN} = 2.5V		1	10		1	10	μA
0 th Input Current (Bit ON)	V _{IN} = 0V		-10	-100		-10	-100	μA
Supply Current	I ⁺		10	15		10	15	mA
	I ⁻		25	30		25	30	mA
	I _{CC}	V _{CC} = 5.0V	20	25		20	25	mA



DC Electrical Characteristics DAC1202/1203 3-Digit BCD D/A (Notes 1, 2)

PARAMETER	CONDITIONS	DAC1202/1202C			DAC1203/1203C		
		MIN	TYP	MAX	MIN	TYP	MAX
Resolution		3			3		
Linearity Error (Note 5)	$T_A = 25^\circ\text{C}$			0.01 0.02			0.05 0.1
Offset Voltage	$T_A = 25^\circ\text{C}$		1	5 10	1		10 15
Voltage Mode Full-Scale Error (Note 5)	$V_{REF} = 10.000\text{V}$					0.02	0.2
Voltage Mode Full Scale Error	Pin 21 connected to Pin 14, $T_A = 25^\circ\text{C}$			0.5			0.7
Monotonicity (Notes 4, 5)		Guaranteed over the temperature range					
Voltage Mode Power Supply Sensitivity	$\Delta V^+ = 12\text{V}$ $\Delta V^- = 12\text{V}$ $\Delta V_{CC} = \pm 1\text{V}$ $T_A = 25^\circ\text{C}$ $V_{REF} = 10.000\text{V}$		0.002 0.002 0.002	0.02 0.02 0.02		0.002 0.002 0.002	0.02 0.02 0.02
Voltage Mode Output Voltage Range	$R_L = 5\text{k}$	± 10.5	± 12		± 10.5	± 12	
Voltage Mode Output Short Circuit Limit	$T_A = 25^\circ\text{C}$		20	50		20	50
Current Mode Compliance	(Note 6)	± 2.5			± 2.5		
Current Mode Output Impedance			10			10	
Reference Voltage	$0 < I_{REF} < 2\text{mA}$, $T_A = 25^\circ\text{C}$	9.950	10.000	10.050	9.950	10.000	10.050
Logic "1" Input Voltage (Bit OFF)		2.0			2.0		
Logic "0" Input Voltage (Bit ON)				0.8			0.8
Logic "1" Input Current (Bit OFF)	$V_{IN} = 2.5\text{V}$		1	10		1	10
Logic "0" Input Current (Bit ON)	$V_{IN} = 0\text{V}$		-10	-100		-10	-100
Power Supply Current	I^+ $V^+ = 15.0\text{V}$		10	15		10	15
	I^- $V^- = -15.0\text{V}$		25	30		25	30
I_{CC}	$V_{CC} = 5.0\text{V}$		20	25		20	25

AC Electrical Characteristics DAC1200/1201/1202/1203

PARAMETER	CONDITIONS ($T_A = 25^\circ\text{C}$)	MIN	TYP	MAX	UNIT
Voltage Mode	DAC1200/1202, $V_E < 1.25\text{mV}$		1.5	3.0	
± 1 LSB Settling Time (Note 6)	DAC1201/1203, $V_E < 5.0\text{mV}$		1	3.0	
Voltage Mode Full-Scale Change Settling Time (Note 6)	DAC1200/1202, $V_E < 1.25\text{mV}$ DAC1201/1203, $V_E < 5.0\text{mV}$		2.5 2.0	5.0 5.0	
Current Mode Full-Scale Settling Time	$R_L = 1\text{k}\Omega$, $C_L < 20\text{pF}$ $0 < \Delta I_{OUT} < 2\text{mA}$		1.5		
Voltage Mode Slew Rate	$-10\text{V} < \Delta V_{OUT} < +10\text{V}$		15		V/

Note 1: Unless otherwise noted, these specifications apply for $V^+ = 15.0\text{V}$, $V^- = -15.0\text{V}$, and $V_{CC} = 5.0\text{V}$ over the temperature range -25°C to $+125^\circ\text{C}$ for the DAC1200HD/1201/1202/1203 and -26°C to $+85^\circ\text{C}$ for the DAC1200HCD/1201/1202/1203.

Note 2: All typical values are for $T_A = 25^\circ\text{C}$.

Note 3: Unless otherwise noted, this specification applies for $V_{REF} = 10.24\text{V}$, and over the temperature range -25°C to $+85^\circ\text{C}$. Test conditions include adjustment of offset to 0V and full-scale to 10.2375V.

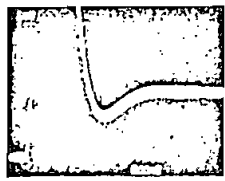
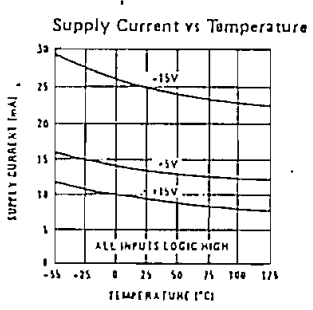
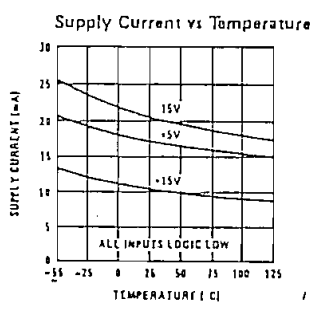
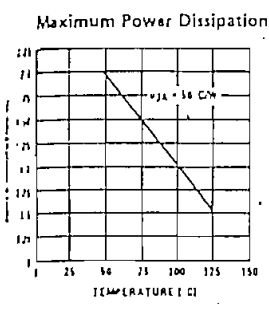
Note 4: The DAC1200, DAC1202 and DAC1203 are tested for monotonicity by stimulating all bits; the DAC1201 is tested for monotonicity by stimulating only the 10 MSBs and holding the 2 LSBs at 2.0V (i.e., 2 LSBs are OFF).

Note 5: Unless otherwise noted, this specification applies for $V_{REF} = 10.000\text{V}$, and over the temperature range -25°C to $+85^\circ\text{C}$. Test conditions include adjustment of offset to 0V and full-scale to 9.990V.

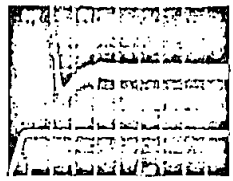
Note 6: Not tested - guaranteed by design.

Note 7: $(\Delta V_{OUT} = 10\text{V})$

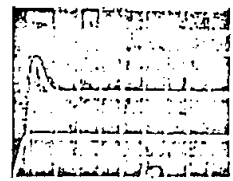
Typical Performance Characteristics



1 LSB Transition
1011...1 - 1100...0
V_O = 0, 10V
C_F = 30pF
T_A = 25°C



10V Full Scale Settling Time



10V Full Scale Pulse Response

Applications Information

1. Introduction

The DAC1200 series D/A converters are designed to minimize adjustments and user-supplied external components. For example, included in the package are a buffered reference, offset nulled output amplifier, and application resistors as well as the basic 12-bit current mode D/A.

However, the DAC1200 series is a sophisticated building block. Its principles of operation and the following applications information should be read before applying power to the device.

The user is referred to National Semiconductor Application Notes AN-156 and AN-157 for additional information.

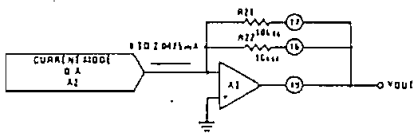
2. Power Supply Selection & Decoupling

Selection of power supplies is important in applications requiring 0.01% accuracy. The ±15V supplies should be well regulated (±15V ± 0.1%) with less than 0.5mVrms of output noise and hum.

To realize the full speed capability of the device, all three power supply leads should be bypassed with 1μF tantalum electrolytic capacitors in shunt with 0.01μF ceramic disc capacitors no farther than 1/8 inch from the device package.

1. Unipolar and Bipolar Operation

The DAC1200 series D/A's may be configured for either unipolar or bipolar operation using resistors provided with the device. Figures 1A and 1B illustrate the proper connection for binary and BCD unipolar operation. Bipolar operation is accomplished by offsetting the

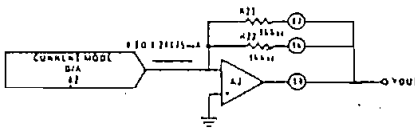


$$V_{OUT} = (I_{ZERO} \text{ to } I_{FULLSCALE}) \left(\frac{R_{21} \cdot R_{22}}{R_{21} + R_{22}} \right)$$

= 0mA to 2.0475mA (5kΩ)
= 0V to +10.2375V

- *Values shown are for V_{REF} = 10.240V.
- 1 LSB Voltage Step = $\frac{10.240V}{4096} = 2.5mV$
- 1 LSB Current Step = $\frac{2.5mV}{5.0k\Omega} = 0.5\mu A$

FIGURE 1A. DAC1200/DAC1201 Unipolar Operation

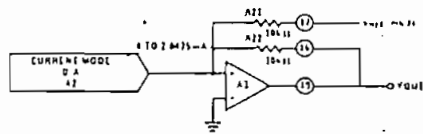


$$V_{OUT} = (I_{ZERO} \text{ to } I_{FULLSCALE}) \left(\frac{R_{21} \cdot R_{22}}{R_{21} + R_{22}} \right)$$

= 0 to 1.24875mA (8kΩ)
= 0V to 9.990V

- *Values shown are for V_{REF} = 10.000V.
- 1 LSD Voltage Step = $\frac{10.000}{1000} = 10mV$
- 1 LSD Current Step = $\frac{10mV}{8k\Omega} = 1.25\mu A$

FIGURE 1B. DAC1202/DAC1203 Unipolar Operation



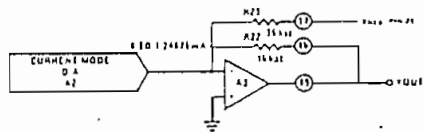
$$V_{OUT} = (0 \text{ to } 2.0475 \text{ mA})R22 - \frac{V_{REF}}{R22} R21$$

$$= (0 \text{ to } 2.0475 \text{ mA})R22 - V_{REF}, R21 \cong R22$$

$$= -10.240 \text{ to } +10.235 \text{ V}$$

*Values shown are for $V_{REF} = 10.240 \text{ V}$
1 LSB = 5mV.

FIGURE 2A. DAC1200/DAC1201 Bipolar Operation



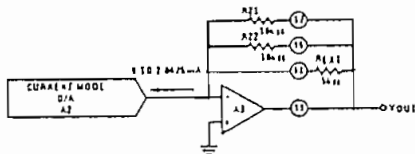
$$V_{OUT} = (0 \text{ mA to } 1.24875 \text{ mA})(R22) - \frac{R22}{R21} V_{REF}$$

$$\approx -10.000 \text{ V to } +9.80 \text{ V}$$

*Values shown are for $V_{REF} = 10.000 \text{ V}$.
1 LSB Voltage Step = 20mV.

FIGURE 2B. DAC1202/DAC1203 Bipolar Operation

External resistors may be used to achieve alternate zero and full-scale voltages. It is advantageous to utilize R21 and R22 even in these applications since they are closely matched in TCR and temperature to the internal array. Figure 3 illustrates the recommended circuit for zero to 5V operation. R_{EXT} should be of metal film or wire-wound construction with a TCR of less than 10ppm/°C.



$$R_{TOTAL} = (R21) \parallel (R22) \parallel (R_{EXT}) = \frac{V_{FULLSCALE}}{2.0475 \text{ mA}} = 2.5 \text{ k}\Omega$$

FIGURE 3. DAC1200 0 to 5.120V Operation

4. Offset and Full-Scale Adjust

If higher precision is required in the zero and full-scale, external adjustments may be made. The circuit of figure 4 illustrates the recommended circuit to adjust offset and full-scale of the DAC1200 series. The circuit will work equally well for unipolar or bipolar operation.

In bipolar operation, the offset is adjusted at minus full-scale; in the unipolar case at zero scale.

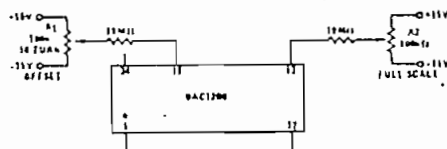


FIGURE 4. Offset & Full-Scale Adjust

For the values shown in figure 4, R1 will allow a ±7mV offset adjustment for the unipolar case and ±15mV for the bipolar case. R2 will allow a ±50mV adjustment at full scale.

5. Current Mode Operation

Access to the summing junction of A3 affords current mode operation either with a resistive load or to drive a fast-settling external operational amplifier. The loop around A3 should not be closed in current mode operation. There is a ±2.5V maximum compliance voltage at A2's output (pin 18) which restricts the maximum value of the load resistor; i.e., $R_L \times I_{FULLSCALE} < 2.5 \text{ V}$

Note: $I_{FULLSCALE} \approx 2 \text{ mA}$ for DAC1200/DAC1201 and $\approx 1.25 \text{ mA}$ for DAC1202/DAC1203.

6. Settling Time & Glitch Minimization

The settling time of the DAC1200 series and the glitch which occurs between major input code changes may be improved by placing a 10 to 30pF capacitor between pins 18 (current-mode output) and 19 (voltage mode output). The capacitor is used to cancel output capacitance of the current mode D/A and stray capacitance at pin 18.

7. Current Output Boosting

The DAC1200 series may be operated as a "power D/A" by including a current buffer such as the LH0002, LH0053 in the loop with A3 as shown in figure 5.

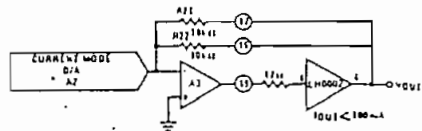


FIGURE 5. Current Boosted Output

8. Logic Input Coding

The sense of the logic inputs to the DAC1200 series is complementary; i.e., a given bit is turned ON by an active "low" input. Table 1 summarizes input status for the unipolar and bipolar complementary binary and BCD codes.

Other input codes may also be used. For example, the two's complement code, which is used extensively in computer and microprocessor applications, may be converted to the DAC1200 complementary bipolar format by inverting all bits except the MSB. The inversion may be accomplished in the microprocessor by software control or by hardware using standard hex-inverters.

9. Reference Voltage

External reference voltages may be used with the DAC1200 series. Voltages other than 10.240 or 10.000V, in the range of +5.0V to 11V will work satisfactorily for voltage mode operation. Full-scale voltage is always $V_{REF} - 1 \text{ LSB}$ where $1 \text{ LSB} = V_{REF}/4096$ (binary) or $V_{REF}/1000$ (BCD). Full-scale current (for binary) may be predicted by:

$$I_{FULLSCALE} = (V_{REF})/0.19995117 \text{ mA}$$

CODE TYPE	(Note 8) INPUT CODE			OUTPUT STATE	OUTPUT VOLTAGE (Note 9)	OUTPUT CURRENT
	MSB	LSB				
Unipolar Complementary Binary	0000	0000	0000	Full-Scale	+10.2375V	2.0475mA
	1111	1111	1110	1 LSB ON	+2.500mV	0.500µA
	1111	1111	1111	Zero Scale	Zero	Zero
Bipolar Complementary Binary	0000	0000	0000	Full-Scale	+10.235V	+1.0235mA
	0111	1111	1111	Half Full-Scale	-0.000V	0.000mA
	1111	1111	1110	1 LSB ON	-10.235V	-1.0235mA
	1111	1111	1111	Zero Scale	-10.240V	-1.0240mA
Unipolar Complementary BCD	0110	0110	0110	Full-Scale	+9.990V	1.24875mA
	1111	1111	1110	1 LSB ON	10.000mV	1.250µA
	1111	1111	1111	Zero Scale	Zero	Zero
Bipolar Complementary BCD	0110	0110	0110	Full-Scale	9.980V	+0.62375mA
	1010	1111	1111	Half Full-Scale	0.000V	Zero
	1111	1111	1110	1 LSB ON	-9.980V	-0.62375mA
	1111	1111	1111	Zero Scale	-10.00V	-0.625mA

1 Logic input sense is such that an active low ($V_{IN} < 0.8V$) turns a given bit ON and is represented as a logic "0" in the table.
 2: $V_{REF} = 10.240V$ for the DAC1200/1201 and $10.000V$ for the DAC1202/1203.

Definition of Terms

Resolution

Resolution is defined as the reciprocal of the number of discrete steps in the D/A output (as designed). It is directly related to the number of switches or bits within the D/A. For example, the DAC1200 has 2^{12} or 4096 steps. Resolution may therefore be expressed variously as 12 bits, as 1 part in 2^{12} , as 1 part in 4096, or as a percentage ($1/4096 \times 100 = 0.0244\%$). The DAC1202 has 1023 steps and 3 BCD digits. Resolution may be expressed as 0.1% or 3 BCD digits.

Linearity Error

Linearity error is the maximum deviation from a straight line passing through the endpoints of the D/A transfer characteristic. It is measured after calibrating for zero full-scale. The linearity error of the DAC1200 series is guaranteed to be less than $\pm 1/2$ LSB or 0.0122% of F.S. for the DAC1200/1200C and $\pm 0.0488\%$ of F.S. for the DAC1201/DAC1201C. Linearity error is a design parameter intrinsic to the device and cannot be externally adjusted.

Offset Voltage

Offset voltage is an output voltage other than zero volts (unipolar operation) and other than minus full-scale (bipolar operation) with all bits turned OFF. In the DAC1200 series this error resides primarily in the output amplifier, A3. Offset voltage is adjustable to zero as discussed in the applications section.

Power Supply Sensitivity

Power supply sensitivity is a measure of the effect of power supply changes on the D/A full-scale output.

Settling Time

Two settling time parameters are specified for the DAC1200 series. Full-scale settling time requires a zero to full-scale or full-scale to zero output change. One LSB settling time requires one LSB output change. In both instances, settling time is the time required from a code transition until the D/A output reaches within $\pm 1/2$ LSB of final output value.

Monotonicity

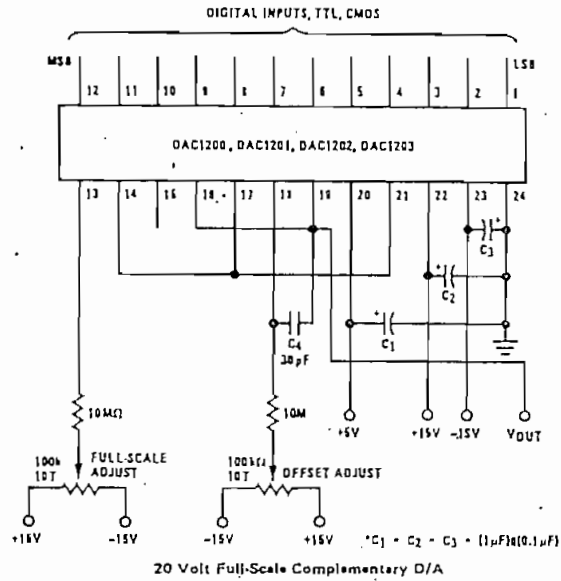
Monotonicity is a characteristic of the D/A which requires a non-negative output step for an increasing input digital code. Monotonicity, therefore, demands no back steps or changes in sign of the slope of the D/A transfer characteristic.

Full-Scale Error

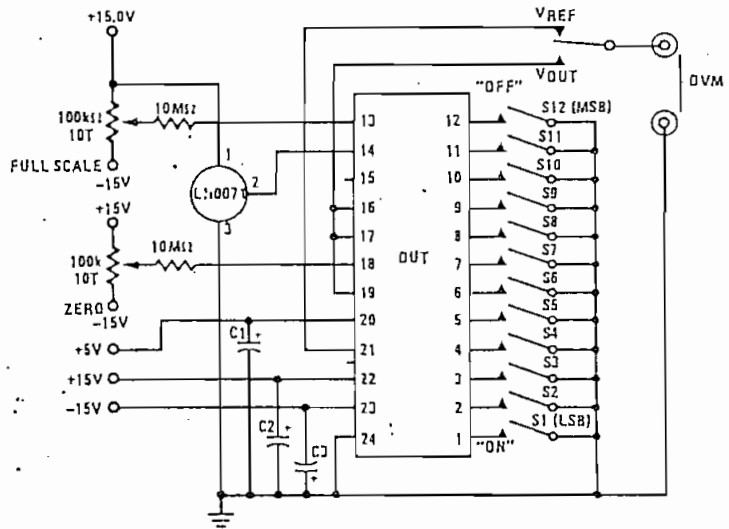
Full-scale error is a measure of the output error between an ideal D/A and the actual device output. Ideally, for the DAC1200 full-scale is $V_{REF} - 1$ LSB. For $V_{REF} = 10.240V$ and unipolar operation, $V_{FULLSCALE} = 10.240V - 2.5mV = 10.2375V$. Departures from this value include internal gain, scaling, and reference errors. Full-scale error is adjustable to zero as discussed in the Applications section.



Typical Application



DC Test Circuit



*LH0070 for DAC1202/1203

C₁ - C₂ - C₃ = 4.7μF (solid tantalum) in parallel with a 0.01μF ceramic disc

Ordering Information

PART NUMBER		PACKAGE	25°C LINEARITY ERROR	OPERATING TEMPERATURE RANGE
BINARY	BCD			
DAC1200HD	DAC1202HD	Ceramic DIP	0.01%	-55°C to +125°C
DAC1201HD	DAC1203HD	Ceramic DIP	0.05%	-55°C to +125°C
DAC1200HCD	DAC1202HCD	Ceramic DIP	0.01%	-25°C to +85°C
DAC1201HCD	DAC1203HCD	Ceramic DIP	0.05%	-25°C to +85°C



A to D, D to A

DM2502, DM2503, DM2504 Successive Approximation Registers

General Description

The DM2502, DM2503 and DM2504 are 8-bit and 12-bit TTL registers designed for use in successive approximation A/D converters. These devices contain all the logic and control circuits necessary in combination with a D/A converter to perform successive approximation analog-to-digital conversions.

The DM2502 has 8 bits with serial capability and is not expandable.

The DM2503 has 8 bits and is expandable without serial capability.

The DM2504 has 12 bits with serial capability and expandability.

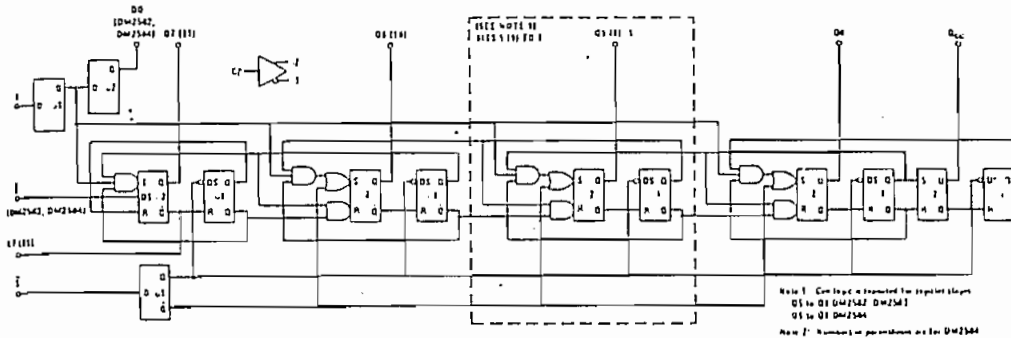
All three devices are available in ceramic DIP, ceramic flatpak, and molded Epoxy-B DIPs. The DM2502,

DM2503 and DM2504 operate over -55°C to $+125^{\circ}\text{C}$, the DM2502C, DM2503C and DM2504C operate over 0°C to $+70^{\circ}\text{C}$.

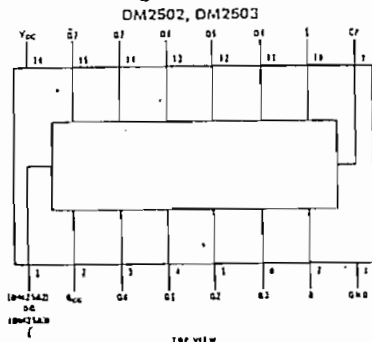
Features

- Complete logic for successive approximation A/D converters
- 8-bit and 12-bit registers
- Capable of short cycle or expanded operation
- Continuous or start-stop operation
- Compatible with D/A converters using any logic code
- Active low or active high logic outputs
- Use as general purpose serial-in-parallel converter or ring counter

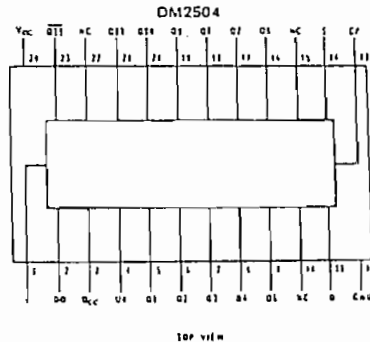
Logic Diagram



Connection Diagrams (Dual-In-Line and Flat Packages)

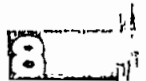


Order Number DM2502J, DM2502CJ, DM2503J or DM2503CJ
See NS Package J16A
Order Number DM2502CN or DM2503CN
See NS Package N16A
Order Number DM2502W, DM2502CW, DM2503W, or DM2503CW



Order Number DM2504F or DM2504CF
See NS Package F24A
Order Number DM2504J or DM2504CJ
See NS Package J24A
Order Number DM2504CN
See NS Package N24A

DM2502, DM2503, DM2504



Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	5.5V
Output Voltage	5.5V
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions

	MIN	MAX
Supply Voltage, V_{CC}		
DM2502C, DM2503C, DM2504C	4.75	5.25
DM2502, DM2503, DM2504	4.5	5.5
Temperature, T_A		
DM2502C, DM2503C, DM2504C	0	+70
DM2502, DM2503, DM2504	-55	+125

Electrical Characteristics (Notes 2 and 3) $V_{CC} = 5.0V$, $T_A = 25^\circ C$, $C_L = 15$ pF, unless otherwise specified

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Logical "1" Input Voltage (V_{IH})	$V_{CC} - \text{Min}$	2.0			V
Logical "1" Input Current (I_{IH})	$V_{CC} - \text{Max}$				mA
CP Input	$V_{IH} = 2.4V$		6	40	mA
O, E, \bar{S} Inputs	$V_{IH} = 2.4V$		6	80	mA
All Inputs	$V_{IH} = 5.5V$			1.0	mA
Logical "0" Input Voltage (V_{IL})	$V_{CC} - \text{Min}$			0.8	V
Logical "0" Input Current (I_{IL})	$V_{CC} - \text{Max}$				mA
CP, \bar{S} Inputs	$V_{IL} = 0.4V$		-1.0	-1.6	mA
O, E Inputs	$V_{IL} = 0.4V$		-1.0	-3.2	mA
Logical "1" Output Voltage (V_{OH})	$V_{CC} - \text{Min}$, $I_{OH} = -0.48$ mA	2.4	3.6		V
Output Short Circuit Current (Note 4) (I_{OS})	$V_{CC} - \text{Max}$, $V_{OUT} = 0.0V$, Output High, CP, O, S, High; E Low	-10	20	-45	mA
Logical "0" Output Voltage (V_{OL})	$V_{CC} - \text{Min}$, $I_{OL} = 9.6$ mA		0.2	0.4	V
Supply Current (I_{CC})	$V_{CC} - \text{Max}$, All Outputs Low				mA
DM2502C			65	95	mA
DM2502			65	85	mA
DM2503C			60	90	mA
DM2503			60	80	mA
DM2504C			90	124	mA
DM2504			90	110	mA
Propagation Delay to a Logical "0" From CP to Any Output (t_{p00})		10	18	28	nS
Propagation Delay to a Logical "0" From E to O7 (O11) Output (t_{p00})	CP High, \bar{S} Low DM2503, DM2503C, DM2504, DM2504C Only		16	24	nS
Propagation Delay to a Logical "1" From CP to Any Output (t_{p01})		10	26	38	nS
Propagation Delay to a Logical "1" From E to O7 (O11) Output (t_{p01})	CP High, \bar{S} Low DM2503, DM2503C, DM2504, DM2504C Only		13	19	nS
Set Up Time Data Input (t_{u01})		-10	4	8	nS
Set-Up Time Start Input (t_{uS1})		0	9	16	nS
Minimum Low CP Width (t_{mL})			30	42	nS
Minimum High CP Width (t_{mH})			17	24	nS
Maximum Clock Frequency (f_{MAX})		15	21		MHz

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Output Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified min/max limits apply across the -65°C to +125°C temperature range for the DM2502, DM2503 and DM2504 and across the 0°C to +70°C range for the DM2502C, DM2503C and DM2504C. All typicals are given for $V_{CC} = 5.0V$ and $T_A = 25^\circ C$.

Note 3: All currents into device pins shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. Values shown as max or min on absolute value basis.

Note 4: Only one output at a time should be shorted.

Application Information

OPERATION

The registers consist of a set of master latches that act as the control elements in the device and change state on the input clock high-to-low transition and a set of slave latches that hold the register data and change on the input clock low-to-high transition. Externally the device acts as a special purpose serial-to-parallel converter that accepts data at the D input of the register and sends the data to the appropriate slave latch to appear at the register output and the DO output on the DM2502 and DM2504 when the clock goes from low-to-high. There are no restrictions on the data input; it can change state at any time except during a short interval centered about the clock low-to-high transition. At the same time that data enters the register bit the next less significant bit register is set to a low ready for the next iteration.

The register is reset by holding the \bar{S} (Start) signal low during the clock low-to-high transition. The register synchronously resets to the state Q7 (11) low, and all the remaining register outputs high. The Q_{CC} (Conversion Complete) signal is also set high at this time. The \bar{S} signal should not be brought back high until after the clock low-to-high transition in order to guarantee correct resetting. After the clock has gone high resetting the register, the \bar{S} signal must be removed. On the next clock low-to-high transition the data on the D input is set into the Q7 (11) register bit and the Q6 (10) register bit is set to a low ready for the next clock cycle. On the next clock low-to-high transition data enters the Q6 (10) register bit and Q5 (9) is set to a low. This operation is repeated for each register bit in turn until the register has been filled. When the data goes into Q0, the Q_{CC} signal goes low, and the register is inhibited from further change until reset by a Start signal.

The DM2502, DM2503 and DM2504 have a specially tailored two-phase clock generator to provide non-overlapping two-phase clock pulses (i.e., the clock waveforms intersect below the thresholds of the gates

they drive). Thus, even at very slow dV/dt rates at the clock input (such as from relatively weak comparator outputs), improper logic operation will not result.

LOGIC CODES

All three registers can be operated with various logic codes. Two's complement code is used by offsetting the comparator 1/2 full range + 1-2 LSB and using the complement of the MSB (Q7 or Q11) with a binary D/A converter. Offset binary is used in the same manner but with the MSB (Q7 or Q11). BCD D/A converters can be used with the addition of illegal code suppression logic.

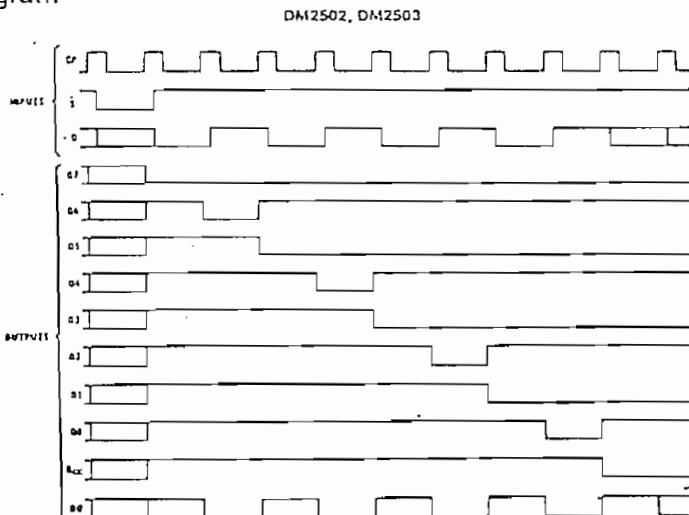
ACTIVE HIGH OR ACTIVE LOW LOGIC

The register can be used with either D/A converters that require a low voltage level to turn on, or D/A converters that require a high voltage level to turn the switch on. If D/A converters are used which turn on with a low logic level, the resulting digital output from the register is active low. That is, a logic "1" is represented as a low voltage level. If D/A converters are used that turn on with a high logic level then the digital output is active high; a logic "1" is represented as a high voltage level.

EXPANDED OPERATION

An active low enable input, \bar{E} , on the DM2503 and DM2504 allows registers to be connected together to form a longer register by connecting the clock, D, and \bar{S} inputs in parallel and connecting the Q_{CC} output of one register to the \bar{E} input of the next less significant register. When the start signal resets the register, the \bar{E} signal goes high, forcing the Q7 (11) bit high and inhibiting the register from accepting data until the previous register is full and its Q_{CC} goes low. If only one register is used the \bar{E} input should be held at a low logic level.

Timing Diagram



Application Information (Continued)

SHORT CYCLE

If all bits are not required, the register may be truncated and conversion time saved by using a register output going low rather than the Q_{CC} signal to indicate the end of conversion. If the register is truncated and operated in the continuous conversion mode, a lock-up condition may occur on power turn-on. This condition can be avoided by making the start input the OR function of Q_{CC} and the appropriate register output.

COMPARATOR BIAS

To minimize the digital error below $\pm 1/2$ LSB, the comparator must be biased. If a D/A converter is used which requires a low voltage level to turn on, the comparator should be biased $+1/2$ LSB. If the D/A converter requires a high logic level to turn on, the comparator must be biased $-1/2$ LSB.

Definition of Terms

CP: The clock input of the register.

D: The serial data input of the register.

DO: The serial data out. (The D input delayed one bit).

\bar{E} : The register enable. This input is used to expand the length of the register and when high forces the Q7 (11) register output high and inhibits conversion. When not used for expansion the enable is held at a low logic level (ground).

Q_i $i = 7$ (11) to 0: The outputs of the register.

Q_{CC} : The conversion complete output. This output remains high during a conversion and goes low when a conversion is complete.

Q7 (11): The true output of the MSB of the register.

$\bar{Q}7$ (11): The complement output of the MSB of the register.

\bar{S} : The start input. If the start input is held low for at least a clock period the register will be reset to Q7 (11) low and all the remaining outputs high. A start pulse that is low for a shorter period of time can be used if it meets the set-up time requirements of the \bar{S} input.

Truth Table

DM2502, DM2503

TIME	INPUTS			OUTPUTS ¹									
	I_n	D	\bar{S}	Q0 ²	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Q_{CC}
0	X	L	L	X	X	X	X	X	X	X	X	X	X
1		D7	H	L	X	L	H	H	H	H	H	H	H
2		D6	H	L	D7	D7	L	H	H	H	H	H	H
3		D5	H	L	D6	D7	Q6	L	H	H	H	H	H
4		D4	H	L	D5	D7	D6	D5	L	H	H	H	H
5		D3	H	L	D4	D7	D6	D5	D4	L	H	H	H
6		D2	H	L	D3	D7	D6	D5	D4	D3	L	H	H
7		D1	H	L	D2	D7	D6	D5	D4	D3	D2	L	H
8		D0	H	L	D1	D7	D6	D5	D4	D3	D2	D1	L
9		X	H	L	D0	D7	D6	D5	D4	D3	D2	D1	Q0
10		X	X	L	X	D7	D6	D5	D4	D3	D2	D1	D0
		X	X	H	X	H	NC	NC	NC	NC	NC	NC	NC

Note 1: Truth table for DM2504 is extended to include 12 outputs.

Note 2: Truth table for DM2502 does not include \bar{E} column or last line in truth table shown.

Note 3: Truth table for DM2503 does not include Q0 column.

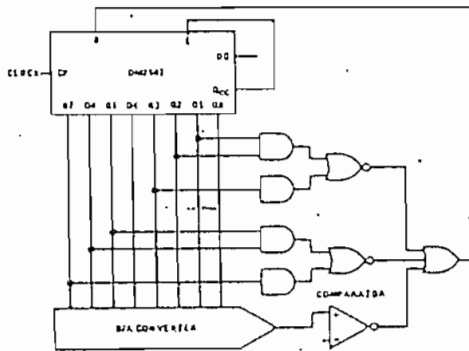
H - High Voltage Level

L - Low Voltage Level

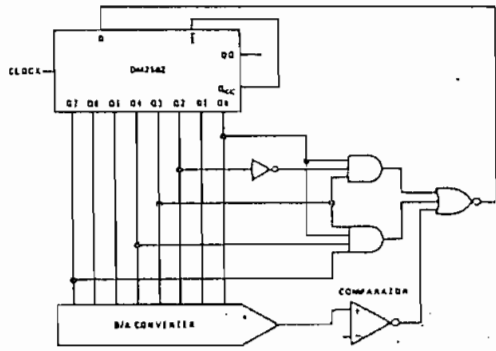
X - Don't Care

NC - No Change

Typical Applications



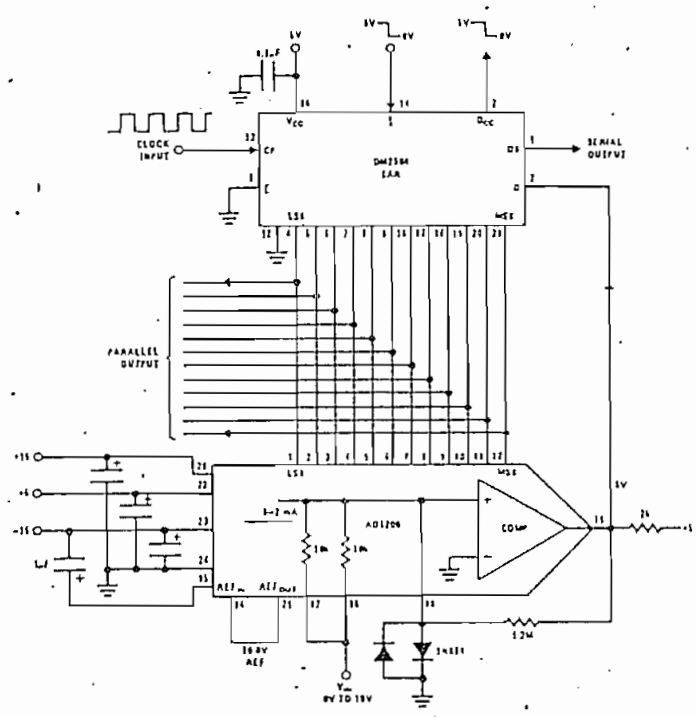
Active High



Active Low

Typical Applications (Continued)

High Speed 12-Bit A/D Converter



Switching Time Waveforms

