

CONTROL DIGITAL DE PRECISION  
DE LA VELOCIDAD DE UN MOTOR  
DE CORRIENTE CONTINUA

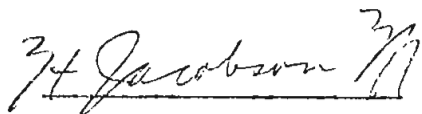
TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO EN  
LA ESPECIALIZACION DE ELECTRONICA Y TELECOMUNICACIONES  
DE LA ESCUELA POLITECNICA NACIONAL.

Patricio Burbano R.

QUITO

Agosto de 1.974

Certifico que este tra  
bajo ha sido realizado  
en su totalidad por el  
Sr. Patricio Burbano R.

A handwritten signature in cursive script, appearing to read "H. Jacobson", written over a horizontal line.

Ing. Herbert Jacobson

DIRECTOR DE TESIS

## C O N T E N I D O

	Páginas
<u>CAPITULO PRIMERO: INTRODUCCION.</u>	
1.1    Introducción .....	1
<u>CAPITULO SEGUNDO: ANALISIS DEL SISTEMA DIGITAL.</u>	
2.1    Estudio general del sistema .....	5
2.2    Formador de pulsos .....	8
2.3    Contador de frecuencia .....	11
2.4    Comparador digital .....	12
2.5    Convertidor digital - analógico .....	15
2.6    Modulador de ancho de pulsos .....	16
2.7    Excitador y amplificador de potencia .....	16
<u>CAPITULO TERCERO: DISEÑO Y CONSTRUCCION DEL CIRCUITO DE CONTROL DIGITAL.</u>	
3.1    Entrada binaria .....	20
- Convertidor decimal a código BCD .....	20
- Convertidor BCD a binario .....	23

	Páginas
3.2 Formador de pulsos .....	33
- Disco codificado .....	33
- Fototransistor y amplificador .....	34
3.3 Contador de frecuencia .....	36
- Base de tiempo .....	36
3.4 Comparador digital .....	40
- Determinación del rango normal de operación .....	43
- Determinación de la función lógica que permite trabajar en la región normal .....	45
3.5 Modulador de ancho de pulsos .....	51
- Modulador de Schmitt .....	51
- Reducción del error intercalando un amplificador dife- rencial .....	54
- Determinación de los ciclos de trabajo .....	56
- Corrección de estabilidad .....	60
3.6 Excitador y amplificador de potencia .....	62
3.7 Fuente de alimentación .....	65
<u>CAPITULO CUARTO: RESULTADOS EXPERIMENTALES.</u>	
4.1 Características experimentales .....	67
<u>CAPITULO QUINTO: CONCLUSIONES</u>	
5.1 Conclusiones .....	72
BIBLIOGRAFIA .....	74
APENDICE .....	76

CAPITULO PRIMERO

INTRODUCCION

## 1.1 INTRODUCCION

El presente trabajo esta orientado basicamente a la utilización de los amplificadores de conmutación y de las técnicas digitales aplicadas al control.

Todo el análisis y diseño que se desarrollan a lo largo de esta tesis se lo enfoca al control de la velocidad de un motor de corriente continua (motor DC), motores que en la actualidad estan adquiriendo mayor demanda, en parte, debido al avance tecnológico en su construcción. El aparecimiento de imanes permanentes de alta energía, un avance en la fabricación de escobillas, y de otros materiales nuevos, han modificado la tecnología de los motores DC y los han hecho más confiables, pequeños y menos costosos. Todos estos factores han repercutido en un gran cambio en la variedad, comportamiento y tratamiento de los motores DC. La mayor innovación ha tomado lugar en motores de fracciones de un caballo de potencia. Sus aplicaciones estan asociadas a las características de alto torque de arranque. Su costo se justifica en equipos portátiles, donde se dispone de DC y poco tamaño.

Aparte de lo mencionado, la creciente automatización y la necesidad de posición, velocidad y torque controlados, mas bien que su potencia, han motivado el resurgimiento en el interés del uso de motores de corriente continua en la última década. Este hecho se hace notorio en la utilización en servomecanismos.

En lo que se refiere a los sistemas de control, el acelerado avance en la tecnología de los semiconductores, su bajo costo y tama-

ño, más alta potencia en SCR y transistores, hacen posible la existencia de sistemas de regulación de velocidad más pequeños y totalmente transistorizados, cuyas aplicaciones se hacen tangibles en equipos de oficina, electromedicina y productos de instrumentación, así pues el uso de semiconductores hace posible el diseño de controles más sofisticados y confiables.

Entre los medios conocidos para controlar la velocidad de un motor DC, en este trabajo se usa la regulación por variación del voltaje de armadura, manteniendo constante la excitación de campo ( muy útil en caso de que el campo sea generado por un imán permanente ). Esta variación en el voltaje de armadura se lo puede hacer mediante amplificadores lineales, modulación de ancho de pulsos, modulación en frecuencia, ó, la utilización de SCR.

Consecuente con la finalidad planteada, la variación del voltaje de armadura se hará en base a modulación del ancho de pulsos ( PWM ) de un tren de pulsos que se aplique a la armadura; de esta manera, se variará el valor medio del voltaje sobre el rotor y en consecuencia su velocidad, (en este proceso se mantiene constante la amplitud de los pulsos). La existencia en el mercado de transistores de rápida conmutación, ó de grupos Darlington en circuito integrado para altas potencias hacen posible su utilización para la etapa de potencia en este tipo de regulación por conmutación, con la ventaja de una menor disipación en este elemento de control.

Ya que se utilizará un sistema de lazo cerrado para el control, para muestrear la velocidad de salida se usará un tacómetro óptico-mediante células fotoeléctricas - , que disminuye la compleji -

dad en el sistema mecánico, es más confiable y su costo es reducido.

En cuanto al control propiamente dicho, la comparación, muestreo y modulación de ancho de pulsos se hacen mediante técnicas digitales, queriendo de esta manera dar una idea de las nuevas y crecientes aplicaciones que en el campo del control electrónico ofrecen los sistemas digitales.

El uso de circuitos integrados en la casi totalidad del diseño y construcción es otra finalidad de este trabajo, ya que, los integrados son usados mayormente por su gran versatilidad y bajo costo.

El modo de exposición que se llevará es el siguiente:

En el capítulo II se hará un análisis funcional de un sistema de control de la velocidad de un motor DC, pero este análisis se desarrollará poniendo énfasis en el rol que cada parte constitutiva debe desempeñar en el sistema, para justamente ilustrar la aplicación de las técnicas digitales, es un estudio funcional del sistema, mas no de la operación intrínseca de cada elemento, que mas bien es materia de otro estudio.

En el capítulo III se diseña el sistema de regulación, en base a las ideas planteadas anteriormente y haciendo uso de elementos que cumplan las funciones exigidas en el análisis. Los detalles del diseño (conexiones, etc.) se omiten, pues las hojas de datos correspondientes son suficientemente explicativas.

Además en este capítulo se incluye un análisis detallado del modulador, en base a un método alternativo de control por integración del error y su reducción a 0, este estudio se desarrolla en este capítulo para mayor claridad ya que el origen de esta discusión radica en los pro



blemas de diseño que plantea el convertidor digital-analógico.

Finalmente en el capítulo IV se presentan las características experimentales del aparato construido.

C A P I T U L O   S E G U N D O

A N A L I S I S   D E L   S I S T E M A   D I G I T A L

## 2.1 ESTUDIO GENERAL DEL SISTEMA

El control de la velocidad de un motor DC requiere, como todo sistema de control, básicamente del esquema de bloques dado por la fig. 2.1.

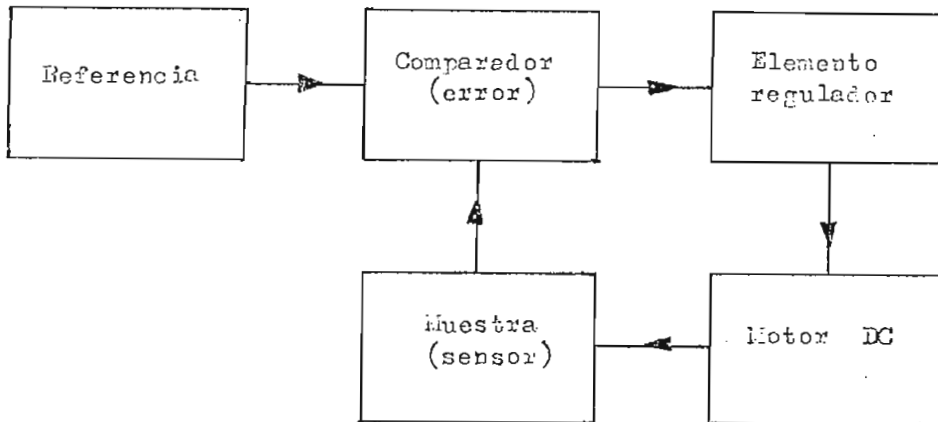


Fig. 2.1 Diagrama de bloques básico del control de velocidad.

En este trabajo, las tres etapas: muestreo, referencia y comparación serán digitales con la finalidad de obtener un control preciso con métodos relativamente sencillos que son de uso común en los sistemas digitales.

El esquema básico de bloques que enfoca todo el tratamiento del sistema de control en este trabajo está dado por la fig. 2.2. En base a este diagrama haré el análisis de cómo se llevará a cabo el control.

Este último diagrama es coherente con el de la fig. 2.1, pues el convertidor analógico-digital (formador de pulsos y contador de frecuencia) se halla identificado con la etapa de muestreo, la entrada hi

neria con la referencia, el comparador la etapa que produce una señal proporcional al error; y, el modulador el elemento de regulación.

En este capítulo haré un estudio detallado de cada bloque o etapa del diagrama de la fig. 2.2 y esto servirá de base para dos objetivos principales:

1.- Conocer satisfactoriamente cómo funciona el sistema de control propuesto; y,

2.- Realizar el cálculo y diseño del sistema de control, que será materia de análisis del capítulo III.

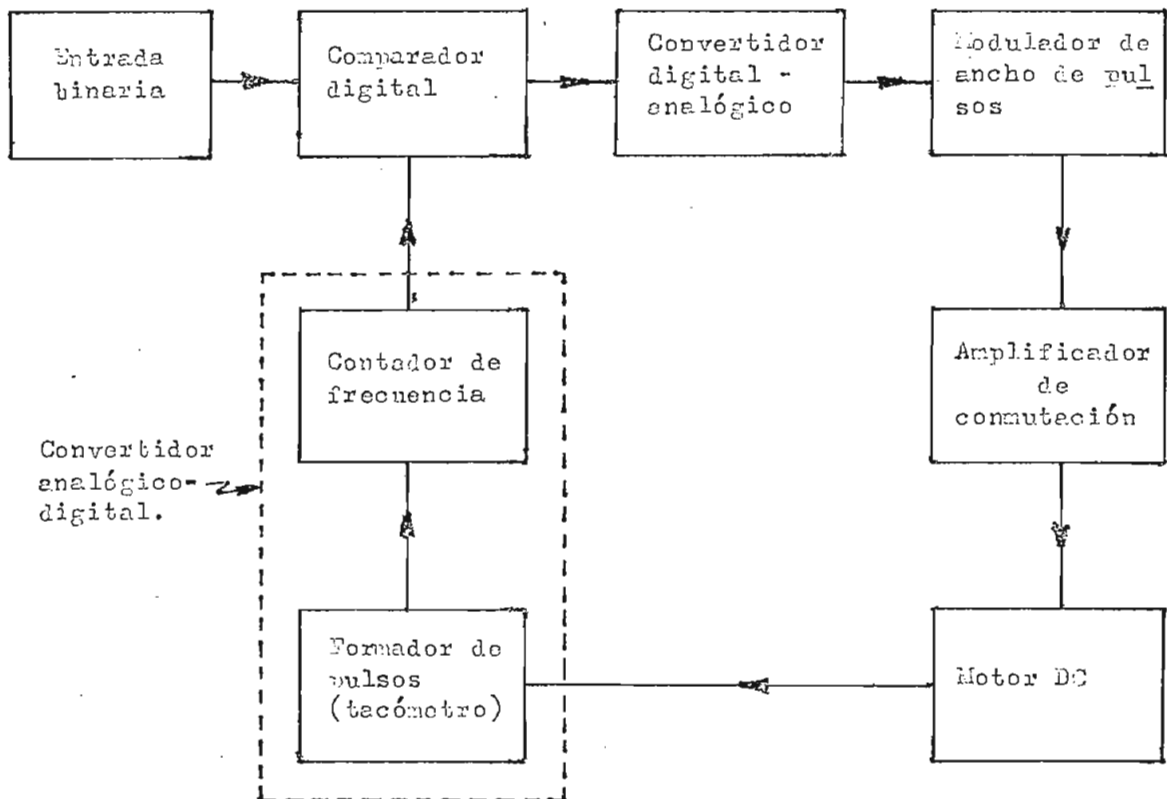


Fig. 2.2 Diagrama de bloques del control digital de la velocidad de un motor DC.

Antes de detallar cada etapa haré una descripción funcional del diagrama de bloques de la fig. 2.2, mediante un enfoque general del sistema con el fin de señalar el objetivo de cada etapa y dar una idea global del sistema de control propuesto.

Como la velocidad es una cantidad analógica, y el control se lo hará digitalmente se hace necesario convertir la velocidad a una cantidad digital; esta conversión se la efectúa de la siguiente manera: Se transforma la velocidad a frecuencia mediante un formador de pulsos que esencialmente es un tacómetro óptico. Este produce un tren de pulsos cuya frecuencia es proporcional a la velocidad del motor, consiguiéndose de esta manera muestrear la velocidad en forma de un tren de pulsos, los cuales se envían a un contador de frecuencia que convierte frecuencia a digital, esto es, transforma la frecuencia del tren de pulsos a una cantidad digital, la misma que se mandará al comparador. De esta forma se consigue una muestra de velocidad como una cantidad digital.

La entrada binaria, al igual que el contador de frecuencia, entrega un número binario al comparador, pero este represente la velocidad de referencia, o sea aquella que se desea tenga el motor, para ello se necesita de algún proceso que codifique esta cantidad de referencia, que la expresaré como un número decimal - por facilidad del comando - en un número binario y esto se realiza convirtiendo el valor decimal a su correspondiente en código BCD ( binary - coded - decimal ); como esto no es suficiente, es necesario convertir del código BCD al sistema binario sencillo ya que la comparación se llevará a cabo en binario puro.

Estamos al punto en que las señales digitales de referen -

cia y muestra llegan al comparador, éste compara estas dos señales y obtiene el error, o sea cuan diferente es la velocidad de salida con la que se ha impuesto. Esta comparación se la hace mediante un contador cargable por su simplicidad de lógica digital frente a un sumador.

El error así obtenido es en sí un número binario ó señal digital y se requiere entonces de un convertidor digital-analógico (convertidor DA) para expresar el error en forma analógica y en esta forma excitar al modulador de ancho de pulsos. Este modulador es un circuito que genera un tren de pulsos, pero con la característica de que el ancho de cada pulso depende de la entrada al modulador, esto es del error.

Se modula el ancho de los pulsos porque - como ya he indicado - este será el método de controlar la velocidad del motor.

Cabe anotar también que entre el modulador y el motor hay que intercalar una etapa de potencia de conmutación, para amplificar y aplicar a la armadura el tren de pulsos modulados.

## 2.2 FORMADOR DE PULSOS

Puesto que la velocidad es una cantidad analógica y lo que se debe mandar al comparador digital, es una cantidad digital, se requiere de algún tipo de conversión analógico-digital. Para este efecto, primero se convierte la velocidad a frecuencia mediante un formador de pulsos y luego se convierte la frecuencia a digital con un contador de frecuencia.

Para que funcione el contador de frecuencia, este requiere que a la entrada se aplique un tren de pulsos. Así pues, se necesita de un sistema formador de pulsos que aproveche el giro del rotor y genere pulsos por medio de un elemento sensor y a una frecuencia propor

cional a la velocidad. Este elemento sensor (tacómetro óptico) lo constituye un disco acoplado al eje del rotor y dividido en sectores, alternadamente en zonas transparentes y opacas. Estas zonas se encuentran distribuidas en un solo nivel para medición de velocidad como lo muestra la figura 2.3. En servomecanismos para detectar posición se usan varios niveles, y aún en medición de velocidad pueden usarse dos niveles con un defasamiento de noventa grados cuando se desea detectar el sentido de giro.

Un fototransistor es ubicado a la altura del nivel de las zonas mencionadas para que sobre este incida un haz luminoso que atraviesa las zonas transparentes.

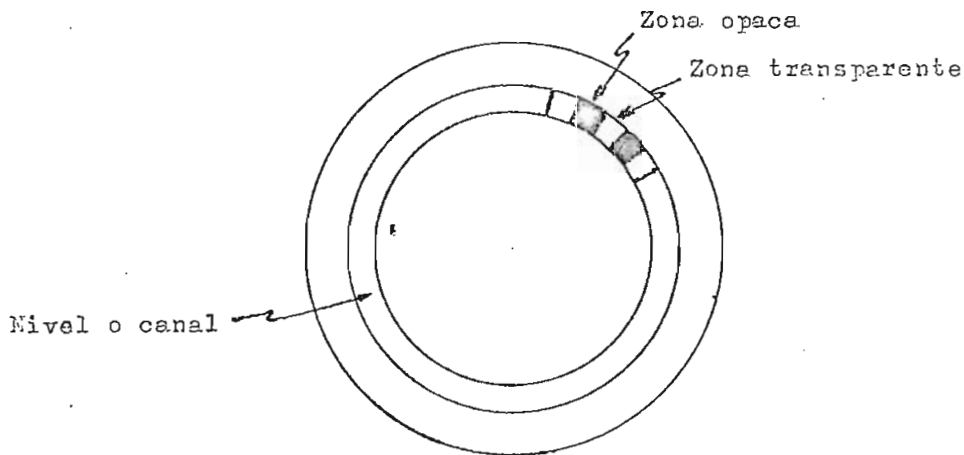


Fig. 2.3 Configuración del disco.

Puesto que el disco está acoplado al rotor del motor, al girar este, gira el disco y las zonas transparentes y opacas pasarán alternadamente frente al fototransistor. Cuando una zona transparente está frente al fototransistor permite el paso de luz que produce una se-

ñal de corriente, para el caso de la zona opaca la respuesta será nula. Así pues la respuesta del fototransistor se resume en un tren de pulsos.

A este formador de pulsos también se lo puede denominar como convertidor de velocidad a frecuencia, pues este disco codifica la muestra de velocidad del motor (señal de salida del sistema de control) en una señal discreta que es el tren de pulsos; mientras mayor sea la velocidad, mayor será el número de pulsos por segundo a la salida del fototransistor.

Aparte de la estructura del disco codificado ya analizada, se requiere de un amplificador, pues la señal de pulsos que se obtiene del fototransistor es muy débil. Además los pulsos así obtenidos son algo irregulares en su forma y no son aceptables para excitar al contador de frecuencia. Estos tienen la forma de la figura 2.4 debido a dos razones fundamentales: tiempo de conmutación del fototransistor y al desplazamiento de la zona transparente que no permite que la incidencia de luz sobre el fototransistor sea uniforme, aumenta al aparecer dicha zona y disminuye al desaparecer ésta y la señal pulsante del fototransistor sigue el mismo ritmo: aumenta al principio y disminuye al final de su duración.

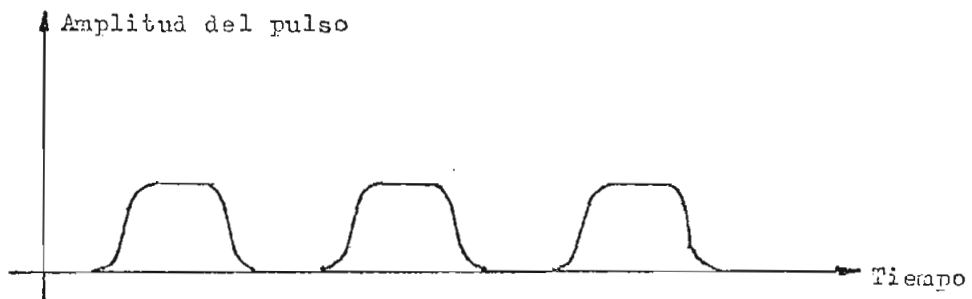


Fig. 2.4 Forma de onda a la salida del fototransistor.



Entonces, hay que acoplar entre el amplificador y la entrada al contador de frecuencia un disparador de Schmitt que desempeña el rol de cuadrar los pulsos, también puede verse que el amplificador proporciona el nivel de señal suficiente para excitar al disparador.

El formador de pulsos se compone de los elementos esquematizados en el diagrama de bloques de la fig. 2.5.

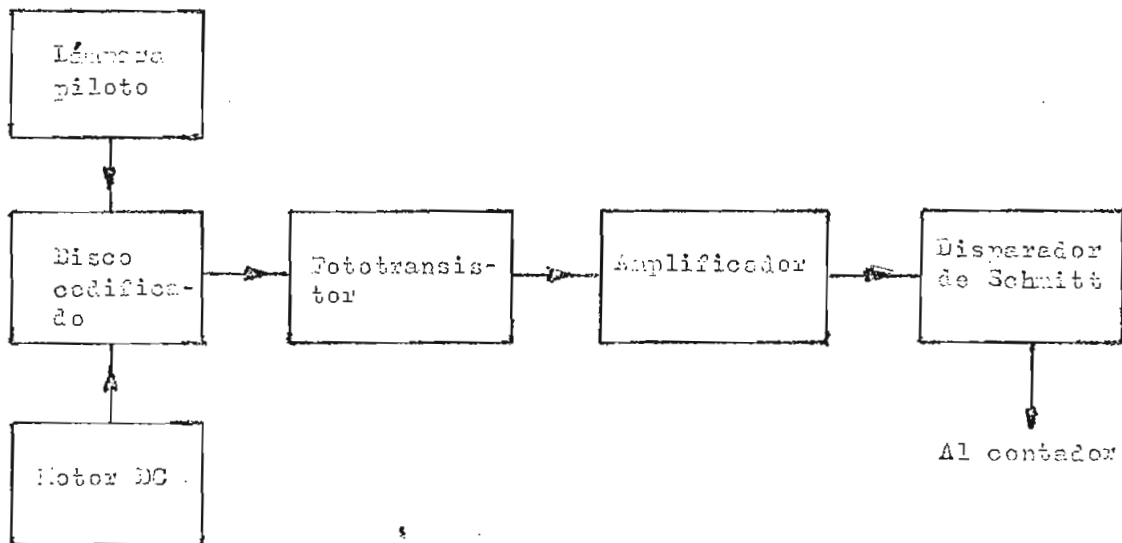


Fig. 2.5 Diagrama de bloques del formador de pulsos.

### 2.3 CONTADOR DE FRECUENCIA

Este dispositivo cuenta el número de pulsos que salen del disparador de Schmitt en un tiempo dado.

Para este objetivo se necesitan los pulsos que se quieren contar - que fueron generados por el formador de pulsos - , y una base de tiempo. Cuando comienza el intervalo de medición, se carga a un contador proporcional con el complemento del número de pulsos que corresponde a

la velocidad deseada. Al fin de cada intervalo, el contador contendrá la diferencia entre el número de pulsos contados y el número deseado, lo que implica que el contador realizó un conteo y el valor de esa cuenta constituye una señal digital que es comparada con el número deseado; así pues, se consigue de esta forma cumplir con la función del contador de frecuencia, muestrear la velocidad y convertirla en una señal digital para la comparación.

Para formar una base de tiempo apropiada puede utilizarse un oscilador que proporcione la frecuencia requerida. En este trabajo usará la frecuencia de la línea de alimentación de 60 Hz. con un divisor por diez para obtener la base de frecuencia de 6Hz.

Al conjunto constituido por el formador de pulsos y el contador de frecuencia se lo puede identificar como un convertidor de frecuencia a digital, pues mientras mayor sea la frecuencia de los pulsos mayor será el número de ellos que se cuente en un lapso determinado; esto es, la velocidad de giro del rotor (que es la que da la frecuencia de los pulsos a la salida del fototransistor) se convierte en una señal digital que es lo propuesto.

El diagrama de bloques completo del contador de frecuencia se encuentra en la figura 2.6.

#### 2.4 COMPARADOR DIGITAL

Para realizar la comparación se utiliza un contador cargable .

El contador cargable es un circuito integrado capaz de contar una cantidad de pulsos con relación a un estado inicial que se establece por medio de la entrada binaria. En efecto, se carga al con

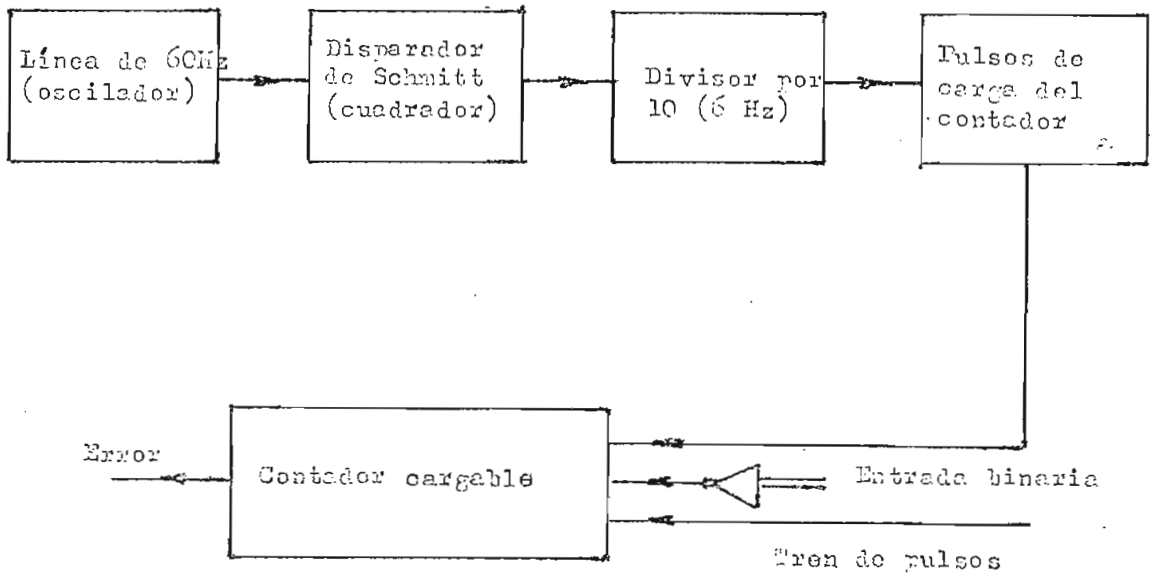


Fig. 2.6 Diagrama de bloques del contador de frecuencia.

tador con el complemento del número de pulsos descado, en representación binaria (referencia binaria). Este contador, cuenta hasta su máximo valor, regresa a cero y continúa contando; y, el valor que adquiere es la diferencia entre el estado inicial y el número de pulsos que ha contado, ó en general es el error entre la referencia binaria y la muestra. La cuenta se realiza en el lapso dado por la base de tiempo.

Un ejemplo de este comportamiento se esquematiza en la figura 2.7, haciendo uso de cuatro bits por simplicidad - aunque el principio es general. Suponiendo que el contador está cargado con el valor 1010 (-6), si la cuenta es de siete pulsos, el valor de salida será la diferencia, esto es, el binario 0001. En efecto:

$$\begin{array}{rcl}
 1010 & + & 0111 = 0001 \\
 \text{referencia} & & \text{cuenta} \quad \text{error}
 \end{array}$$

De esta manera, mediante el uso del contador cargable se pueden efectuar simultáneamente el conteo de los pulsos provenientes

del formador de pulsos, o sea realizar un muestreo de la velocidad y compararla con los datos de la entrada binaria y obtener el error en forma digital .

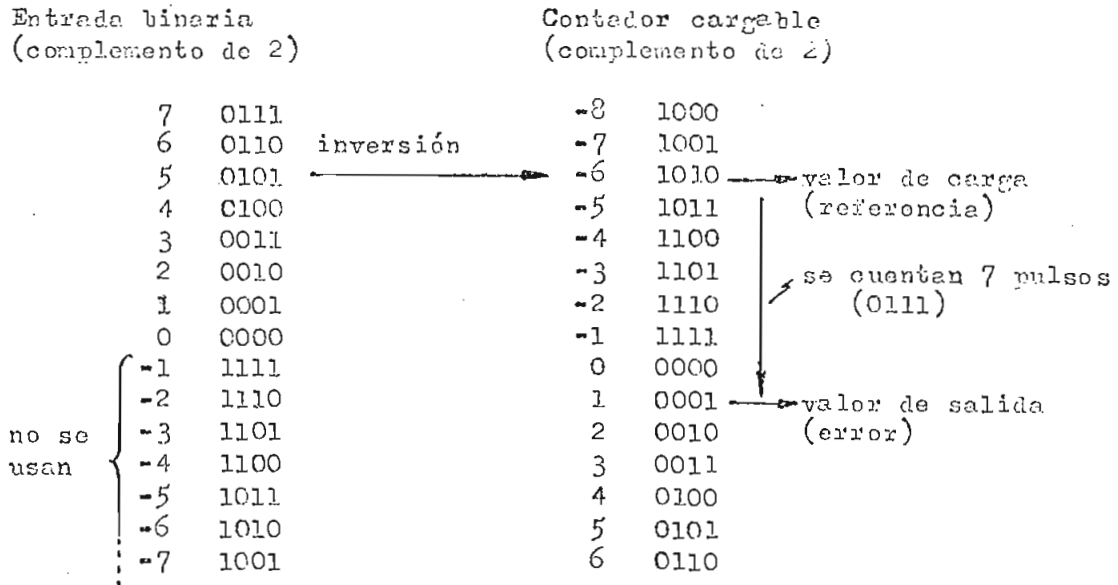


Fig. 2.7 Ejemplo de comparación en un contador cargable .

Es necesario que el error (salida del contador) sea almacenado en un registro para no perderlo mientras se repite la operación y para que este error pase al convertidor DA. Entonces debe tenerse un pulso de almacenamiento en los registros que será previo al de carga del contador. En total son necesarios dos pulsos: uno para que almacene el error y otro con una demora conveniente respecto al primero que permita que una vez almacenada la diferencia se cargue nuevamente al comparador para empezar la comparación con una nueva referencia si esta se ha cambiado ó con la misma anterior si no hubo cambio. Nótese que el proceso de conteo no es interrumpido, y en realidad según el análisis hecho no es necesaria tal interrupción. El error así almacenado excita al convertidor DA.

## 2.5 CONVERTIDOR DIGITAL ANALÓGICO (CONVERTIDOR DA)

Este dispositivo ejecuta una conversión de una señal digital a una analógica, y, puesto que la etapa final de este trabajo es analógica usará un convertidor DA para transformar el error expresado digitalmente a una señal de corriente analógica.

Este elemento puede hacer la conversión de la señal encodificada en diferentes maneras, tales como, BCD, binario directo (Straight binary) , en complemento de dos, a otra señal de corriente o voltaje analógico..

La estructura básica de estos dispositivos está dada por la fig. 2.8.

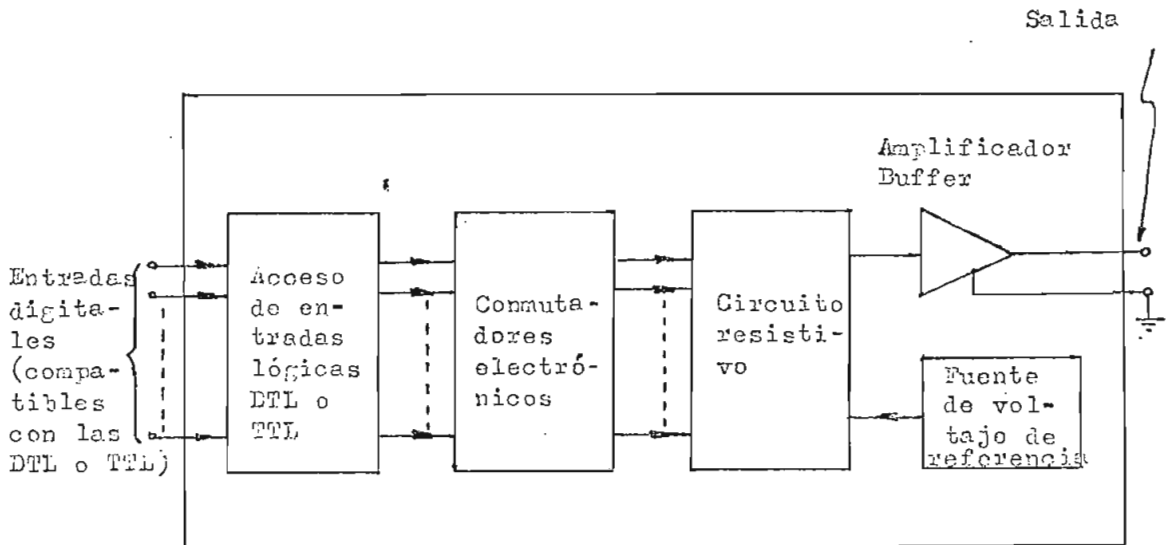


Fig. 2.8 Circuito básico de un convertidor DA.

Se usará para esta etapa un convertidor de ocho bits a corriente, esto es, capaz de convertir una palabra digital de ocho bits a una corriente analógica con la cual se excitará al modulador de an-

cho de pulsos.

## 2.6 MODULADOR DE ANCHO DE PULSOS

El modulador de ancho de pulsos en este trabajo será un modulador de Schmitt. Este opera en base a un disparador de Schmitt, el cual se le aplica una recalentación exterior mediante una resistencia y se conecta un capacitor de oscilación a la entrada. De esta manera se consigue formar un multivibrador a estable. Para obtener modulación del ancho de los pulsos es necesario inyectar una corriente a la entrada para que se posibilite variar la velocidad de carga ( ó descarga ) del condensador de oscilación. En efecto mediante esta corriente puede tenerse una carga rápida del condensador, lo que se traduce en una corta duración del pulso, ó también puede tenerse una carga lenta, lo que implica una mayor duración del pulso. A la salida se tendrá siempre onda cuadrada, ó sea un tren de pulsos cuya amplitud es independiente de la entrada. Así pues por variación de una corriente que se inyecte a la entrada del disparador operando como multivibrador a estable se consigue modular el ancho de pulsos con una amplitud constante.

Los detalles de la conformación del modulador de Schmitt se analizan en el diseño para darle mayor claridad a la explicación de su funcionamiento.

## 2.7 EXCITADOR Y AMPLIFICADOR DE POTENCIA

La salida del modulador es de pequeña amplitud y se utilizan 3 etapas de amplificación para aumentar el voltaje y la corriente a los niveles necesarios que requiere el rotor. Se hace necesaria la presencia de un transistor de conmutación, que sea de potencia, que sirva para amplificar la corriente y sea el elemento sobre el cual se aplique

al rotor el voltaje pulsante.

Así pues la última etapa del control es de configuración Seudo-Darlington, y que se halla esquematizada en la figura 2.9.

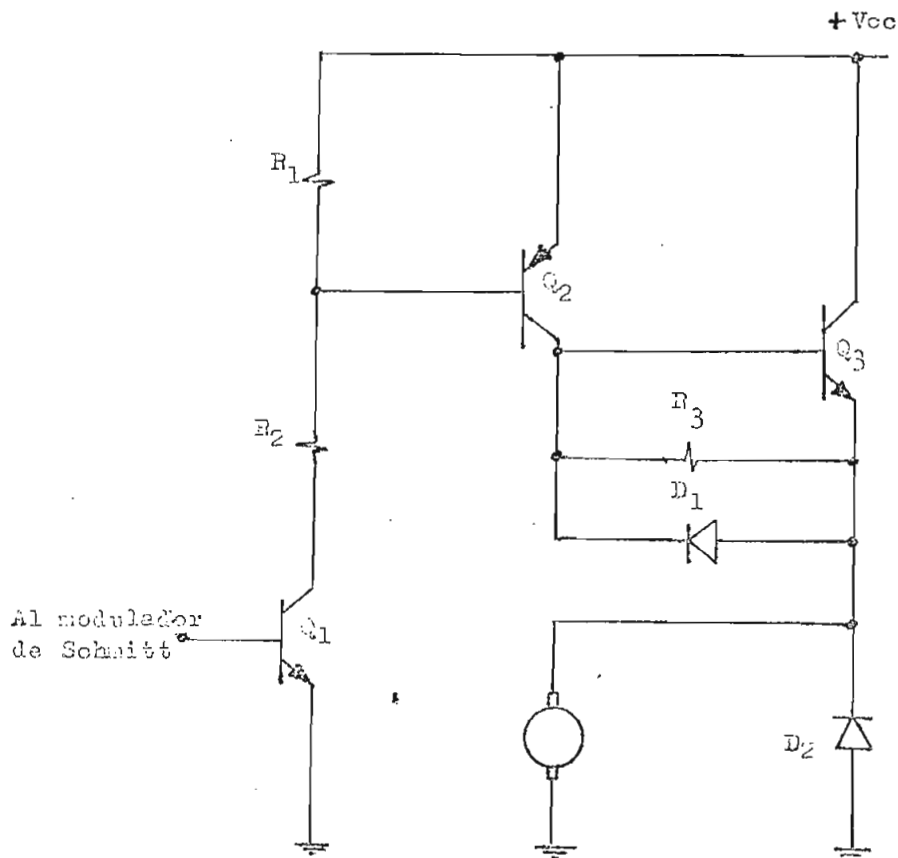


Fig. 2.9 Configuración Seudo-Darlington, excitador y salida.

El transistor  $Q_3$ , de potencia, debe satisfacer las características de una rápida conmutación, pues la frecuencia de conmutación será del orden de 10 KHz. , al mismo tiempo deberá ser seleccionado en base de la disipación de potencia requerida y al efecto de segunda ruptura (second break-down).

El circuito se complementa con la conexión de dos diodos polarizados inversamente. Al ser un voltaje pulsante el que se aplicará

a la armadura se requiere del diodo  $D_1$  para proteger la juntura base e misor de  $Q_3$  contra voltajes inversos transitorios generados en la armadura.

El diodo  $D_2$  de capacidad de corriente comparable al que circula en la armadura deberá conectarse inversamente en los terminales de la armadura. Este diodo permite mantener la corriente a través de la armadura durante el ciclo en el cual el transistor  $Q_3$  está en corte, y gracias al almacenamiento de energía que existe en las bobinas del rotor cuando  $Q_3$  está en saturación. Con esto se consigue que la forma de onda de la corriente en la armadura sea triangular con una pequeña pendiente y se asemeje mucho a un valor continuo, según se muestra en la figura 2.10.

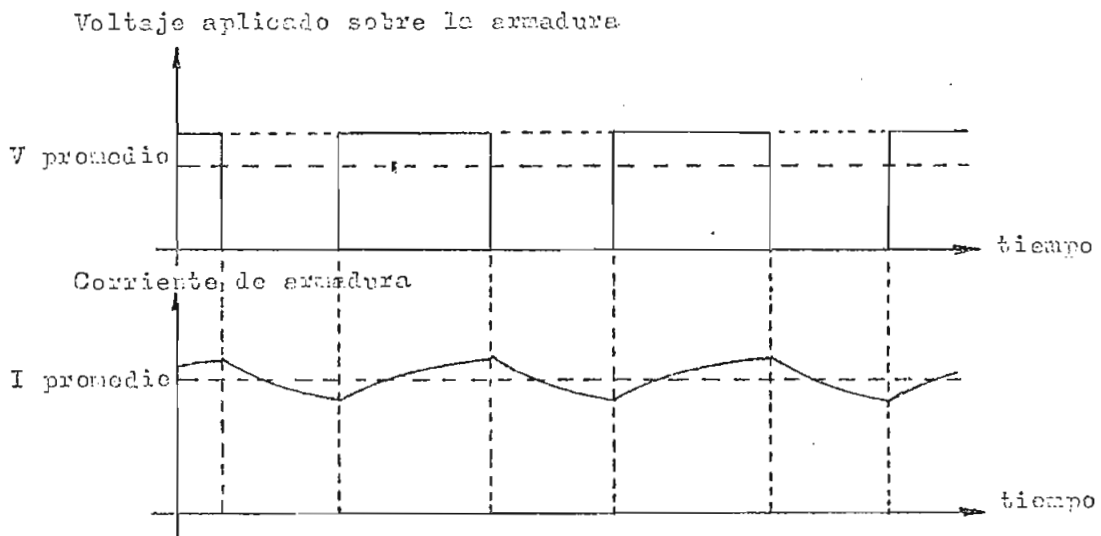


Fig. 2.10 Formas de onda en la armadura.

Esta forma de onda de corriente es manifiesta porque la armadura es poco inductivamente inductiva, con pequeña resistencia óhmica, y al aplicar un pulso a un circuito RL en serie se produce como respu-



ta una corriente que tiende a ser una rampa (en realidad es una exponencial con una constante de tiempo muy grande). La corriente no llega a cero pues la frecuencia de los pulsos es alta y no deja que la mencionada corriente decaiga mucho cuando circula a través del diodo y Q<sub>3</sub> está en corte.

### 3.1 ENTRADA BINARIA

Como ya se ha expresado, esta etapa constituye la referencia del sistema, esto es, indica la velocidad a la cual debe girar el rotor. Su finalidad es entregar una señal digital a la entrada del comparador, esta señal será un número binario. Este compromiso se lo puede satisfacer de acuerdo con el esquema de la figura 3.1.

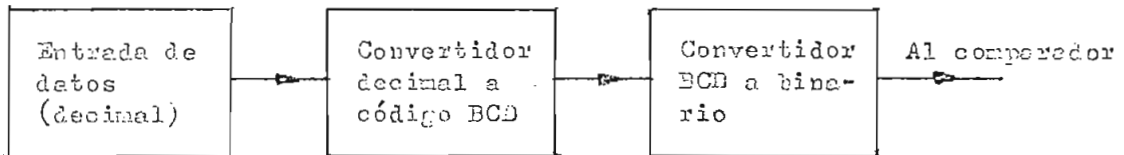


Fig. 3.1 Diagrama de bloques de la entrada binaria.

#### Convertidor decimal a código BCD

Los datos de entrada serán expresados en forma de números decimales que indican la velocidad deseada. Como la comparación se hará en el sistema binario será necesario transformar el valor decimal a uno correspondiente en binario. Para este efecto primero se convertirá a código BCD y de allí a binario.

El convertidor decimal a BCD debe satisfacer la tabla 3.1, que es una tabla de conversión de diez líneas a código BCD.

Las ecuaciones lógicas que corresponden a esta tabla son:

$$b_0 = 1 + 3 + 5 + 7 + 9$$

$$b_1 = 2 + 3 + 6 + 7$$

$$b_2 = 4 + 5 + 6 + 7$$

$$b_3 = 8 + 9$$

Para la conversión a BCD se usan conmutadores BCD, los cuales tienen la característica de que al accionarlos convierten directamente el valor decimal a su correspondiente en binario codificado BCD. Esquemáticamente un conmutador BCD se muestra en la figura 3.2.

Número decimal	Código BCD			
	$b_3$	$b_2$	$b_1$	$b_0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Tabla 3.1 Conversión de diez líneas a BCD.

Cada vez que se acciona el interruptor con el valor de un dígito decimal se accionan simultáneamente los tres terminales en la columna que corresponde a ese dígito decimal y se operan las conexiones esquematizadas en la fig. 3.2 y que dan lugar a los niveles binarios 3, 4, 2, 1, que definen el código BCD de acuerdo con la tabla 3.1.

La entrada de datos será de capacidad de 0 a 9.990 r.p.m., que constituye un rango suficientemente grande. En esta forma el comando se ejecutará mediante un selector de velocidad que se comandará de conmutadores BCD para elegir la velocidad deseada con incrementos de

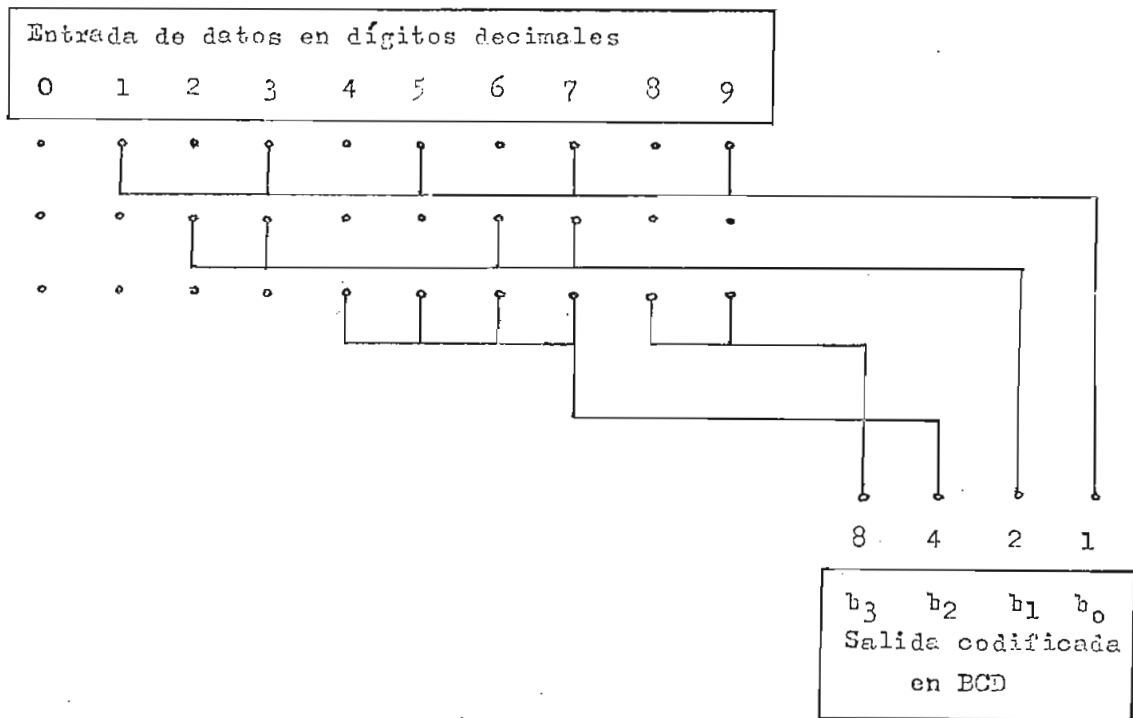


Fig. 3.2 Esquema de un conmutador BCD.

decenas de rpm, esto implica que la cifra decimal de las unidades no interesa; por ello, solo se variarán las tres primeras cifras más significantes y la menos significativa permanecerá en cero. Esto permite escoger la entrada de datos desde 0 a 999, y usar solamente tres conmutadores BCD para el selector de velocidad, entendiéndose que si la entrada de datos, ó la indicación del selector es de por ejemplo 540 significa 5.400 rpm. Este hecho permite una simplificación en el proceso de muestreo y comparación pues se trabaja con cantidades más pequeñas, así pues la referencia será de un valor igual a la velocidad deseada dividida por 10.

El uso de tres conmutadores implica tres décadas BCD, cada una de cuatro bits, en total se trabajará con 12 bits en el proceso de

comparación.

Las conexiones del dispositivo físico del conmutador usado se muestran en la figura 3.3.

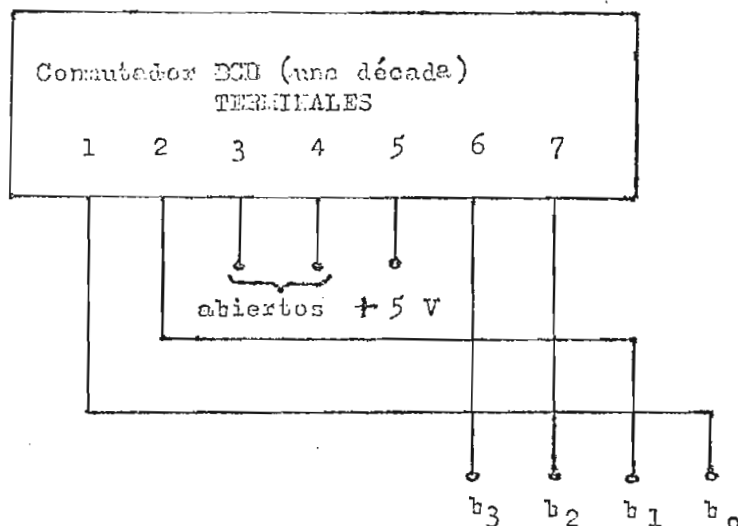


Fig. 3.3. Conexiones para un conmutador BCD (una década).

Así pues, con la estructura analizada, cualquier valor de referencia decimal se codificará en BCD haciendo uso de tres décadas, y ese valor en BCD se mandará a la entrada del convertidor BCD a binario, por ejemplo:

$$431_{(10)} = \underbrace{01000}_{4} \underbrace{011000}_{3} \underbrace{10001}_{1} \text{ (BCD)}$$

#### Convertidor BCD a binario

Completando lo discutido anteriormente, se puede expresar de una manera general la posición que adoptan los valores del código BCD en un registro (fig. 3.4). En cada celda del registro se pueden almacenar los valores 1 ó 0.

El proceso que se encara ahora es codificar un número codifi



Se presenta una dificultad cuando se desplaza un bit de una década a otra pues según la fig. 3.4 y tomando como ejemplo para el análisis el pasar de la década 1 a la 0, en vez de tener que  $10/2$  (un desplazamiento) tome el valor 5 que le corresponde, adquiere el valor 0, esto quiere decir que hay que restar una vez efectuado el desplazamiento para seguir el proceso correcto. Con este método el código BCD se lo transforma a binario, ya que en el sistema binario se cumple que un desplazamiento consecutivo a la derecha significa una división por 2.

La aplicación de este método se ilustra en el gráfico 3.6.

$$\begin{array}{l} \text{Número en BCD} = \frac{1001}{9} \quad \frac{1001}{9} = \text{número decimal} \\ \text{Década 1} \quad \text{Década 0} \end{array}$$

1001	1001	
0100	1100	1
	11	(menos 3)
0100	1001	1
0010	0100	11
0001	0010	011
0000	1001	0011
	11	(menos 3)
0000	0110	0011

001603

$\underbrace{110 \quad 0011}_{\text{número binario}}$

Fig. 3.6 Ejemplo de conversión de BCD a binario.

Esta transformación de una manera asincrónica queda esquematizada por la tabla de verdad 3.2 que corresponde al elemento básico de convertidores asincrónicos BCD a binario (fig. 3.7).

De la tabla 3.2 y de la fig. 3.7 puede apreciarse que los desplazamientos hacia los estados 4, 2 y 1 no presentan incompatibilidad, pero cuando hay desplazamiento hacia el estado 3, hay que restar 3, como ya se explicó, es por esto que no se usan los estados 5, 6 y 7 en la tabla y hay que saltar el estado 3 de la misma tabla para que el estado 3 nos dé el valor del estado 5 y se continúe el proceso hasta que en la región decena de la tabla habrán 9 filas que corresponden a la representación binaria de los 9 dígitos que se quería transformar de BCD a binario, tomando en cuenta desde luego una sola década, y el bit menos significativa de la década inmediata superior. Los estados 13, 14, 15 sobran y no se los usan.

	Entrada	Salida
	SRQP	WVUL
	Década BCD	Binario
0	0000	0000
1	0001	0001
2	0010	0010
3	0011	0011
4	0100	0100
5	0101	} estados que no se usan
6	0110	
7	0111	
8	1000	0101
9	1001	0110
10	1010	0111
11	1011	1000
12	1100	1001
13	1101	} estados que no se usan
14	1110	
15	1111	

} Se resta 3  
 $3 - 3 = 1000 - 0011 = 0101 = 5$   
 etc.

Tabla 3.2 Tabla de verdad para una célula básica de conversión asíncrona BCD a binario.

Con esta tabla y con la simplificación mediante los mapas de



SR \ QP	00	01	11	10
00	0	1	1	0
01	0	X	X	X
11	1	X	X	X
10	1	0	0	1

Mapa para T

SR \ QP	00	01	11	10
00	0	0	0	0
01	1	X	X	X
11	0	X	X	X
10	1	1	0	1

Mapa para V

SR \ QP	00	01	11	10
00	0	0	1	1
01	0	X	X	X
11	0	X	X	X
10	0	1	0	1

Mapa para U

SR \ QP	00	01	11	10
00	0	0	0	0
01	0	X	X	X
11	1	X	X	X
10	0	0	1	0

Mapa para W

X no importa el estado

Ecuaciones:

$$\begin{aligned}
 T &= \overline{P}S + \overline{P}S = P \oplus S = [\overline{P}S \cdot \overline{P}S] \\
 V &= \overline{R}S + P\overline{Q}S + \overline{P}RS = [\overline{R}S \cdot \overline{P}RS \cdot \overline{P}RS] \\
 U &= \overline{P}Q + Q\overline{S} + P\overline{Q}S = [\overline{P}Q \cdot Q\overline{S} \cdot \overline{P}RS] \\
 W &= RS + P\overline{Q}S = [\overline{R}S \cdot \overline{P}RS]
 \end{aligned}$$

Mapas de Karnaugh

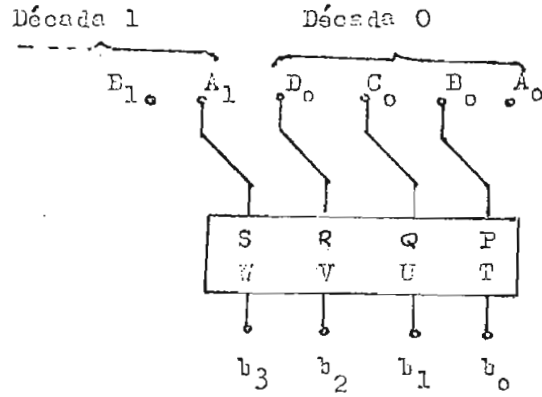


Fig. 3.7 Célula básica de conversión BCD a binario.

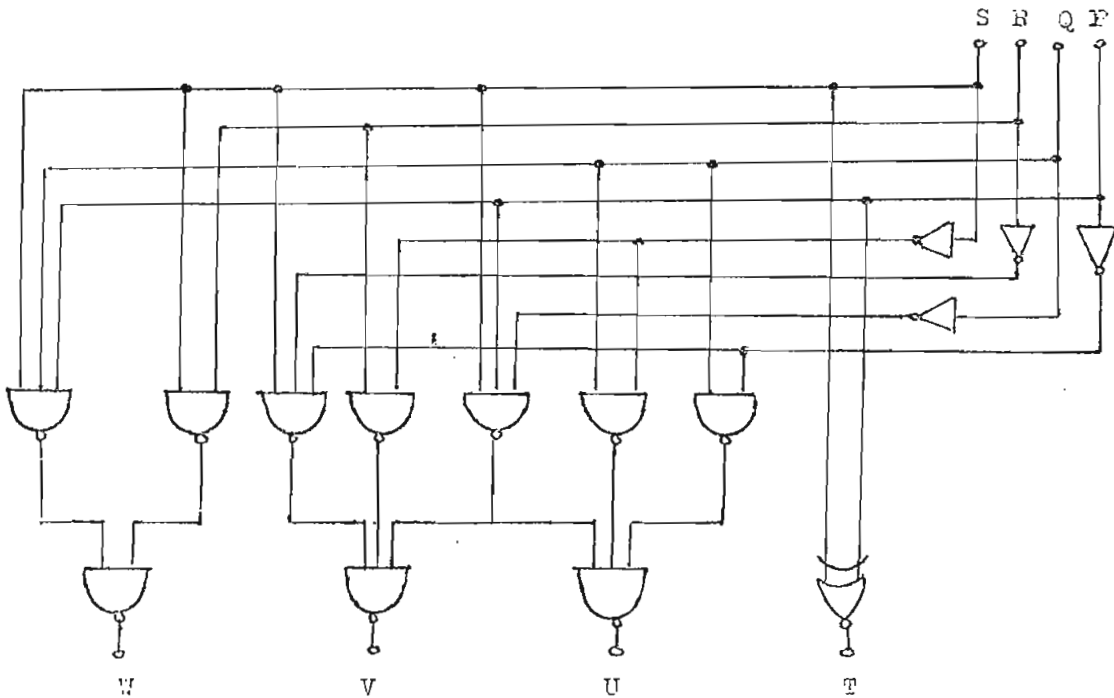


Fig. 3.8 Circuito lógico de la célula básica de conversión BCD a binario.

Karnough se obtienen las ecuaciones lógicas que relacionan las entradas con las salidas de la célula básica de conversión, y de estas se deduce su diagrama lógico ( figura 3.8 ).

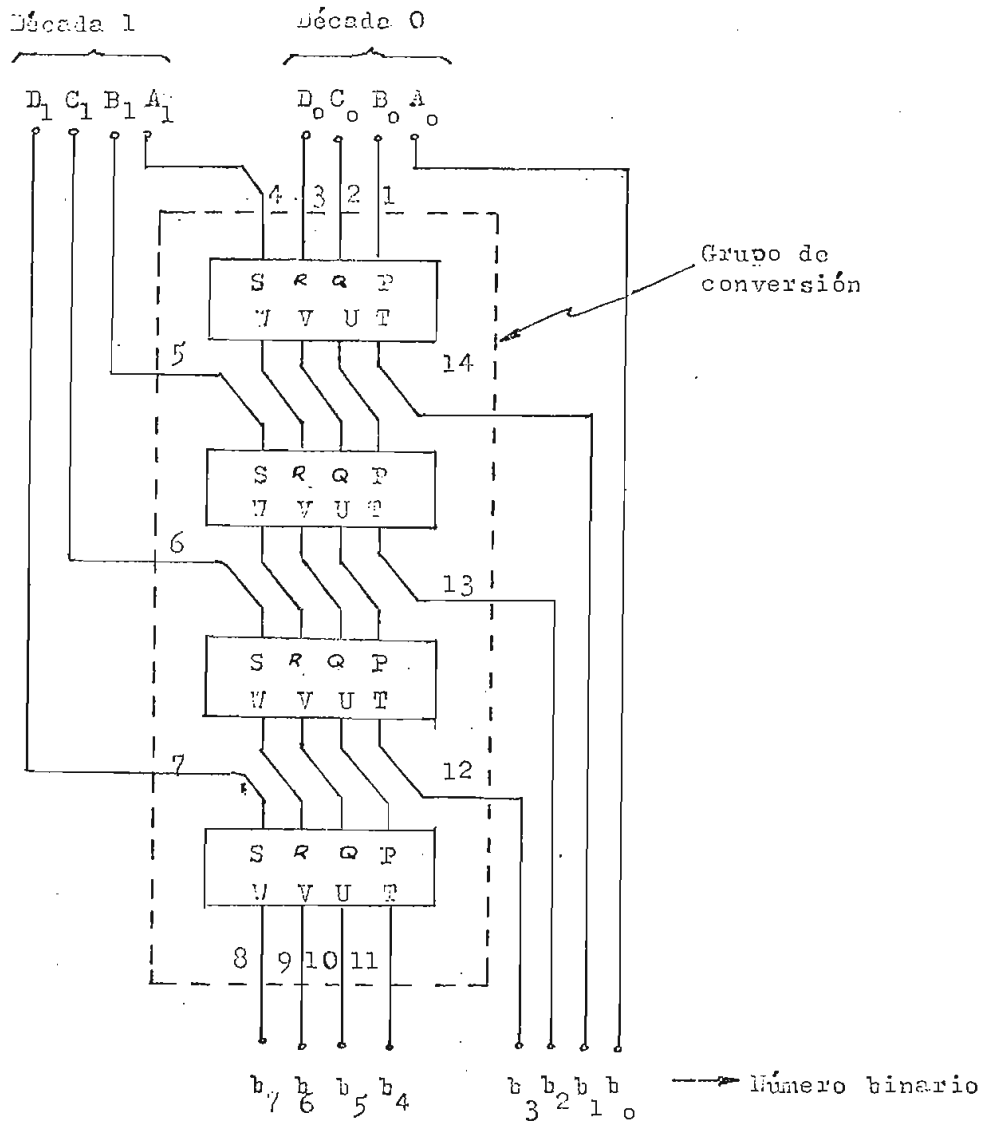


Fig. 3.9 Células básicas en cascada para convertir 2 décadas BCD a binario.

Para conversión de dos décadas completas se usa el esquema de la figura 3.9 que es un bloque o grupo extendido para conversión BCD a binario, haciendo uso de este bloque se puede expresar simbólicamente:

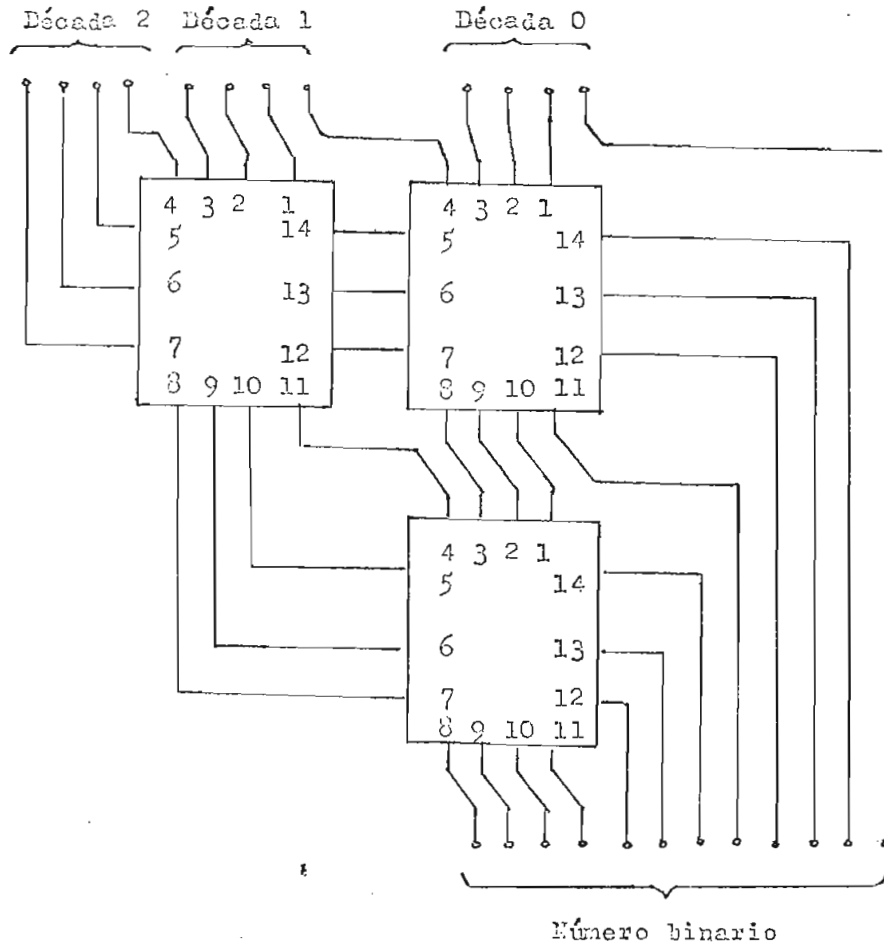


Fig. 3.10 Conversión de tres décadas BCD a binario.

amente y de una manera más fácil la conversión de tres décadas que se tiene a la salida de los conmutadores BCD.

Para la conversión de BCD a binario utilizaré los circuitos integrados SN 74134, capaces de convertir a 6 bits en binario, según puede apreciarse de las hojas de datos de la Texas Instruments. Estos integrados cumplen la función de dos células básicas de conversión, como lo muestra la fig. 3.11, por tanto se usarán 6 SN 74134 para la con

versión de las tres décadas BCD y cuyas conexiones circuitales también constan en las hojas de datos mencionadas.

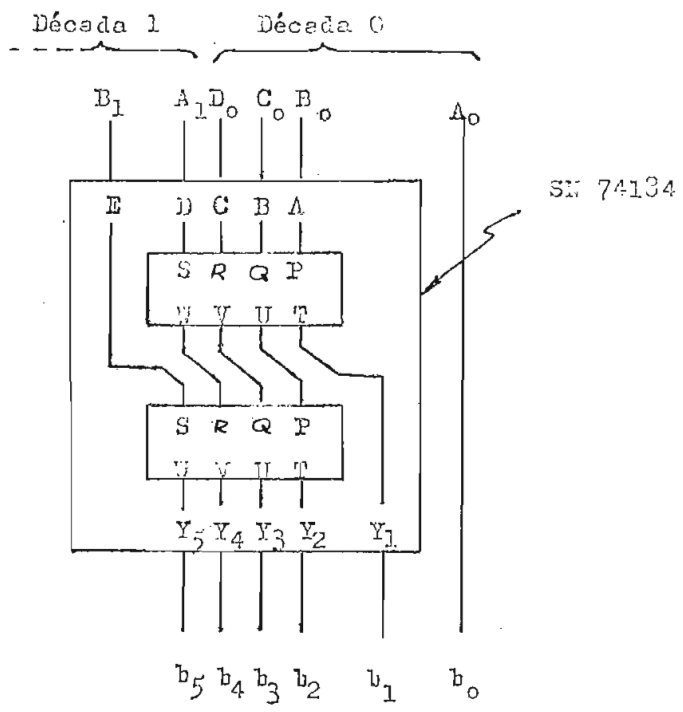


Fig. 3.11 Equivalencia entre un SN 74134 y dos células básicas de conversión BCD a binario.

El diseño de la etapa de conversión BCD a binario lo muestra la figura 3.12.

Para introducir un dato de uno lógico a las entradas de los SN 74134 se ha usado un juego de resistencias de 600 ohmios para cada bit precedente de la salida de los conmutadores BCD. Además entre 5 V y tierra se ha conectado un condensador de 0,01  $\mu$ F. para esta etapa con el fin de tener una buena señal de la fuente.

Selector de velocidad  
(Conmutadores HCD)

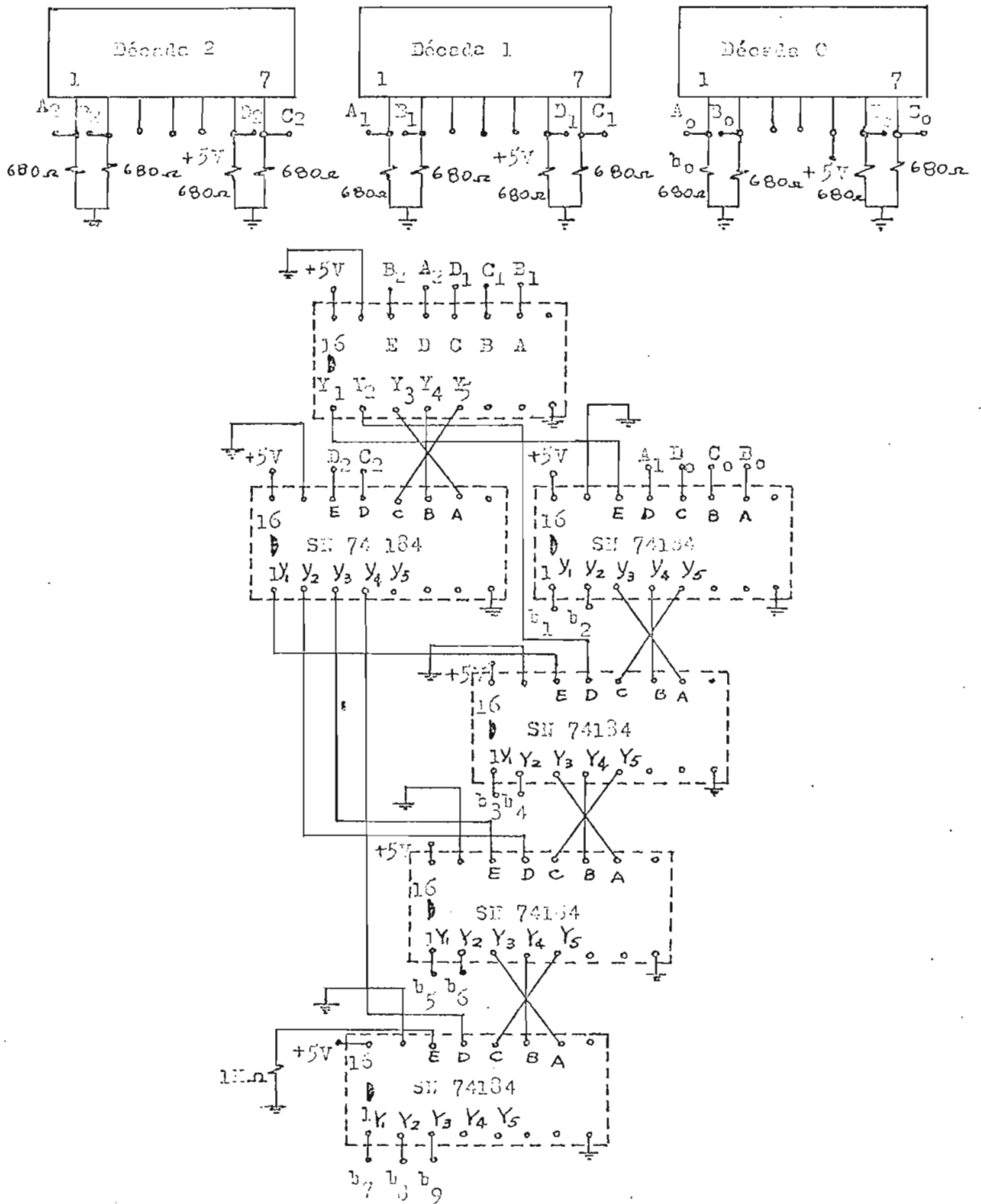


Fig. 3.12 Diseño de la entrada binaria.

### 3.2. FORMACIÓN DE PULSOS

Con el análisis desarrollado en el Capítulo II, aquí se detalla el diseño de cada parte constitutiva del formador de pulsos.

#### Disco codificado

La configuración que tendrá el disco se muestra en la figura

3.13.

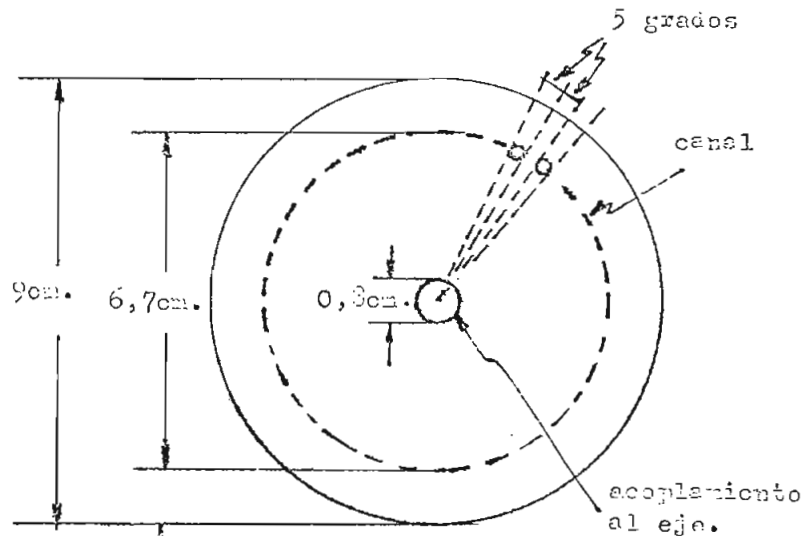


Fig. 3.13 Estructura del disco usado.

Se utiliza un disco de aluminio, en el cual las zonas transparentes se han diseñado en la forma de agujeros por su fácil construcción. Por motivos que se explicarán en el diseño del contador de frecuencia se han tomado 72 zonas, 36 transparentes y 36 opacas, con lo cual cada zona representa un desplazamiento angular de 5 grados.

Este disco se lo ha acoplado al eje de un motor shunt de 12V 1,4 A y 5.500 rpm nominal y en el cual se ha conectado la armadura con excitación independiente. Sobre este motor se efectuará el con -

trol de velocidad.

Con esta estructura el tacómetro óptico entregará 35 pulsos por cada revolución.

Fototransistor y amplificador

El esquema circuitual que relaciona a estos dos elementos: el fototransistor y amplificador es el dado por la figura 3.14, donde  $Q_1$  es el fototransistor y  $Q_2$  es un transistor que actúa como amplificador de conmutación.

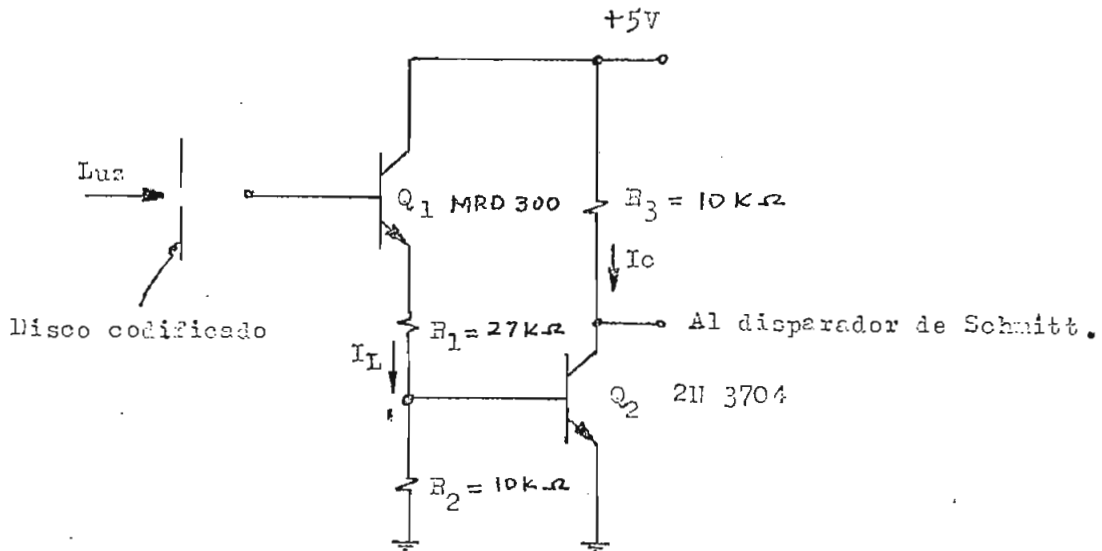


Fig. 3.14 Circuito del fototransistor.

El fototransistor y el transistor son polarizados con los 5 voltios que alimenta a los integrados.

Se usó un fototransistor de la Motorola, el MRD 300 por sus características de velocidad de conmutación, ángulo de enfoque y sensibilidad, según se desprende de su respectiva hoja de datos. Esto se halla en corte en ausencia de luz. La polarización se realiza median-



to dos resistencias en serie  $R_1$  y  $R_2$  de  $27\text{ K}\Omega$  y  $10\text{ K}\Omega$  respectivamente para asegurar que la corriente que circula por el elemento no sobrepase los límites de máxima disipación de potencia ( en caso de una fuerte iluminación ) y teniendo presente que la corriente será pequeña debido a la poca iluminación de un foco piloto.

Sobre  $R_2$  hay una caída de tensión suficiente para excitar al transistor  $Q_2$ . En efecto, despreciando la corriente de base de  $Q_2$  :

$$I_L \approx \frac{5V}{37K\Omega} = 135\mu A \quad (\text{en conducción})$$

$$V_{R_2} \approx 136\mu A \times R_2 = 1,35\text{ V}$$

El valor medido de  $V_{R_2}$  es  $0,65\text{ V}$ , valor que hace entrar a  $Q_2$  en saturación escogiendo para  $R_3$  el valor de  $10\text{ K}\Omega$ . Así pues:

$$I_C \approx \frac{5V}{10K\Omega} = 500\mu A \quad (\text{en saturación})$$

El circuito de la figura 3.14 es conectado en circuito impreso y ubicado convenientemente frente al disco. Se usa un foco piloto de  $6,3\text{ V}$ , alimentado con  $5V$  para la emisión de luz.

El disco, el circuito del fototransistor y el foco piloto constituyen un dispositivo periférico que deberá ser acoplado al motor para muestrear su velocidad. El resto de componentes del sistema de control se encuentran en otro dispositivo, con el cual se realiza el comando. La información del dispositivo periférico se envía al comando mediante transmisión por conductores.

En el aparato de comando hay que cuadrar los pulsos enviados por el tacómetro óptico, y se lo efectúa mediante un disparador de Schmitt de circuito integrado, el **SN 7413** de la Texas Instruments. Las conexiones del disparador se muestran en la figura 3.15. La resis

tencia de  $1K\Omega$  sirve para la conexión a  $5V$  de las entradas que no se usan. Su salida  $V_{out}$  se lo envía al contador de frecuencia.

Cabe señalar algo más sobre el sistema óptico: la máxima frecuencia de conmutación a la que deberá responder el fototransistor es:  $f = 5.600 \times 36/60 = 3,36$  KHz ; luego,  $T \approx 300 \mu s$ . El fototransistor tiene tiempos de subida y bajada del orden de  $T/100 \mu s$ , lo que asegura que es suficientemente rápido para este caso.

### 3.3 CONTADOR DE FRECUENCIA

Para escoger el lapso de conteo se procede de la siguiente forma:

Si la velocidad del motor es  $V$  [rpm], y si el tacómetro óptico es capaz de entregar 36 pulsos por cada revolución, el número de pulsos a contarse en el intervalo de tiempo  $T$  [seg.] será:  $\frac{V}{60} \times T \times 36$ .

Un valor de  $T = \frac{1}{6}$  seg. permite conseguir un valor entero del número de pulsos a contarse, y a la vez este valor será de  $\frac{V}{10}$  y que constituye la muestra de velocidad que se mandará al comparador. De esta manera se hace factible la comparación pues tanto la entrada binaria como la muestra que proporciona el contador de frecuencia tendrán el valor binario correspondiente a  $V/10$ .

El intervalo de tiempo de  $T = 1/6$  seg. se escoge por la facilidad de tener este valor dividiendo la frecuencia de la línea de alimentación por 10. Entonces el número de zonas transparentes ( y opacas) del disco deberá ser de 36 para que el número de pulsos que se cuente sea igual a  $V/10$ .

La base de tiempo requerida se obtiene del circuito de la figura 3.15. Se aplica la señal sinusoidal de 17 V RMS de la salida del

secundario del transformador de la fuente de alimentación por intermedio de un divisor de tensión a la otra mitad del doble disparador de Schmitt SN 7413. El divisor de tensión formado por  $R_1$  y  $R_2$  disminuye

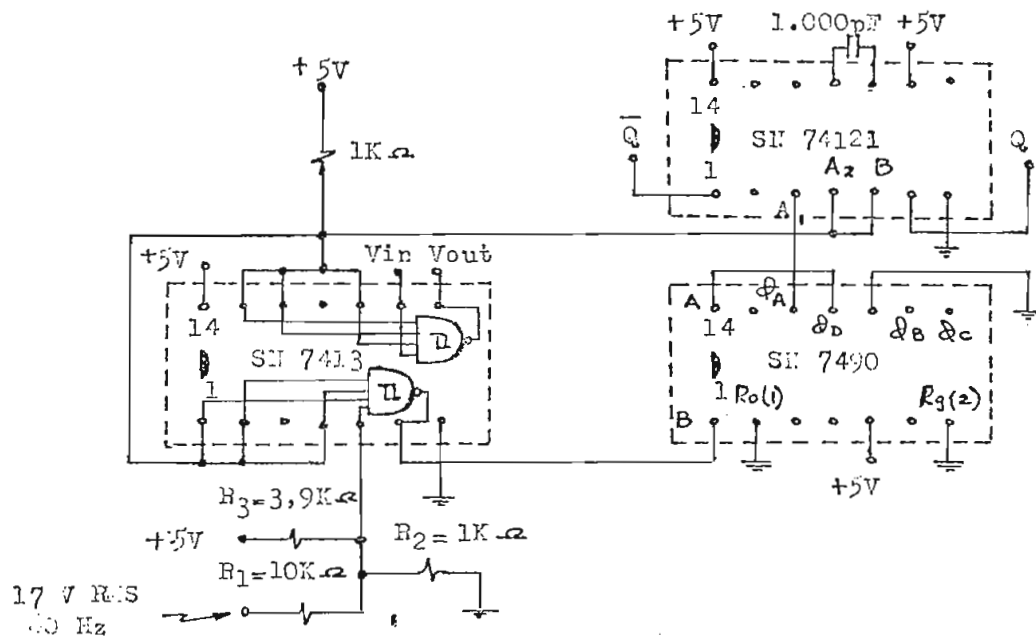


Fig. 3.15 Cuadrador de Pulsos y base de frecuencia.

la entrada al disparador al valor  $17/11 = 1,54$  V RMS ó 2,18 V pico. Este valor alterno en su ciclo positivo es aceptado por el integrado, pero no así en su valor negativo, pues el valor máximo de voltaje inverso aplicable al SN 7413 es de -1,5V, de allí que se añada una componente continua para disminuir el nivel negativo. Para este fin se usan  $R_3$  y  $R_2$ , además hay que tomar en cuenta que entre la entrada usada y +5V existe una resistencia de 4KΩ nominal ( de la hoja de datos) con lo que se tiene el circuito equivalente de la fig. 3.16.

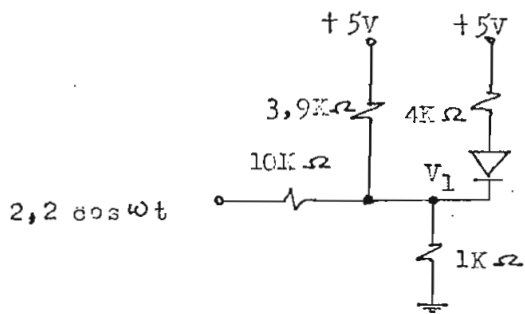


Fig. 3.16 Equivalente a la entrada del cuadrador.

Entonces el voltaje continuo que se añade es  $V_1(DC) \approx 5/3 = 1,7V$ . En el ciclo positivo,  $\approx 2V$  el diodo se abrirá (debido al comportamiento del disparador) teniendo únicamente la contribución de voltaje continuo dado por el divisor de tensión cuyo valor es  $5/4,9 \approx 1V$ . y no se superará los 5V. Además como el ciclo de histéresis fluctúa entre 0,8 y 1,6V la señal de entrada asegurará su oscilación como lo muestra la fig. 3.17.

Entonces el voltaje continuo que se añade es  $V_1(DC) \approx 5/3 = 1,7V$ . En el ciclo positivo,  $\approx 2V$  el diodo se abrirá (debido al comportamiento del disparador) teniendo únicamente la contribución de voltaje continuo dado por el divisor de tensión cuyo valor es  $5/4,9 \approx 1V$ . y no se superará los 5V. Además como el ciclo de histéresis fluctúa entre 0,8 y 1,6V la señal de entrada asegurará su oscilación como lo muestra la fig. 3.17.

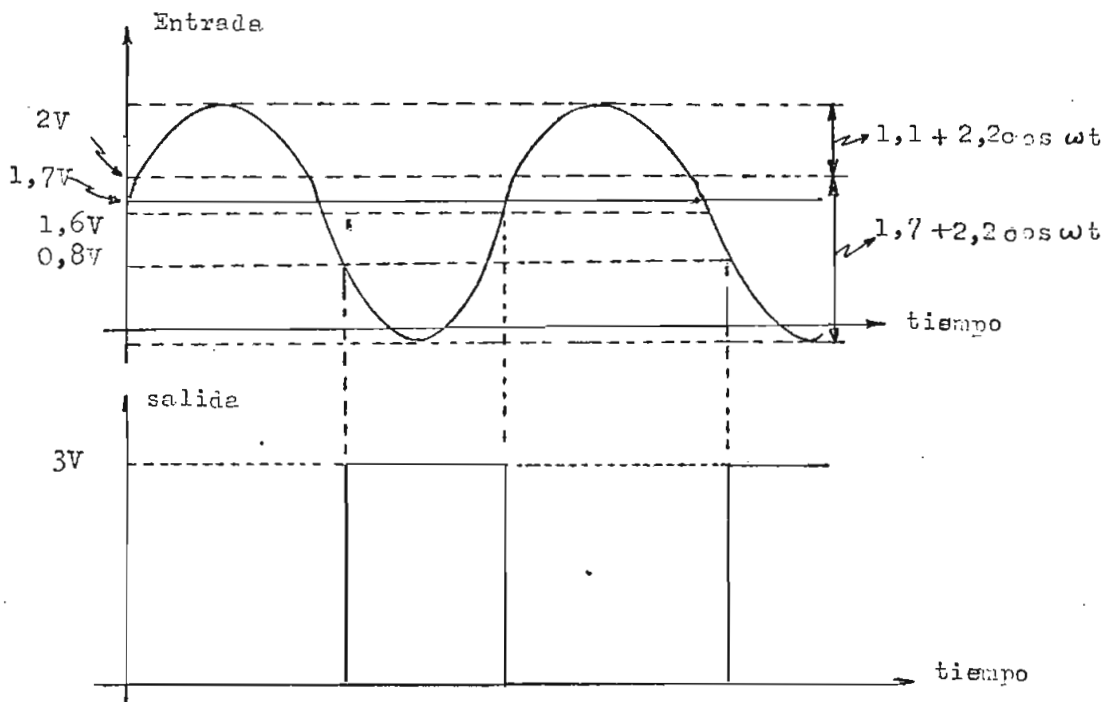


Fig. 3.17 Entrada y salida del SN 7413 funcionando como cuadrador de onda sinusoidal.

La salida del disparador de Schmitt (terminal 6) se lleva a la entrada del integrado SN 7490 (terminal 1) que opera como divisor por 10, según las conexiones efectuadas. Su salida es una onda cuadrada de  $f = 6\text{Hz}$  ( terminal 12 ).

Como se necesitan dos pulsos, uno para cargar los registros, y otro para cargar al contador, y como estos deben tener el período de  $1/6$  de seg. se usa un multivibrador monoestable de circuito integrado, el SN 74121. Este tiene dos salidas: Q y  $\bar{Q}$ , Q adelantado 5 nseg. con relación a  $\bar{Q}$ . Usando la entrada A, Q es positivo y  $\bar{Q}$  es negativo.

Para almacenar el error se utilizan los registros SN 74175 que funcionan con transición positiva y a estos se aplicará el pulso Q.

El contador opera con transición negativa y a este se aplicará el pulso  $\bar{Q}$ , con ello el sistema es compatible, pues primero se almacena el error y luego se carga al contador. La demora entre Q y  $\bar{Q}$  satisface esta necesidad.

Tanto a Q como a  $\bar{Q}$  se dá una duración de  $1\mu\text{seg.}$ , tiempo suficiente para las operaciones de almacenar y cargar. Esta duración de  $1\mu\text{seg.}$  se consigue usando la resistencia interior del SN 74121 y un capacitor exterior de  $1.000\text{pF}$ , valor obtenido de las curvas de las hojas de datos.

El diagrama de tiempos de la figura 3.13 complementa esta explicación.

Finalmente se conecta un condensador de  $0,01\mu\text{F}$  entre 5V y tierra para esta etapa.

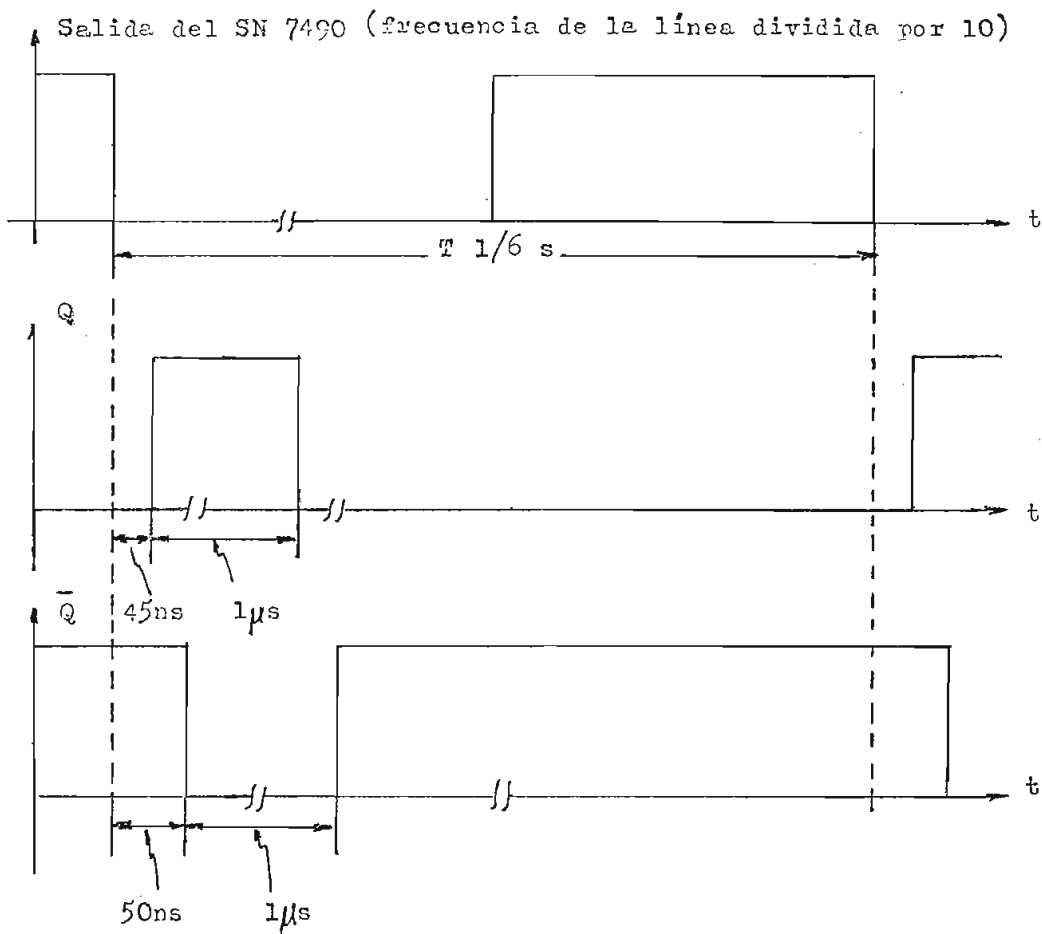


Fig. 3.18 Diagrama de tiempos de la base de tiempo.

La parte final del contador de frecuencia lo constituye el contador; y, puesto que se usará un contador cargable que a la vez funcionará como contador de frecuencia y comparador digital, se hará el análisis de diseño de este elemento al tratar sobre el comparador.

### 3.4. COMPARADOR DIGITAL

Puesto que la comparación se realiza con un máximo de 10 bits se requiere de tres contadores SN 74177, los cuales son cargables y admiten entradas de cuatro bits cada uno.

Para que estos contadores operen de una manera cargable , las señales digitales provenientes de la entrada binaria deben aplicarse complementadas a las entradas de los SN 74177, para esto se usan dos inversores SN 7404 (de 6 bits cada uno). Además será necesario trabajar con 12 bits en la comparación ya que se usan tres contadores; para ello, la entrada binaria debería tener 12 bits y como esta contiene tan solo 10, los dos más significantes  $b_{11}$  y  $b_{10}$  serán cero y que complementados cargarían al contador con 1 lógico. Resulta entonces equivalente cargar directamente a 1 lógico las dos entradas más significantes del contador de 12 bits (formado por 3 SN 74177) con lo cual no es necesario realizar ninguna reforma a la estructura de la entrada binaria.

Finalmente se usan dos registros SN 74175 para almacenar el error. Se almacenan solamente 3 bits de la comparación ya que la regulación mediante el modulador de Schmitt se hará en base de reducción del error a cero, mediante integración de la señal de entrada al modulador - como se explicará más adelante - y en este proceso es suficiente tomar el error en una palabra digital de 3 bits.

Para explicar la forma de conexión a las entradas de los SN 74175 es necesario referirse al proceso de comparación y conversión digital-analógico. Para mayor claridad se hará el análisis en base al ejemplo sencillo de la figura 2.7 ( Capitulo II ) y que ahora se analiza tomando en cuenta la entrada binaria, el comparador y los registros. Se almacena el error digital en binario directo (straight binary) ya que el convertidor DA trabajará con este tipo de codificación. Tomando en cuenta estas consideraciones la figura 3.19 muestra el proceso de obtención y almacenamiento del error.

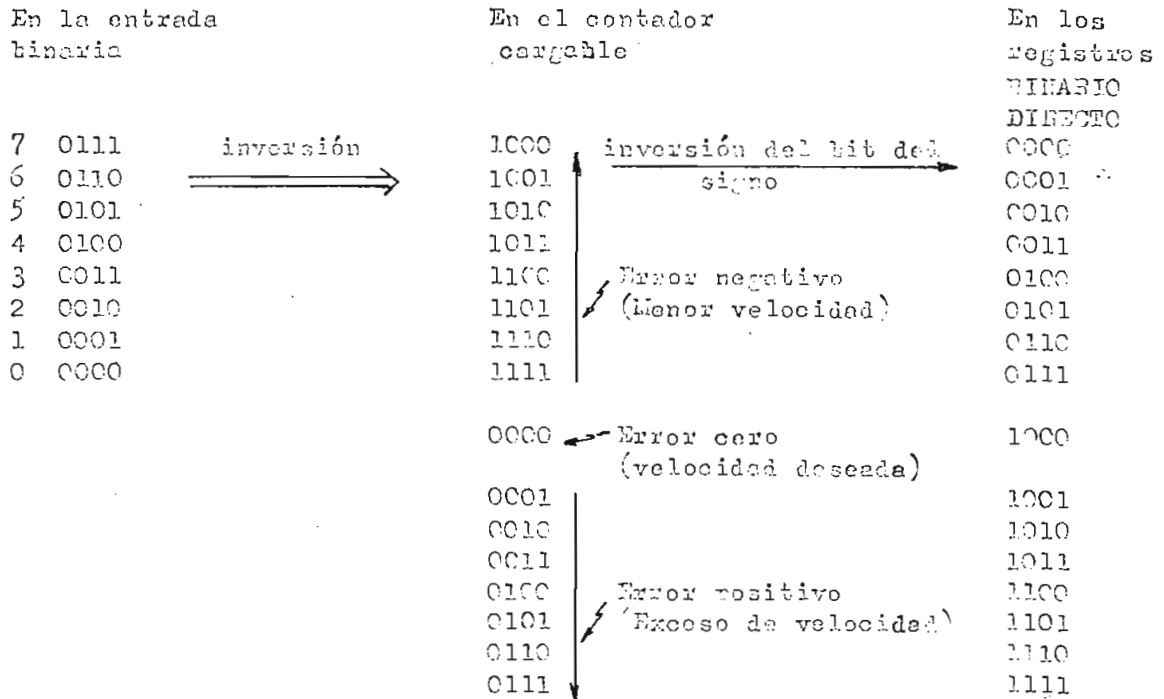


Fig. 3.19 Procesamiento de señales digitales para la obtención del error en binario directo.

Como puede apreciarse para obtener binario directo a partir de la señal digital del contador se requiere invertir el bit más significativo que es el que proporciona el signo del error, es por esto que los 7 primeros bits a la entrada del convertidor DA se obtendrán de las salidas no complementadas de los SN 74175. El bit más significativo a la salida del contador (de 12 bits) irá a través de un inversor del grupo SN 7404 a la entrada de un 74175 y de su salida no complementada irá al convertidor. Con esto se asegura que en los registros se almacene la palabra digital de error de 3 bits en forma de binario directo. Se trabajó con una palabra de 3 bits pues se utilizará un convertidor DA DAC-9 de 3 bits de la Datel Systems Inc. y que entrega un valor máx



uno de corriente de 2,6 mA.

La forma exacta de conexión a las entradas de los SN 74175 se detalla a continuación.

Existe un problema en el uso del convertidor DA de 8 bits con que ciertamente será suficiente tomar un error de 8 bits. En efecto el convertidor trabaja con 8 bits, pero la salida del comparador es de 12, esto implica que cuando el error es mayor que esos 8 bits el funcionamiento del sistema será caótico pues se pierden los otros bits más significantes y no se tendrá regulación.

Supóngase que la salida del comparador es de 5 bits y que se dispone de un convertidor DA de tres bits, entonces el error máximo con el cual se trabajaría debe ser de 3 bits. Para este ejemplo sencillo se desarrolla el esquema de la figura 3.20.

Para este caso se manda al convertidor los dos primeros bits y el más significativo, este último con inversión; así se consigue, como ya se ha explicado, tener un binario directo a la entrada del convertidor.

Cuando los bits  $A_1$  y  $A_2$  no cambian se tiene un rango de operación normal pues el error estaría determinado únicamente por los bits  $A_3$  y  $A_4$ , el bit  $A_0$  da el signo del error. Bajo estas condiciones el convertidor DA daría máxima corriente cuando sus entradas son 111, la mitad de corriente máxima cuando se tiene 100 y corriente cero cuando se tenga 000. De esta forma si se consigue que en el modulador se tenga máximo ancho de pulsos cuando la corriente del convertidor es mínima, se aumentará la velocidad (pues se aplica mayor voltaje promedio a la armadura), con esto el error tenderá al valor cero. Cuando la corrien-

Salida del Comparador

Entrada del Convertidor DA

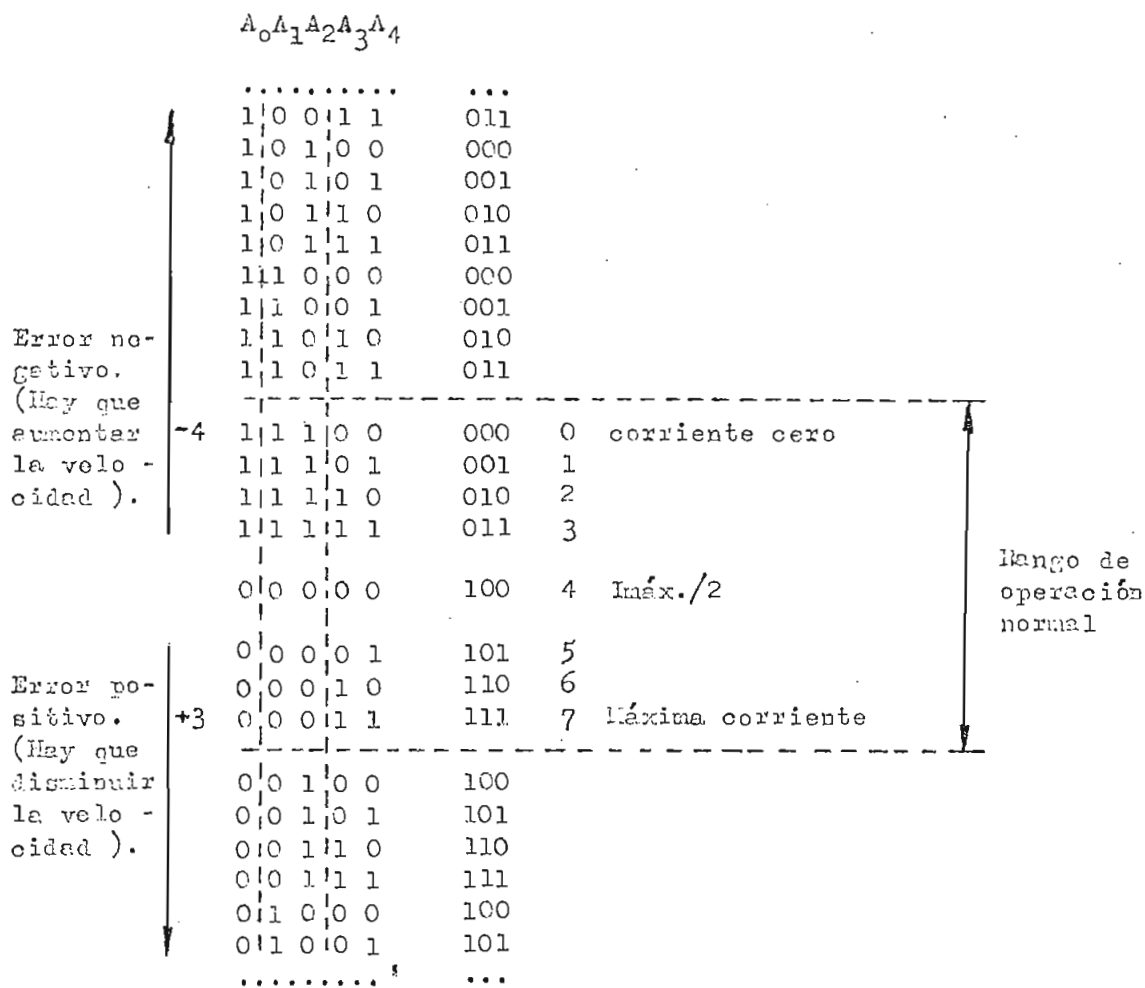


Fig. 3.20 Determinación del rango de operación normal.

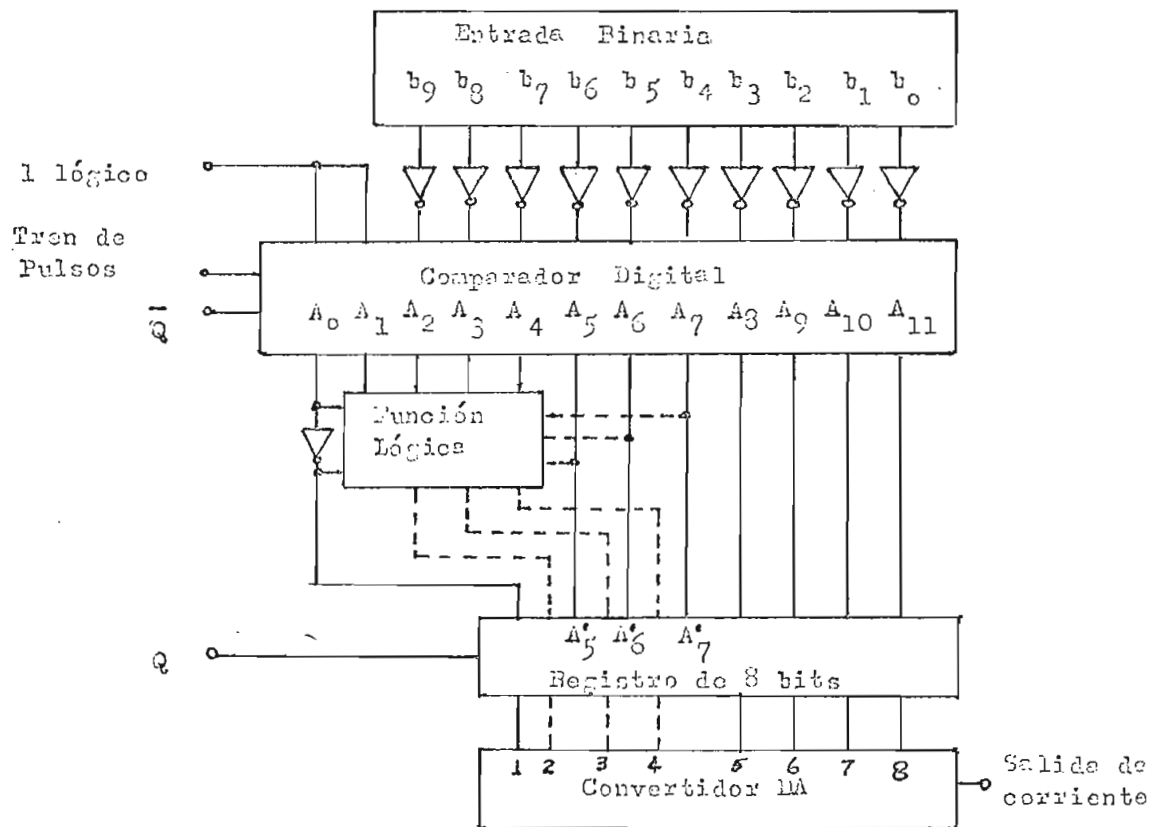
te es máxima el ciclo de trabajo del modulador será mínimo y la velocidad disminuirá consiguiéndose también que el error tienda a cero.

El problema se presenta cuando el error tanto positivo como negativo es mayor que el previsto dentro del rango normal de operación, esto es cuando el error supera al valor +3 (00011) ó -4 (11100), cuando esto sucede cambian los bits A<sub>1</sub> y A<sub>2</sub> juntamente con los A<sub>3</sub> y A<sub>4</sub> y el sistema se degenera pues el convertidor DA no opera con el cambio de A<sub>1</sub> y A<sub>2</sub>, así por ejemplo, si el error es -5, significa que hay que

aumentar la velocidad pero la entrada al convertidor será 111 y esto haría que el modulador tenga mínimo ciclo de trabajo y mas bien disminuiría la velocidad, que es contrario a lo que se desea. Si el error fuera  $-8$  (11000) lo deseable es que la velocidad aumente pues es menor que la que se quiere, sin embargo a la entrada del convertidor se tendrá 100, igual que cuando el error es cero y esto implicaría que no se haga ninguna corrección en el ciclo de trabajo cuando este en realidad debería de aumentar; así pues, el comportamiento es caótico fuera del rango normal, pues los bits  $A_1$  y  $A_2$  cambian y este cambio no se advierte en el convertidor DA.

Para el caso del diseño que se plantea en este trabajo debemos minimos el rango de operación normal al trabajar con un convertidor DA de 8 bits, y luego, veamos como solucionar el inconveniente que se presenta cuando el error sale fuera del rango normal. La figura 3.21 ayudará a visualizar la solución.

Como puede apreciarse de la figura 3.21, para este caso no se han tomado en cuenta los bits  $A_1$ ,  $A_2$ ,  $A_3$ , y  $A_4$ , cuando se sale fuera del rango de operación normal  $A_4$  comienza a variar ( y los otros tres también) y se tiene el comportamiento caótico. Lo deseable es que cuando el error sea más negativo que  $-128$  la corriente permanezca cero ó casi cero para que el ciclo de trabajo aumente y aumente la velocidad. Para que el error tienda a cero y entremos en el rango de operación normal, esto se conseguirá si de alguna manera los bits  $A_5$ ,  $A_6$ , y  $A_7$  permanecen en cero cuando estamos fuera del rango normal ( esto asegura que la corriente sea casi cero). Igualmente es deseable que cuando el error sea mayor que  $127$ ,  $A_5$ ,  $A_6$ , y  $A_7$  permanezcan igual a 1 para que la corriente sea casi la máxima.



Salida del Comparador	Error	Entradas del convertidor
$A_9 \dots A_{11}$ 111101111111	.... -129	$\overline{A_0} \dots A_7 \dots A_{11}$ 000 (15) $I = 0,15 \text{ mA}$ 01111111
111110000000	-128	00000000 (0) $I = 0$
111110000001	-127	00000001
.....	...	.....
000000000000	000	10000000 (128) $I = 1,3 \text{ mA}$
.....	...	.....
000001111110	126	11111110
000001111111	127	11111111 (255) $I = 2,6 \text{ mA}$
000010000000	128	10000000
.....	...	.....
		111 (240) $I = 2,4 \text{ mA}$ $A_5 A_6 \dots A_{11}$

Rango normal de operación

Fig. 3. 21 Determinación de las entradas al registro.

Así pues, si conseguimos que cuando se salga del rango normal de operación los bits  $A_5$ ,  $A_6$ ,  $A_7$  sean 0 cuando el error es negativo, ó 1 cuando el error es positivo, entonces se habrá solucionado el problema. Con este comportamiento la corriente de salida del convertidor DA será la esquematizada en la figura 3.22.

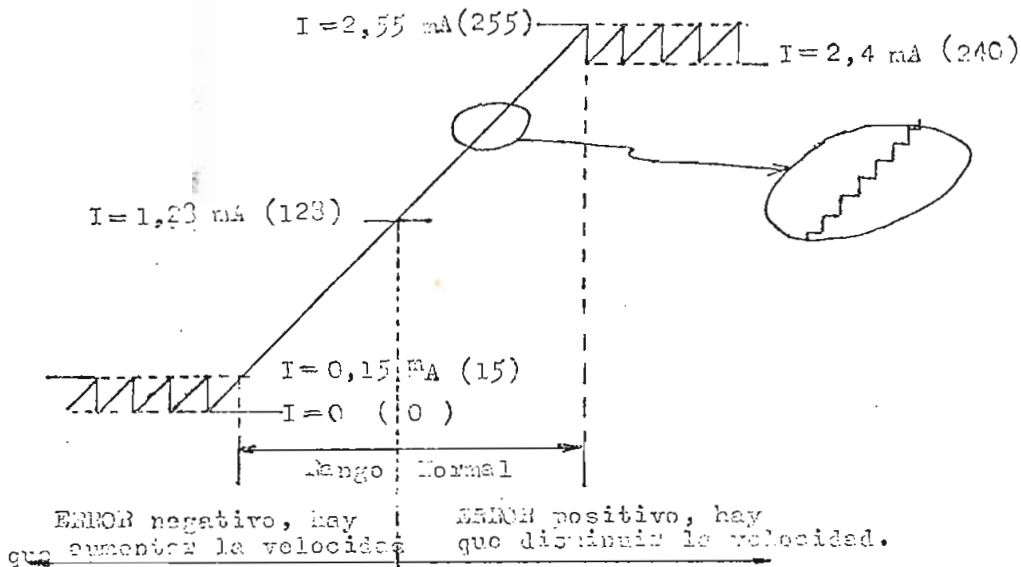


Fig. 3.22 Corriente de salida del convertidor DA.

Para conseguir la solución planteada hay que tomar en cuenta entonces a los bits  $A_1$ ,  $A_2$ ,  $A_3$  y  $A_4$  para que con una función lógica se relacionen con  $A_5$ ,  $A_6$  y  $A_7$  y como resultado se obtengan los nuevos bits  $A'_5$ ,  $A'_6$ , y  $A'_7$  que garantizan el comportamiento de la figura 3.22.

Estas funciones lógicas son:

$$\text{Para } A'_5 = 1; \quad A'_6 = 0; \quad \text{y} \quad A_1 + A_2 + A_3 + A_4 = 1$$

$$\Rightarrow A'_5 = \bar{A}_0 \cdot (A_1 + A_2 + A_3 + A_4) + A_5$$

Esta ecuación dice que cuando se trabaja en el rango normal:

$A_1 = A_2 = A_3 = A_4 = 0 \Rightarrow A_1 + A_2 + A_3 + A_4 = 0$  y  $A'_5 = A_5$ , pero cuando se líos del rango normal alguno ó todos los  $A_1$ ,  $A_2$ ,  $A_3$ ,  $A_4$ , son diferen-

tes de cero, y siempre  $A_5' = 1$ .

Bajo el mismo razonamiento se tiene:

$$\text{Para } A_5' = 0 ; A_0 = 1 ; \text{ y } \overline{A_1 + A_2 + A_3 + A_4} = 1 = \overline{A_1 \cdot A_2 \cdot A_3 \cdot A_4}$$

$$A_5' = \left[ \overline{A_0 \cdot A_1 \cdot A_2 \cdot A_3 \cdot A_4} \right] \cdot A_5 = A_5 \cdot (\overline{A_0} + A_1 \cdot A_2 \cdot A_3 \cdot A_4)$$

Esto es, en el rango normal:

$A_1 = A_2 = A_3 = A_4 = 1 \Rightarrow A_5' = A_5$ , pero fuera del rango normal, alguno ó todos los  $A_1, A_2, A_3, A_4$ , son diferentes de 1, y siempre  $A_5' = 0$ .

Las dos ecuaciones pueden condensarse en la siguiente:

$$A_5' = \overline{A_0} \cdot (A_1 + A_2 + A_3 + A_4) + A_5 \cdot (\overline{A_0} + A_1 \cdot A_2 \cdot A_3 \cdot A_4)$$

Similares ecuaciones se tendrán para  $A_6'$  y  $A_7'$ .

El diagrama lógico de esta etapa, usando elementos OR y NAND y sabiendo que  $\overline{A \cdot B} = \overline{A} + \overline{B}$  es el dado por la figura 3.23.

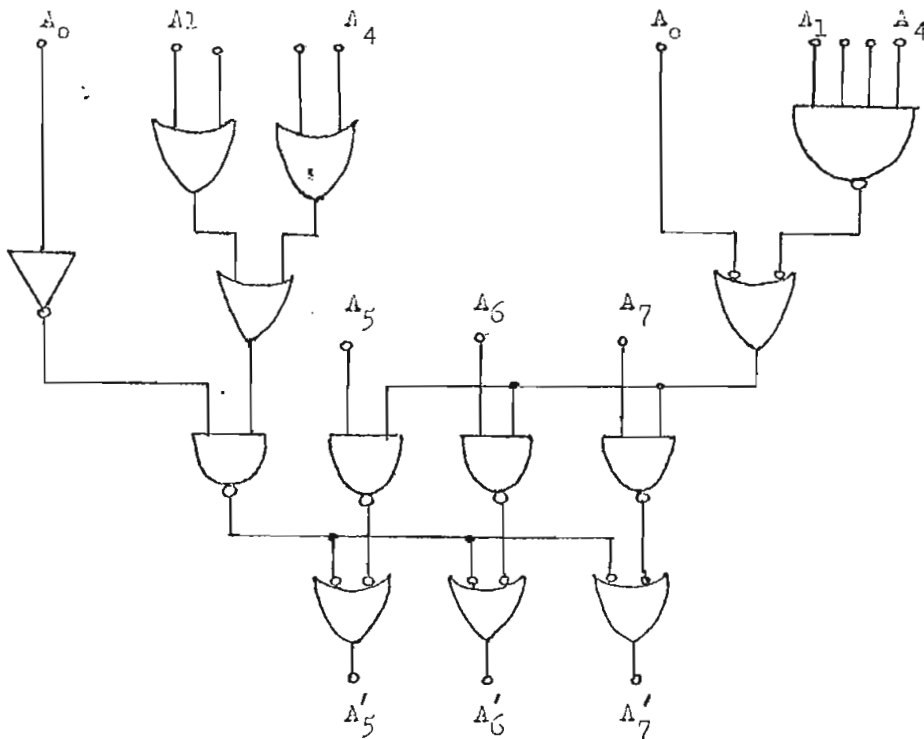


Fig. 3.23 Diagrama lógico para la obtención de las entradas  $A_5', A_6', A_7'$ .

El circuito de la figura 3.24 muestra los elementos y conexiones necesarios que determinan la configuración del comparador digital y que garantizan su comportamiento de acuerdo al análisis desarrollado y que esquemáticamente se presenta en la figura 3.21.

Los integrados SN 7404 se utilizan para invertir la señal de salida de la entrada binaria y cargar al contador de 12 bits, el cual se compone de tres SN 74177 que son contadores cargables de 4 bits; mediante las conexiones realizadas entre estos se consigue un contador cargable de 12 bits. Se utiliza una resistencia de  $10\ \Omega$  conectada a 5 volt. para poner 1 lógico a las dos entradas más significantes del contador.

Los integrados SN 7432, SN 7430 y SN 7400 - según las conexiones efectuadas cumplen la función lógica de la figura 3.22. La inversión del bit  $A_0$  se realiza utilizando un SN 7404.

Los dos registros SN 74175 conforman el registro de 3 bits para almacenar la palabra digital de error de 3 bits que constituye la entrada al convertidor DA. La salida del convertidor DA ( terminal 12) se envía al modulador de ancho de pulsos.

Se utilizan las cuatro salidas complementadas más significantes del registro de 3 bits, esto es; 1, 2, 3, y 4, como indicadores. En efecto, estas salidas se conectarán a diodos emisores de luz y de esta manera darán una indicación del signo y magnitud del error digital; esto servirá para calibrar el modulador de ancho de pulsos según se explicará más adelante.

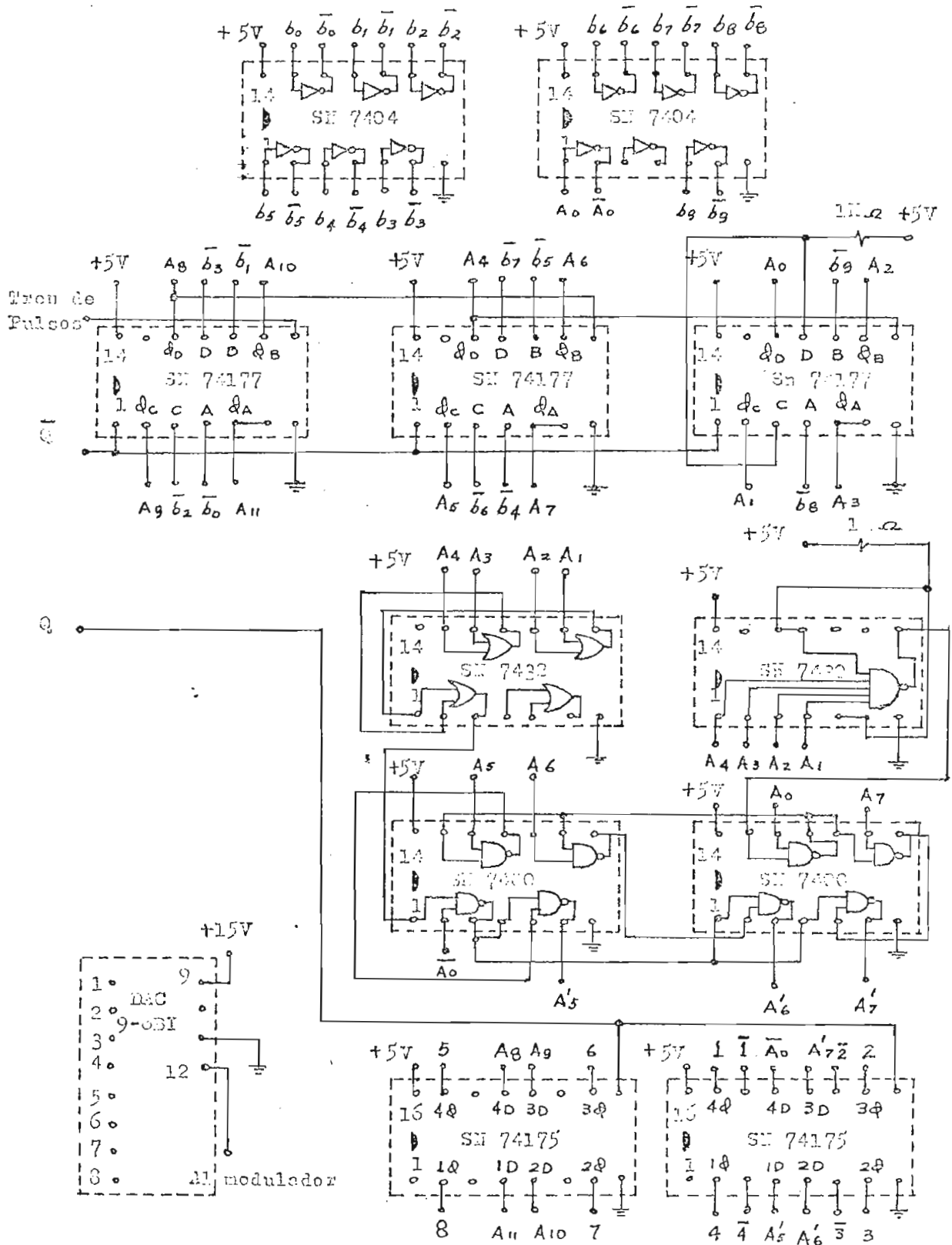


Fig. 3.14 Circuito del compresor de 16 bits con DAC.



### 3.5 MODULADOR DE ANCHO DE PULSOS

Para la modulación de ancho de pulsos se utiliza un modulador de Schmitt. Este modulador se lo diseña a base de un disparador de Schmitt de circuito integrado, un SN 7413.

La Texas Instruments proporciona una nota de aplicación sobre el SN 7413 en la que da la configuración de la figura 3.25 para un multivibrador RC haciendo uso del integrado 7413.

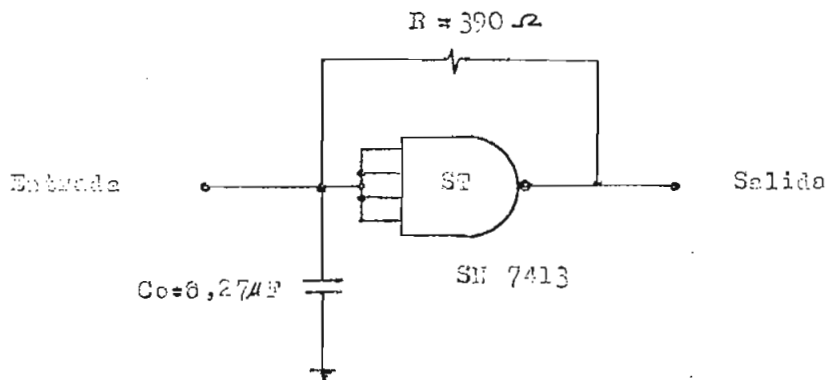


Fig. 3.25 SN 7413 usado como multivibrador RC.

Usando la resistencia  $R$  de realimentación de valor  $390 \Omega$  y según las especificaciones de la mencionada nota de aplicación para un valor del capacitor de oscilación  $C_0 = 0,27 \mu F$ , la frecuencia de oscilación será de alrededor de 10 Hz.

Para conseguir que este multivibrador funcione como modulador de ancho de pulsos ha de variarse el voltaje de carga del capacitor entre los niveles de disparo del SN 7413 y mediante una excitación exterior a la entrada.

En efecto, la figura 3.26 muestra cómo se efectúa la modulación por variación del voltaje de entrada.

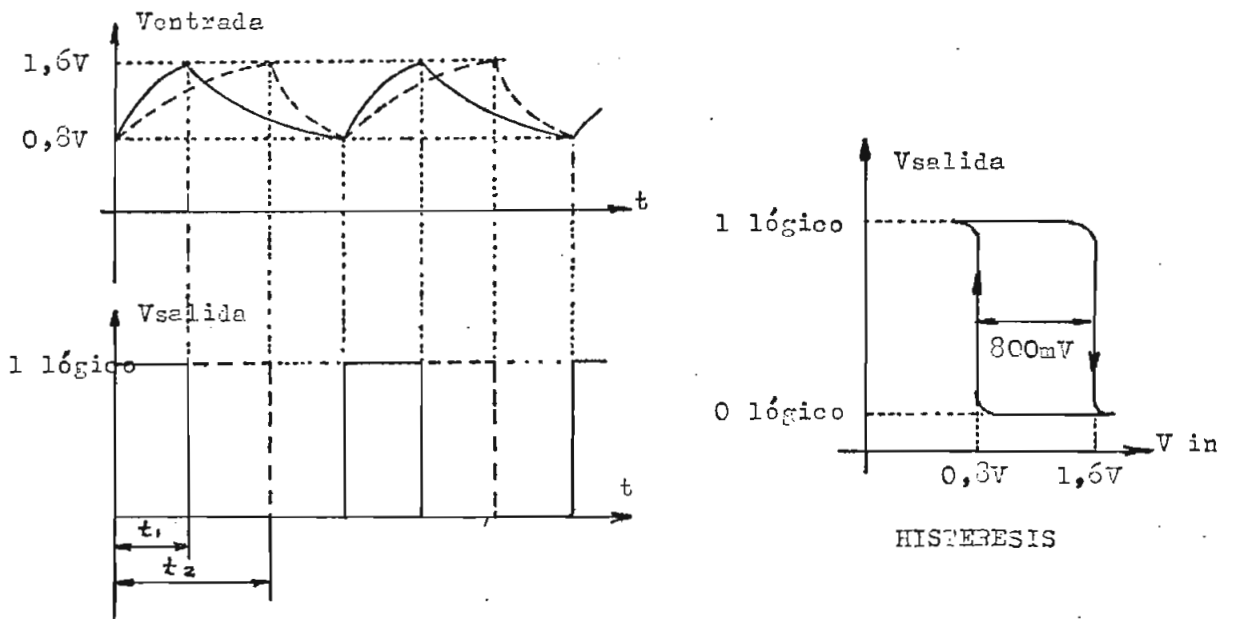


Fig. 3.26 Modulación del ancho de pulsos variando el voltaje de carga del condensador de oscilación.

Esto es, cuando el condensador se carga desde el valor 0,8 V hasta 1,6V existe respuesta de salida, cuando se descarga hay ausencia de voltaje. Este comportamiento se debe al ciclo de histéresis del 7413.

Consecuentemente para obtenerse modulación puede variarse la corriente de carga del capacitor de oscilación, lo que significa variar la forma exponencial del voltaje en el condensador; hacerlo más rápido en la carga ( y más lento en la descarga ), ó lento en la carga y esto dentro de un rango determinado que será justamente el rango de variación del ciclo de trabajo.

Para excitar al modulador se utiliza la corriente de salida del convertidor DA, pero es necesario intercalar entre el convertidor

y el modulador un espejo de corriente formado por  $Q_3$  y  $Q_4$  para tener los niveles de voltaje y corriente requeridos a la entrada del modulador de Schmitt. Entonces la salida de este espejo de corriente (que es proporcional a la del convertidor) será la que cargue al condensador de oscilación, según se muestra en la figura 3.27.

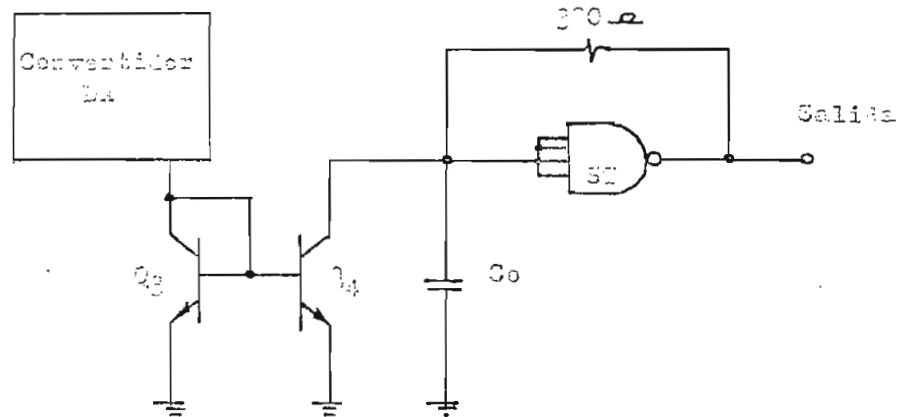


Fig. 3.27 Acoplamiento entre el convertidor y el modulador mediante un espejo de corriente.

El convertidor, trabaja con una palabra digital de error de 4 bits, si el error fuera mayor y saliera del rango normal, el mismo modulador se encargará de disminuirlo hasta entrar en el rango normal. En efecto, si por ejemplo el error fuera más negativo que  $-128$  (menor velocidad que la deseada) la corriente de salida fluctuará entre 0,4 y 2,5 mA, dependiendo del valor de los 4 bits menos significativos (ver figura 3.26) y esto implicará que el ciclo de trabajo sea máximo con lo cual se incrementará la velocidad y el error disminuirá. Esta situación se mantiene hasta cuando el error sea  $-128$  y entremos en el rango normal para el cual se disminuirá el modulador. Para el mismo criterio se puede an-

lizar cuando el error es mayor que 127 pero tomando en cuenta el ciclo mínimo de trabajo.

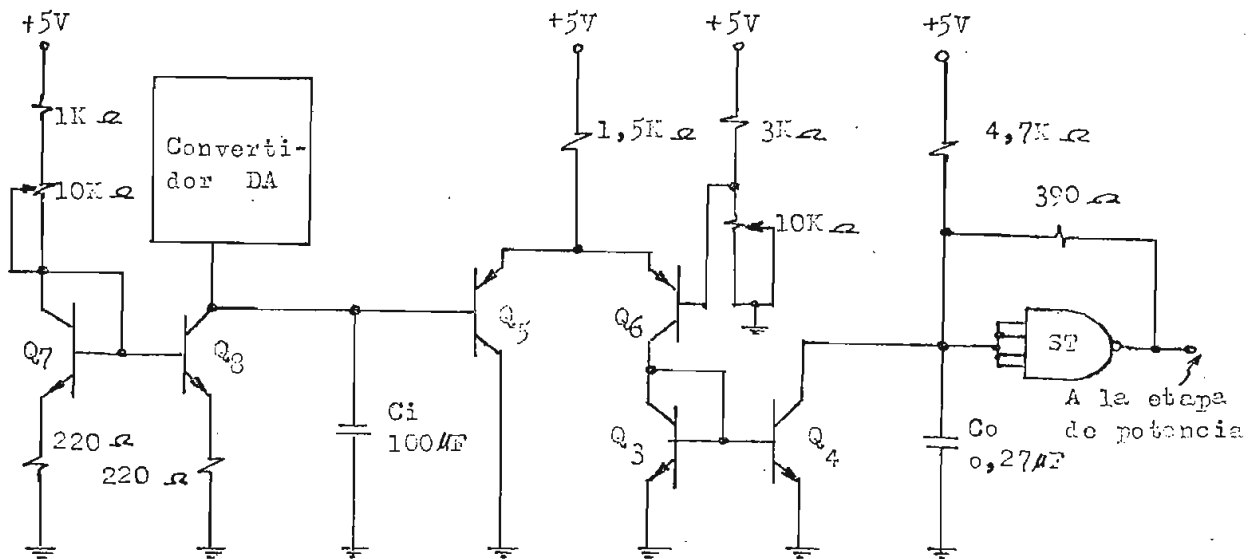
El principio básico del funcionamiento del modulador, es entonces, el de variar el ancho de pulsos en función de la corriente de salida del convertidor DA, la cual determinará la variación en la carga del condensador de oscilación. Así pues si la corriente del convertidor es máxima se tendrá mínimo ciclo de trabajo; con corriente mínima, ciclo máximo y con corriente de 1,3 mA ( error cero) se tendría ciclo medio de trabajo.

Enpero bajo estas condiciones se presenta un problema: Cuando el error tiende a reducirse a cero el ciclo de trabajo tenderá a ciclo medio y determinará un voltaje fijo, cualquiera que sea la velocidad que se desee, esto significa que si se desea máxima velocidad, el ciclo de trabajo deberá ser máximo y no medio como lo determinaría el error cuando fuera cero, lo que es contradictorio al sistema de control propuesto; el resultado será entonces que el error no puede llegar a ser cero y el sistema no podrá regular la velocidad a la deseada.

Para evitar esta dificultad se intercala un amplificador diferencial y un capacitor de integración entre el convertidor DA y el espejo de corriente. De esta manera se consigue regular el ciclo de trabajo por integración del error y su reducción a cero. También es necesario otro espejo de corriente formado por  $Q_7$  y  $Q_3$  acoplado al convertidor, según muestra la figura 3.28.

Si la corriente de salida del espejo de  $Q_7$  y  $Q_3$  se calibra tal que sea la misma que la del convertidor cuando el error es cero ( esto es igual a 1,3 mA ), cualquier error producirá una corriente que carga-

rá al condensador de integración  $C_i$  y se producirá una variación del vol



$$Q7 = Q3 = Q3 = Q4 = 2N\ 3704 \quad ; \quad Q5 = Q6 = 2N\ 3906$$

Fig. 3.28 Circuito del modulador de ancho de pulsos.

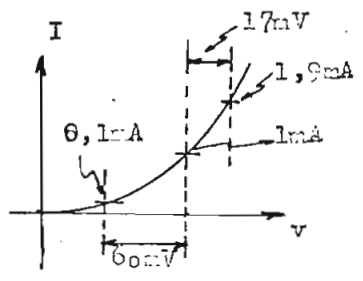
taje base-emisor de  $Q_5$  lo cual implicará una corriente de salida en el espejo formado por  $Q_3$  y  $Q_4$  y esta corriente determinará el ciclo de trabajo que tenderá a reducir el error, cuando este se reduce a cero no habrá corriente de carga para el condensador  $C_i$  y el voltaje al que quedó cargado determinará la corriente de colector de  $Q_5$  y en consecuencia la corriente de entrada al modulador y el ciclo de trabajo correcto, teniendo de esta manera un control del ciclo de trabajo por control del voltaje base-emisor de  $Q_5$ , control que lo efectúa el capacitor de integración al cargarse negativamente cuando la corriente del convertidor es menor que 1,3 mA y al cargarse positivamente cuando la corriente es mayor que 1,3 mA.

Determinación del voltaje de referencia en la base de  $Q_5$ ,  $V_{B5}$ .

El máximo voltaje en  $C_i$  ( ó en  $V_{BQ_5}$  ) es determinado por el convertidor DA y es de 1,2V , por tanto si escogemos  $V_{BQ_6} = 1V$  tendremos un rango de variación de voltaje en la juntura base-emisor de  $Q_5$  suficiente para la variación de la corriente de entrada al modulador.

En efecto, la corriente  $I_{E Q_5} + I_{E Q_6} \cong 2mA$ , con lo que se puede tener la siguiente variación:

$V_{BQ_5}$	$I_{E Q_5}$	$I_{E Q_6}$
0,94V	0,1mA	1,9mA
1V	1 mA	1 mA
1,02V	1,9mA	0,1mA



Veamos el rango de variación de la corriente de entrada al modulador:

La amplificación del espejo de corriente formado por  $Q_3$  y  $Q_4$  con transistores 2N 3704 resultó ser de 1,43. Luego:

$$I_{E Q_6} \cong I_{C Q_6} \cong 0 \Rightarrow I_{C Q_4} \cong 0$$

$$I_{C Q_5} \cong 2mA \Rightarrow I_{C Q_4} \cong 2 \times 1,43 \cong 2,9mA.$$

el rango de variación de la corriente a la entrada del modulador es de 0 - 2,9 mA aproximadamente.

Un potenciómetro de 10K $\Omega$  se usa para calibrar la corriente del espejo formado por  $Q_3$  y  $Q_4$  . El voltaje de referencia de 1V a la base de  $Q_6$  se ajusta con un potenciómetro de 10K $\Omega$ .

Puesto que  $\frac{dV}{dt} = \frac{I}{C}$  y como la corriente de carga de  $C_i$  será del orden de 1 mA, tomando  $C_i = 100 \mu F$  se tendría una velocidad de carga del orden de 10V/seg.

Veamos ahora el rango del ciclo de trabajo.

la figura 3.29 muestra los ciclos de trabajo máximo y mínimo en el modulador. I es la corriente de entrada al modulador y proveniente del espejo de corriente. Cuando I es máxima la carga de  $C_i$  es lenta

y a la salida del disparador el ciclo es máximo; cuando  $I=0$  la carga es rápida y el ciclo es mínimo. Empero del circuito de la figura 3.28 y

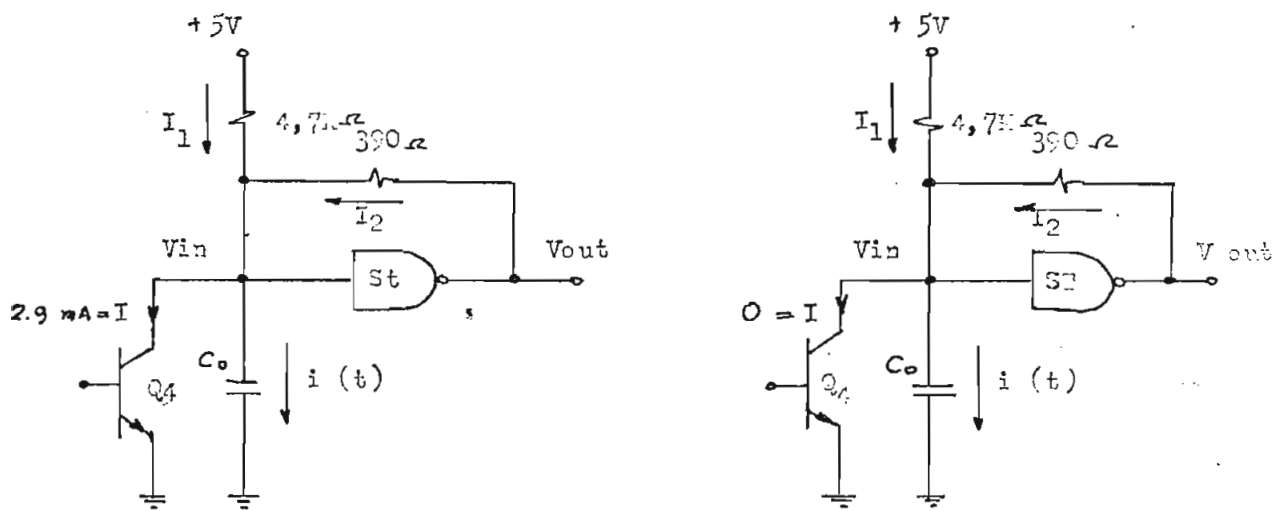
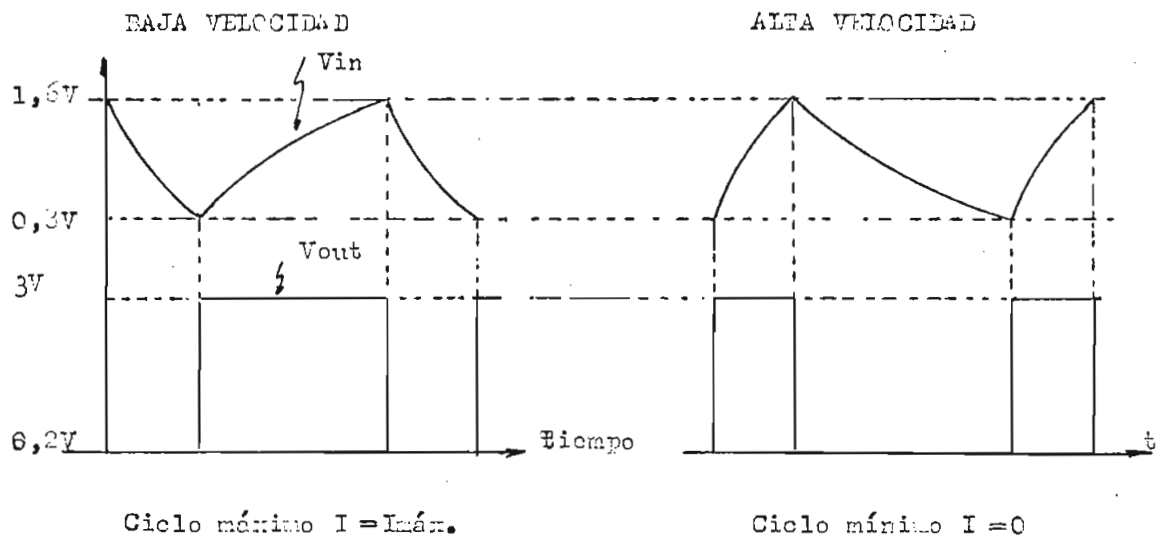


Fig. 3.29 Ciclos de trabajo máximo y mínimo.

analizando el comportamiento del amplificador diferencial se tiene que si la corriente del convertidor es 0,  $I$  es 0, cuando es máxima  $I$  es máxi. Entonces  $I=0$  significa que la velocidad es menor que la deseada y el ciclo de trabajo debe ser máximo, pero puesto que para  $I=0$  mA el amplificador da mínimo ciclo de trabajo se requiere una inversión. Para esto

se utiliza la otra mitad del disparador de Schmitt doble 7413. Así pues para baja velocidad el modulador dará máximo ciclo de trabajo.

Haciendo uso de la distribución de voltajes y corrientes al momento de la transición en el disparador de Schmitt y aproximando la carga del condensador a una recta se pueden determinar el ciclo máximo y mínimo de trabajo, desde luego con aproximación.

### Ciclo mínimo

tiempo de carga  $t_1$  :  $V_{out} = 3V$  ;  $I = 0$

$$V_{in} = 0,3V ; i(0) = I_1 + I_2 = 0,9 + 5,7 = 6,6 \text{ mA}$$

$$V_{in} = 1,6V ; i(t_1) = I_1 + I_2 = 0,7 + 3,6 = 4,3 \text{ mA}$$

$$i(t) = i(0) - \left[ i(0) - i(t_1) \right] \times \frac{t}{t_1} = 6,6 - \frac{2,3}{t_1} \times t$$

$$\Delta V = 1,6 - 0,3 = \frac{1}{C_0} \int_0^{t_1} i(t) dt$$

$$t_1 = 37 \mu s$$

tiempo de descarga  $t_2$  :  $V_{out} = 0,2V$  ;  $I = 0$

$$V_{in} = 0,3V ; i(0) = I_1 - I_2 = 0,9 - 1,5 = -0,6 \text{ mA}$$

$$V_{in} = 1,6V ; i(t_2) = I_1 - I_2 = 0,7 - 3,6 = -2,9 \text{ mA}$$

$$i(t) = i(0) + \left[ i(t_2) - i(0) \right] \times \frac{t}{t_2} = -0,6 - \frac{2,3}{t_2} \times t$$

$$\Delta V = 0,3 - 1,6 = \frac{1}{C_0} \int_0^{t_2} i(t) dt$$

$$t_2 = 110 \mu s$$

### Ciclo máximo

tiempo de carga  $t_1$  :  $V_{out} = 3V$  ;  $I = -2,9 \text{ mA}$

$$V_{in} = 0,3V ; i(0) = I_1 + I_2 - I = 0,9 + 5,7 - 2,9 = 3,7 \text{ mA}$$

$$V_{in} = 1,6V ; i(t_1) = I_1 + I_2 - I = 0,7 + 3,6 - 2,9 = 1,4 \text{ mA}$$

$$t_1 = 30 \mu s$$



tiempo de descarga  $t_2$  :  $V_{out} = 0,2V$  ;  $I = 2,0mA$

$$V_{in} = 0,8V ; i(0) = I_1 - I_2 - I = 0,9 - 1,5 - 2,9 = -3,5mA$$

$$V_{in} = 1,6V ; i(t_2) = I_1 - I_2 - I = 0,7 - 3,6 - 2,9 = -5,8mA$$

$$t_2 = 43 \mu s.$$

Entonces:

$$\text{ciclo m\u00ednimo} = \frac{t_1}{t_1 + t_2} = 25 \%$$

$$\text{ciclo m\u00e1ximo} = 65 \%$$

Como puede apreciarse la corriente  $I_1$  es la que determina el ciclo de trabajo m\u00ednimo, cuando esta se incrementa la carga se hace m\u00e1s r\u00e1pida y la descarga m\u00e1s lenta, desde luego que  $I_1$  no puede ser mayor que la corriente de realimentaci\u00f3n negativa  $I_2$  pues de lo contrario no habr\u00eda oscilaci\u00f3n. El valor de  $4,7k\Omega$  que limita a  $I_1$  al valor  $0,9 < 1,5mA$  es aceptable ya que da un ciclo de trabajo de aproximadamente 25%.

La corriente de excitaci\u00f3n  $I$  determina el m\u00e1ximo ciclo de trabajo pues esta hace m\u00e1s lenta la carga y m\u00e1s r\u00e1pida la descarga. Esta corriente no puede ser mayor que la corriente de realimentaci\u00f3n positiva  $I_2$  m\u00e1s el valor de  $I_1$ , caso contrario no habr\u00eda oscilaci\u00f3n. El valor de  $I = 2,9mA < 3,6$  es aceptable para un rango m\u00e1s o menos grande de variaci\u00f3n del ciclo de trabajo.  $I_1$  influye muy poco en la determinaci\u00f3n del ciclo m\u00e1ximo.

Para ampliar el rango de variaci\u00f3n podr\u00eda ensayarse valores algo menor que  $4,7k\Omega$  y algo mayor que  $2,9mA$ . Una vez que se ha fijado la resistencia que limita a  $I_1$  el control del ciclo de trabajo est\u00e1 determinado por la variaci\u00f3n de la corriente de excitaci\u00f3n  $I$ .

El circuito del modulador de ancho de pulsos de la figura 3.29 tal cual ha sido diseñado presenta un problema de oscilación. Este problema se debe fundamentalmente a dos causas: La rápida velocidad de cambio en el voltaje sobre el condensador de integración  $C_i$  (que es mayor que la rapidez de respuesta de cambio de velocidad del motor); y, a la ganancia del amplificador diferencial que hace que el modulador cambie de ciclo máximo a mínimo con pequeñas variaciones del error, esto es, con señales pequeñas de corriente del convertidor DA, lo cual repercute en una inestabilidad en el sistema de control.

Para salvar esta dificultad se han introducido dos cambios en la estructura circuital del modulador tendientes a minimizar los dos efectos mencionados. Así pues, se ha disminuído la velocidad de cambio de carga en el condensador  $C_i$  por aumentar su capacidad; y, se ha disminuído la ganancia en el amplificador diferencial mediante realimentación negativa. Estos cambios naturalmente disminuyen la rapidez de respuesta del sistema de control, esto es, el sistema requiere de mayor tiempo para responder a la velocidad deseada que se se pide desde el selector de velocidad (convertidores DA). La figura 3.30 muestra los cambios efectuados en el modulador.

Se sustituye el divisor de tensión que mide el voltaje de referencia del amplificador diferencial por otro divisor que utiliza el voltaje de salida del modulador de Schmitt. Para esto es necesario usar un filtro pasa bajos formado por el condensador  $C_1$  y la resistencia  $R_1$  ya que la salida del modulador de Schmitt es un tren de pulsos de relativamente alta frecuencia; luego haciendo uso de la señal de salida del filtro se utiliza un divisor de tensión formado por una resistencia de



Fuesto que la velocidad es directamente proporcional al vol -

taje de armadura se tendrá:

$$V_{\text{rotor}} = 2\pi \times r \times \omega_{\text{rotor}}$$

$$V_{\text{rotor}} = 2\pi \times r \times \omega_{\text{rotor}}$$

donde  $V_{\text{rotor}}$  y  $V_{\text{sin}}$  son las velocidades máxima y mínima que se pueden controlar y  $r_{\text{rotor}}$  y  $r_{\text{sin}}$  son los voltajes máximos y mínimos ( en voltios) aplicados al rotor y determinados por los ciclos máximo y mínimo de trabajo.

Si los pulsos aplicados al rotor son de amplitud  $V$  :

$$\frac{V_{\text{rotor}}}{V} = 100 - 25 \quad (\text{ pues hay inversión del ciclo de trabajo})$$

$$\frac{V_{\text{rotor}}}{V} = 100 - 55$$

$$\text{ luego: } \frac{V_{\text{rotor}}}{V_{\text{sin}}} = \frac{V_{\text{rotor}}}{V_{\text{rotor}}} = \frac{25}{55} = 2,14$$

Entonces es de esperarse un rango de control de al menos 2:1.

### 3.3 ENCUBRIDOR Y ADELANTADOR DE FASES

Para el caso de la etapa de conversión de potencia de tipo  $\pi$  del esquema general encendido en el Capítulo II, resulta que la potencia del motor a controlarse en este trabajo es pequeña (  $P = V \times I = 127 \times 1,4 \text{ A} = 16,3 \text{ Watt.}$  ) no es necesario usar un amplificador de potencia, sino un simple transistor de potencia de tipo  $\text{BC107C}$  de la. Bajo estas condiciones el esquema circuital para el motor de esta etapa se muestra en la figura 3.31.

El transistor  $\text{BC107C}$  es un  $\text{BC107C}$  y se lo utiliza para acoplar al motor con la etapa de potencia, pues opera los niveles de voltaje y corriente a los necesarios para excitar al transistor de potencia.

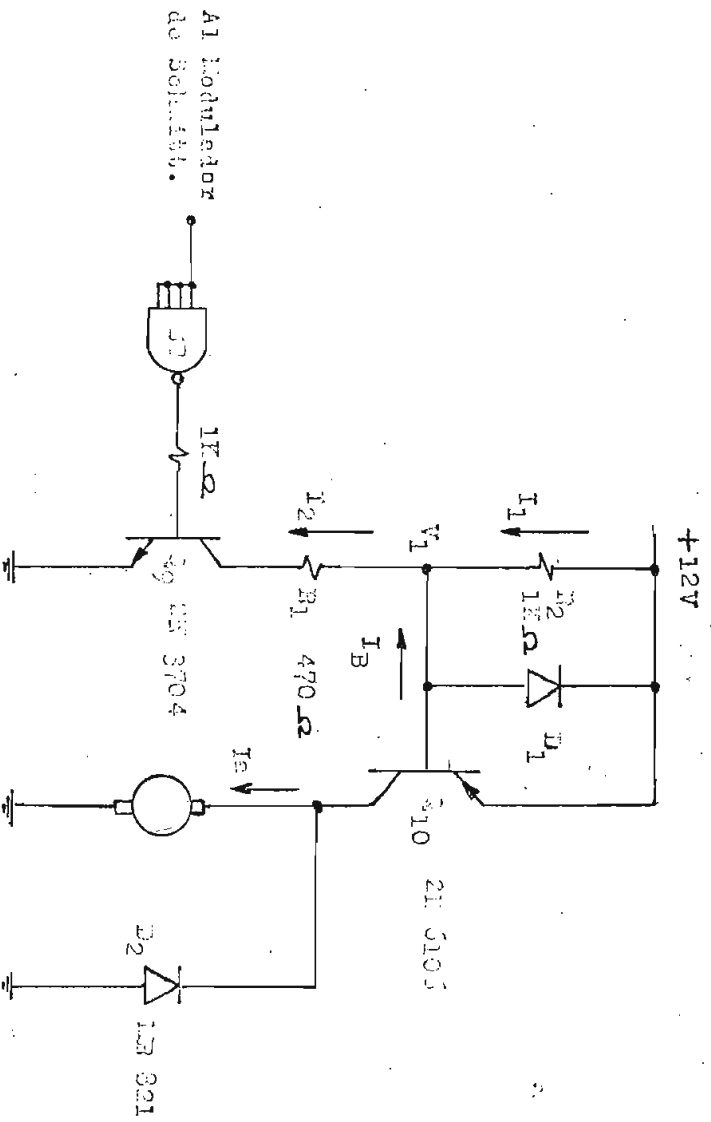


Fig. 3.31 Bobina de potencia.

$Q_{10}$ , el cual es un 2N 5105 que satisface los requerimientos de potencia y construcción para su aplicación en usos de construcción de potencia mas. En efecto, la potencia máxima que deberá entregar a la armadura es  $12V \times 1,4 \text{ A} \approx 168 \text{ W}$ ,  $\approx 170 \text{ W}$ ,  $\approx 4 \text{ Watt}$ .

$D_1$  es un diodo de señal y  $D_2$  es un diodo capaz de soportar la corriente máxima de armadura y de período tiempo de recuperación. Se usó para  $D_1$  el diodo 1N 821.

M1 motor es de tipo Shunt de corriente continua a 12V y 1,4 A. y en el cual se ha conectado la excitación de campo a 12V DC.

$R_1$  y  $R_2$  son resistencias de polarización. Además entre la salida del disparador de Schmitt y la base de  $Q_9$  se conecta una resistencia de 1 KΩ para limitar la corriente de base de  $Q_9$ .

Nota importante que el transistor 5105 está en saturación.

Para saturación del transistor  $\beta_{106}$  se tiene:

$$I_E \cong I_C \cong 340 \text{ mA} = I_a \text{ (máxima corriente de armadura)}$$

$$\beta_{\text{min.}} I_B \cong 340 \text{ mA}$$

$$\frac{340 \text{ mA}}{\beta_{\text{min.}}} = \frac{340 \text{ mA}}{30} = 11 \text{ mA}$$

Entonces tomamos  $I_B = 20 \text{ mA}$ . Además:

$$V_1 = 12V - V_{EB} Q_{10} \text{ (sat.)} \cong 11,3V$$

$$R_1 = \frac{V_1 - V_{CE} Q_2 \text{ (sat.)}}{I_B} \cong \frac{11V}{12}$$

$$R_2 = \frac{V_{EB} Q_{10} \text{ (sat.)}}{I_1} \cong \frac{0,7V}{I_1}$$

$$I_2 + I_1 = I_2$$

$$I_2 + I_1 = I_2$$

Tomando para  $I_1$  el valor de  $0,7 \text{ mA}$ , se tendrá:

$$R_1 \cong \frac{11V}{20,7 \text{ mA}} = 530 \Omega, \text{ se escoge el valor de } 470 \Omega$$

$$R_2 \cong \frac{0,7V}{0,7 \text{ mA}} = 1K \Omega, \text{ se escoge el valor de } 1K \Omega$$

Los valores de  $R_1$  y  $R_2$  satisfacen los requerimientos exigidos para la saturación de  $Q_{10}$ , a la vez que permiten una corriente adecuada de colector de  $Q_2$  que asegura su saturación.

### 3.7 FUENTE DE ALIMENTACION

Es necesaria una fuente de alimentación de +5 volt.DC para los circuitos integrados, formador de pulsos, foco piloto y modulador de Schmitt; y, con un consumo máximo de 2 amperios. Además se requiere de una fuente de +15 volt.DC para el convertidor DA. El diagrama circuital para el rectificador se muestra en la figura 3.32, y para las fuentes reguladas en la figura 3.23.

No se ha construido una fuente de 12 voltios para la alimentación del motor por cuanto esta no corresponde propiamente al circuito de control, pues se entiende que existe ya un motor y su fuente de alimentación y lo que se debe diseñar y construir es algún sistema periférico de control de ese motor.

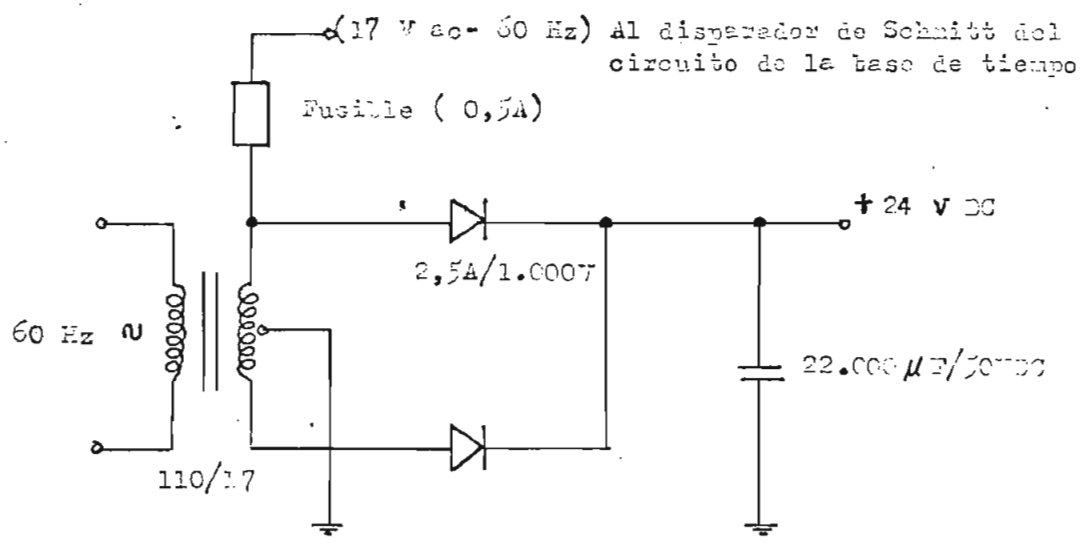
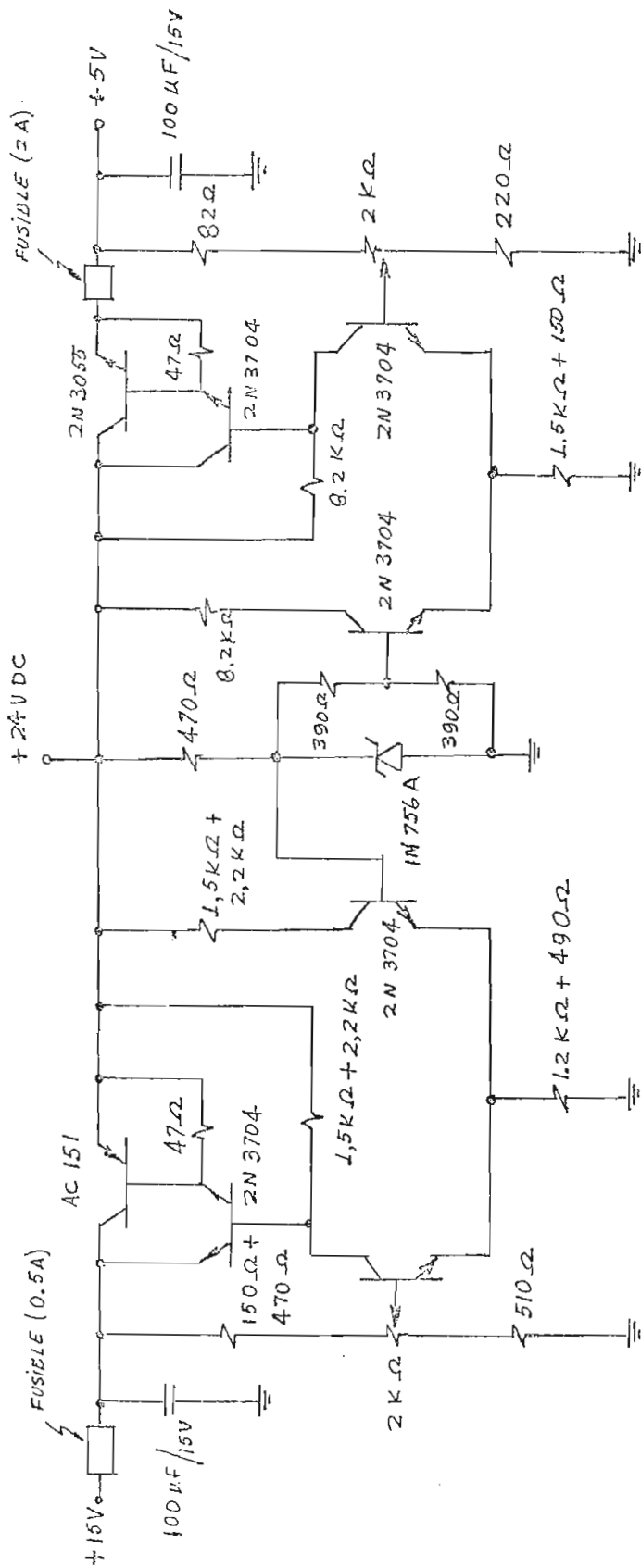


Figura 3.32 Circuito del rectificador.





CAPITULO CUARTO

RESERVAS DE LOS PAISES

#### 4.1 CARACTERISTICAS EXPERIMENTALES

Como ya se ha manifestado el comando de este sistema de control está constituido por un selector de velocidad formado por tres conmutadores BCD, con la posibilidad de variación de las cifras correspondientes a las decenas centenas y miles, por lo tanto, la cantidad que indica el selector deberá multiplicarse por 10 y este valor constituirá la velocidad deseada en rpm.

Además se han incluido cuatro diodos emisores de luz conectados a las salidas complementadas de los 4 bits más significativos del registro de 8 bits de almacenamiento del error ( figura 4.1 ) y se los utiliza como indicadores para la calibración del sistema de control. En efecto, cuando el error es 1,  $\bar{A}_0 = 1$  y  $A'_1, A'_6, A'_7$  son iguales a 0 y el diodo conectado a  $A_0$  emitirá luz y los otros no. Si el error es -1 ( es valor decimal )  $\bar{A}_0 = 0$  y  $A'_1 = A'_6 = A'_7 = 1$  y el diodo conectado a  $A_0$  no emite luz, pero si emiten los otros tres. Variando el potenciómetro conectado al espejo de corriente formado por  $Q_7$  y  $Q_8$  se puede ajustar la corriente de carga del condensador de integración y calibrar la velocidad del motor con una velocidad de referencia, desde luego que esta calibración se hará cuando los indicadores muestren que el error está pasando de un valor positivo a uno negativo.

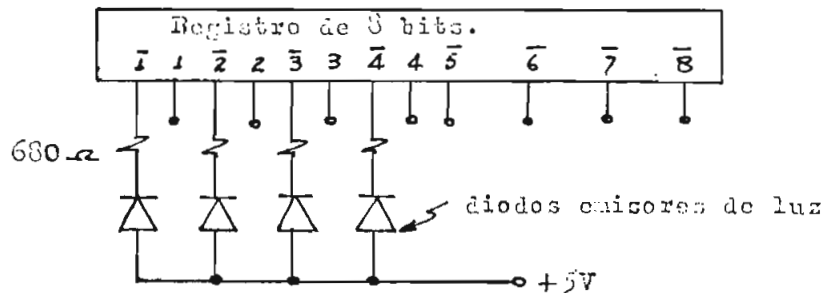


Figura 4.1 Conexión de los indicadores.

Bajo estas consideraciones se han tomado las características experimentales del aparato construido y que muestran el comportamiento y precisión de la regulación.

Los parates se efectuaron cambiando la velocidad que indica el selector con la indicación de una lámpara estroboscópica, y con incrementos de velocidad de 50 rpm. La calibración se realizó a 1.800 rpm.

En la tabla 4.1 muestra los valores de las relaciones efectivas, se incluyen también valores de voltaje de armadura.

La figura 4.2 muestra la variación de la indicación de la velocidad obtenida con la lámpara contra la indicación del selector. Toda curva muestra la velocidad obtenida, en tanto que la curva puntada muestra la velocidad deseada. El valor del segmento de ordenada entre estas dos curvas nos da el error ó precisión de la regulación. Como puede apreciarse el error es inferior a una revolución por segundo en el rango de 650 a 2.700 rpm. Además el error es inferior al 2% en el rango de 1.800 a 2.800 rpm.; fuera de este rango el error se hace más grande, lo que cuando se pierde el control para velocidades superiores a 3.300 rpm e inferiores a 600 rpm. En efecto, esta pérdida del control se debe a que el ciclo máximo de trabajo se tiene a 3.300 rpm y como se puede apreciar de la curva del voltaje de armadura, este tiende a permanecer constante para valores del selector superiores a 3.300 rpm. Para valores del selector inferiores a 600 rpm el voltaje de armadura tiende a permanecer constante y se tiene el mínimo ciclo de trabajo.

Selección de velocidad [rpm]	Módulo de transmisión [rpm]	Voltaje de entrada [Volt.]
400	780	2,90
450	750	2,90
500	700	2,90
550	715	2,90
600	610	2,95
650	700	3,00
700	7-0	3,10
750	7-0	3,20
800	8-0	3,30
850	8-0	3,30
900	9-15	3,40
950	9-55	3,50
1.000	1.0-15	3,60
1.050	1.0-55	3,70
1.100	1.1-40	3,80
1.150	1.1-00	3,90
1.200	1.2-35	4,00
1.250	1.2-00	4,10
1.300	1.3-15	4,20
1.350	1.3-00	4,30
1.400	1.4-15	4,40
1.450	1.4-70	4,50
1.500	1.5-00	4,60

Fig. 1.1. Diagrama de velocidades de los ejes, velocidades obtenidas y relaciones de transmisión de la caja de cambios.

Selector de velocidad [rpm]	Lámpara astro- física [rpm]	Voltaje de medida [Volt.]
1.550	1.550	4,70
1.600	1.610	4,80
1.650	1.660	4,90
1.700	1.710	5,00
1.750	1.760	5,10
1.800	1.810	5,20
1.850	1.850	5,30
1.900	1.900	5,40
1.950	1.945	5,50
2.000	1.995	5,60
2.050	2.040	5,70
2.100	2.070	5,80
2.150	2.120	5,90
2.200	2.170	6,00
2.250	2.210	6,10
2.300	2.260	6,20
2.350	2.305	6,30
2.400	2.350	6,40
2.450	2.400	6,50
2.500	2.450	6,60
2.550	2.495	6,70
2.600	2.550	6,80

Tabla 4.1 Continúa.

Selector de velocidad [rpm]	lámpara estroboscópica [rpm]	Voltaje de alimentación [Volt.]
2.550	2.500	6,90
2.700	2.550	7,00
2.750	2.570	7,10
2.800	2.730	7,20
2.850	2.700	7,30
2.900	2.720	7,40
2.950	2.580	7,50
3.000	2.830	7,60
3.050	2.800	7,70
3.100	3.000	7,80
3.150	3.070	7,90
3.200	3.110	8,00
3.250	3.130	8,10
3.300	3.150	8,20
3.350	3.210	8,35
3.400	3.250	8,30
3.450	3.210	8,35
3.500	3.300	8,40
3.550	3.340	8,45
3.600	3.340	8,50
3.650	3.340	8,50
3.700	3.350	8,50

Tabla 4.1 Continúa.



CAPITULO QUINTO

CONCLUSIONES

1



## 5.1 CONCLUSIONES

La entrada binaria utilizada como la referencia del sistema es de fácil comando, pues la entrada de datos se lo hace en forma decimal, además de que permite fijar un valor de referencia con suficiente precisión.

El tacómetro óptico es muy conveniente por su fácil construcción, ya que, se resume a un disco de simple acoplamiento mecánico y a un fototransistor y un amplificador. El uso de este tacómetro posibilita incrementar la precisión de la muestra aumentando el número de agujeros, esto es, con un tacómetro más sensible la muestra será más exacta y el control será más preciso.

Los contadores cargables reducen la lógica digital pues actúan simultáneamente como contadores de frecuencia y como comparadores, de esta manera se evita trabajar con sumadores y la lógica digital que estos implican para restar.

El convertidor de 3 bits es satisfactorio, no se requiere de un convertidor de una palabra digital mayor que 3 bits, aun cuando se deseara mayor precisión, pues como ya se ha manifestado si el error fuese mayor el modulador mantiene ciclo máximo ó mínimo para conseguir que este entre en el rango normal de operación.

El modulador de Schmitt de circuito integrado ofrece un buen rango de variación del ciclo de trabajo y es muy simple en su construcción.

El diodo que es necesario para mantener la corriente en la exmadura cuando el amplificador de conmutación esta en corte, debe ser de

máximo tiempo de recuperación para reducir la disipación térmica del transistor de potencia.

REVISIONES

- La Encuentro Tercer Circuito Handbook  
(Manual de Semiconductores en Circuitos de Potencia)  
Motorola Semiconductor Products Inc.  
Luzerna Station de Nova York de 1.969, U.S.A..
- Tubes, Diodes, and Switching Tubes  
(Circuitos de Tubos, Diodos y de Conmutación)  
Circuitos de Tubos y Diodos  
General Electric Company Inc.
- Transistors, Circuits - Micro  
Texas Instruments Incorporated  
Circuitos Microelectrónicos S.A.  
Estación de Nova York de 1.67, México.
- DC Motors, Speed Controls, Servo Systems  
(Motores de Corriente Continua, Circuitos de Velocidad, Servosistemas)  
Hitec - Craft Corporation  
Circuitos de Motor, Octubre de 1.73.
- The TTL Data Book for Design Engineers  
(Manual de circuitos TTL para Ingenieros de Diseño)  
Texas Instruments Incorporated  
Circuitos Microelectrónicos, U.S.A..
- Designing with TTL Integrated Circuits  
(Diseño con Circuitos Integrados TTL)  
Texas Instruments Incorporated.

\* Operational Amplifiers, Design and Applications.

( Amplificadores Operacionales, Diseño y Aplicaciones )

David Mason. McGraw-Hill Book Company, U.S.A.

- Libro de Aplicación del Módulo Disparador de Schmitt SM 7413.

Perma Instruments Incorporated.

- Hojas de Datos

Digital-to-Analog converters , DAC- 9 series.

(serie DAC-9 de convertidores Digital-Analógico)

Datal Systems, Inc.

-

A P E N D I C E

HOJAS DE DATOS

TEXAS INSTRUMENTS, ONE TEXAS CENTER, DALLAS, TEXAS 75201  
**BOD-TO-BINARY AND BINARY-TO-BOD CONVERTERS**

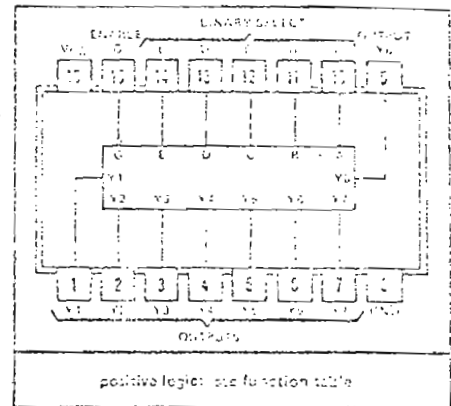
MILITARY NO. NS 741100, FEBRUARY 1971 (REVISED) (FORM 100)

**SN54184, SN74184 BOD-TO-BINARY CONVERTERS**  
**SN54185A, SN74185A BINARY-TO-BOD CONVERTERS**

**Description**

These monolithic converters are derived from the 64-bit 1M1 256-bit read-only memories SN5483 and SN7483. Enable connections are made to provide direct read-out of converted codes at outputs Y8 through Y1 as shown in the function tables. These converters demonstrate the versatility of a read-only memory in that an unlimited number of reference tables or conversion tables may be built into a system using economical, customized read-only memories. Both of these converters comprehend that the least significant bits (LSB) of the binary and BOD codes are logically equal, and in each case the LSB bypasses the converter as illustrated in the typical applications. This means that a 6-bit converter is produced in each case. Both devices are cascadable to N bits.

**JOHN DUAL IN-LINE OR  
 W FLAT PACKAGE (TOP VIEW)**



An overriding enable input is provided on each converter which, when taken high, inhibits the function, causing all outputs to go high. For this reason, and to minimize power consumption, unused outputs Y7 and Y8 of the '184 and all "don't care" conditions of the '184 are programmed high. The outputs are of the open-collector type.

The SN54184 and SN54185A are characterized for operation over the full military temperature range of -55°C to 125°C; the SN74184 and SN74185A are characterized for operation from 0°C to 70°C.

**SN54184 and SN74184 BOD-to-binary converters**

The 6-bit BOD-to-binary function of the SN54184 and SN74184 is analogous to the algorithm:

- a. Shift BOD number right one bit and examine each decade. Subtract three from each 4-bit decade containing a binary value greater than three.
- b. Shift right, examine, and correct after each shift until the least significant decade contains a number smaller than eight and all other non-zero decades contain zeros.

**TABLE I**  
**SN54184, SN74184**  
**PACKAGE COUNT AND DELAY TIMES**  
**FOR BOD TO BINARY CONVERSION**

INPUT (DECADES)	PACK. GCS. REQUIRED	TOTAL DELAY TIME (NS)	
		TYP.	MAX.
2	2	50	100
3	6	140	300
4	11	190	390
5	19	260	490
6	28	360	590

# TMS4184, SN74184, SN74185, SN74186 BCD-TO-BINARY AND BINARY-TO-BCD CONVERTERS

TMS4184 and SN74184 BCD-to-binary converters (continued)

BCD-TO-BINARY CONVERTER



FUNCTION TABLE  
BCD-TO-BINARY  
CONVERTER

BCD WORD	INPUTS				OUTPUTS			
	D	C	B	A	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
0	L	L	L	L	L	L	L	L
1	L	L	L	H	L	L	L	H
2	L	L	H	L	L	L	L	H
3	L	L	H	H	L	L	L	H
4	L	H	L	L	L	L	H	L
5	L	H	L	H	L	L	H	L
6	L	H	H	L	L	L	H	L
7	L	H	H	H	L	L	H	L
8	H	L	L	L	L	H	L	L
9	H	L	L	H	L	H	L	L
10	H	L	H	L	L	H	L	L
11	H	L	H	H	L	H	L	L
12	H	H	L	L	L	H	L	L
13	H	H	L	H	L	H	L	L
14	H	H	H	L	L	H	L	L
15	H	H	H	H	L	H	L	L

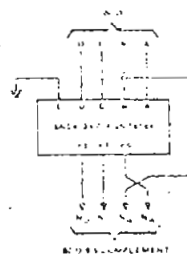
L = low level, H = high level, X = irrelevant

NOTES: A. Input conditions other than those shown produce logic outputs Y<sub>0</sub> through Y<sub>3</sub>.

B. Outputs Y<sub>0</sub>, Y<sub>1</sub>, and Y<sub>2</sub> are not used for BCD to binary conversion.

In addition to BCD-to-binary conversion, the SN74184 and SN74185 are programmed to generate BCD 9's complement or BCD 10's complement. Each device has a control bit at the complement enable input which can toggle the complement enable input signal to one end of the BCD bus; therefore, the complement bits can be selected on three lines. As an example, Y<sub>0</sub>, Y<sub>1</sub>, and Y<sub>2</sub> are not required in the BCD-to-binary conversion; they are studied to provide the complement output as specified in the truth table below. Note that when the devices are used as BCD-to-binary converters, the

BCD 9'S  
COMPLEMENT CONVERTER



BCD 10'S  
COMPLEMENT CONVERTER



FUNCTION TABLE  
BCD 9'S OR BCD 10'S  
COMPLEMENT CONVERTER

BCD WORD	INPUTS				OUTPUTS			
	D	C	B	A	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
0	L	L	L	L	L	L	L	L
1	L	L	L	H	L	L	L	H
2	L	L	H	L	L	L	L	H
3	L	L	H	H	L	L	L	H
4	L	H	L	L	L	L	H	L
5	L	H	L	H	L	L	H	L
6	L	H	H	L	L	L	H	L
7	L	H	H	H	L	L	H	L
8	H	L	L	L	L	H	L	L
9	H	L	L	H	L	H	L	L
10	H	L	H	L	L	H	L	L
11	H	L	H	H	L	H	L	L
12	H	H	L	L	L	H	L	L
13	H	H	L	H	L	H	L	L
14	H	H	H	L	L	H	L	L
15	H	H	H	H	L	H	L	L

H = high level, L = low level, X = irrelevant

NOTES: C. Input conditions other than those shown produce logic outputs Y<sub>0</sub>, Y<sub>1</sub>, and Y<sub>2</sub>.

D. Outputs Y<sub>1</sub> through Y<sub>3</sub> are not used for BCD 9's or BCD 10's complement conversion.

When these devices are used as complement converters, input E is used as a mode control. With the input low, the BCD 9's complement is generated; when it is high, the BCD 10's complement is generated.

TEXAS INSTRUMENTS  
CORPORATION

12000 TI BLDG., DALLAS, TEXAS 75243

TWIS 810004, 81B0004A, 81W0004, 81W0004A  
 MODULAR AND SMART-TO-BCD CONVERTERS

TYPICAL APPLICATION DATA  
 SN54184, SN74184



FIGURE 1—BCD-TO-BINARY CONVERTER  
 FOR TWO BCD DECADES

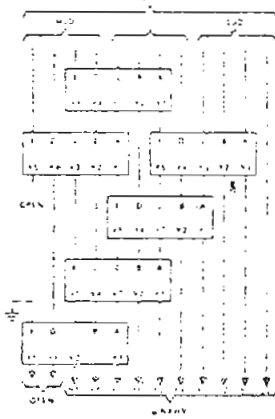


FIGURE 2—BCD-TO-BINARY CONVERTER  
 FOR THREE BCD DECADES

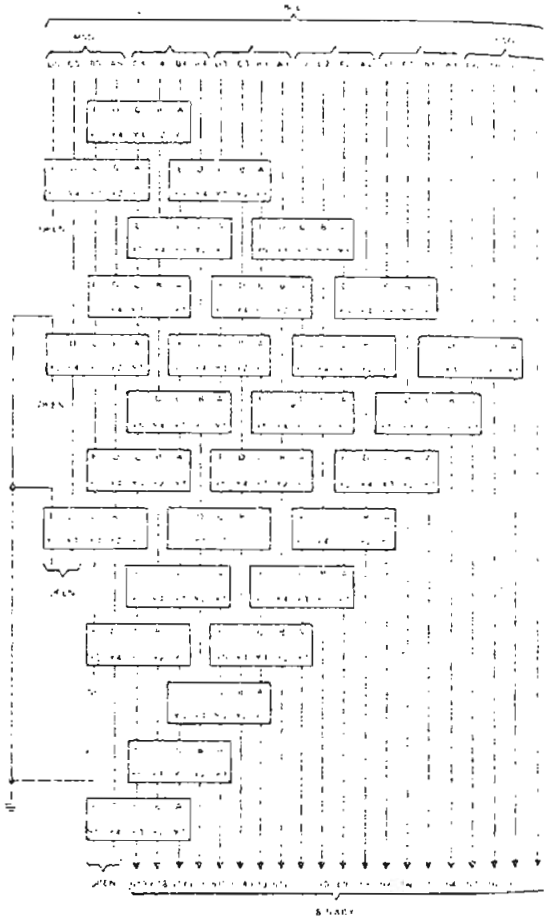


FIGURE 3—BCD-TO-BINARY CONVERTER  
 FOR SIX BCD DECADES

MDD—most significant decade  
 LSD—least significant decade  
 C—carry input; carry output



MMQ300 (SILICON)  
MMQ310

**NPN SILICON HIGH SENSITIVITY  
PHOTO TRANSISTOR**

... designed for application in industrial inspection, processing and control, counters, timers, switching and logic circuits or any design requiring radiation sensitivity, and stable characteristics.

- Popular TO-18 Type Package for Easy Handling and Mounting
- Sensitive Throughout Visible and Near Infra-Red Spectral Range for Wider Application
- Minimum Light Current 4 mA at  $H = 5 \text{ mV/cm}^2$  (MRD 300)
- External Base for Added Control
- Annular Passivated Structure for Stability and Reliability

**50 VOLT  
PHOTO TRANSISTOR  
NPN SILICON**

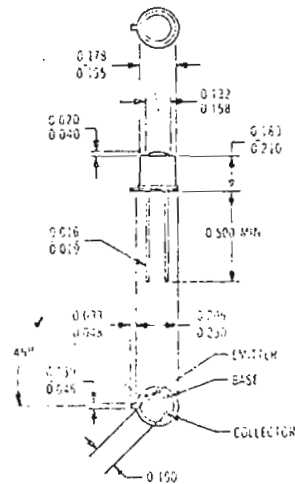
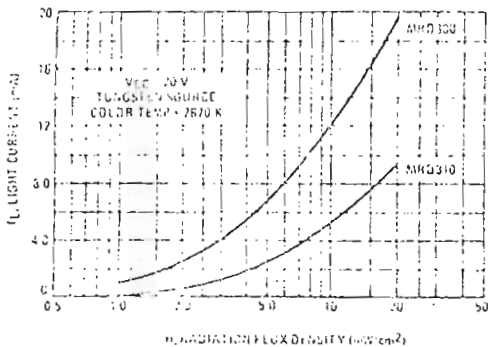
**250 MILLIWATTS**



MAXIMUM RATINGS (TA = 25°C unless otherwise noted)

Rating (Note 1)	Symbol	Value	Unit
Collector-Emitter Voltage	V <sub>CE0</sub>	50	Volts
Emitter-Base Voltage	V <sub>EB0</sub>	7.0	Volts
Collector-Base Voltage	V <sub>CB0</sub>	50	Volts
Total Device Dissipation @ TA = 25°C	P <sub>D</sub>	250	mW
Derate above 25°C		1.43	mW/°C
Operating Junction and Storage Temperature Range	T <sub>J</sub> , T <sub>stg</sub>	-65 to +200	°C

**FIGURE 1 - LIGHT CURRENT versus IRRADIANCE**



NOTES: 1. See mechanical drawing for details.  
 2. External dimensions in millimeters.  
 3. Package weight: 0.45 grams

CASE 102  
TO 18

MRD300, MRD310 (continued)

STATIC ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Collector Dark Current ( $V_{CC} = 20\text{ V}$ , $R_L = 0$ ; $T_A = 25^\circ\text{C}$ $T_A = 100^\circ\text{C}$ )	$I_{CEO}$	— —	— 4.0	25 —	$\mu\text{A}$ $\mu\text{A}$
Collector Base Breakdown Voltage ( $I_C = 100\ \mu\text{A}$ )	$BV_{CBO}$	20	—	—	Volts
Collector-Emitter Breakdown Voltage ( $I_C = 100\ \mu\text{A}$ )	$BV_{CEO}$	50	—	—	Volts
Emitter-Collector Breakdown Voltage ( $I_E = 100\ \mu\text{A}$ )	$BV_{ECO}$	7.0	—	—	Volts

OPTICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)

Characteristic	Device Type	Symbol	Min	Typ	Max	Unit
Light Current ( $V_{CC} = 20\text{ V}$ , $R_L = 100\text{ ohms}$ ) Note 1	MRD300 MRD310	$I_L$	4.0 1.0	7.5 2.5	— —	$\text{mA}$
Light Current ( $V_{CC} = 20\text{ V}$ , $R_L = 100\text{ ohms}$ ) Note 2	MRD300 MRD310	$I_L$	— —	2.5 0.8	— —	$\text{mA}$
Photo Current Rise Time (Note 3) ( $R_L = 100\text{ ohms}$ $I_L = 1.0\text{ mA peak}$ )		$t_r$	—	—	2.5	$\mu\text{s}$
Photo Current Fall Time (Note 3) ( $R_L = 100\text{ ohms}$ $I_L = 1.0\text{ mA peak}$ )		$t_f$	—	—	4.0	$\mu\text{s}$

NOTES:

1. Radiation flux density (H) equal to  $5.0\text{ mW/cm}^2$  emitted from a tungsten source at a color temperature of  $2870\text{ K}$ .
2. Radiation flux density (H) equal to  $0.5\text{ mW/cm}^2$  (pulsed) from a GaAs (gallium arsenide) source at  $\lambda \approx 0.9\ \mu\text{m}$ .
3. For unsaturated response time measurements, radiation is provided by pulsed GaAs (gallium-arsenide) light-emitting diode ( $\lambda \approx 0.9\ \mu\text{m}$ ) with a pulse width equal to or greater than 10 microseconds (see Figure 6)  $I_L = 1.0\text{ mA peak}$ .

TYPICAL ELECTRICAL CHARACTERISTICS

FIGURE 2 - COLLECTOR-EMITTER SATURATION CHARACTERISTIC.

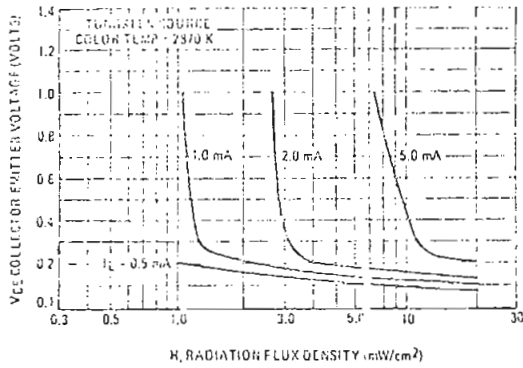


FIGURE 3 - NORMALIZED LIGHT CURRENT versus TEMPERATURE

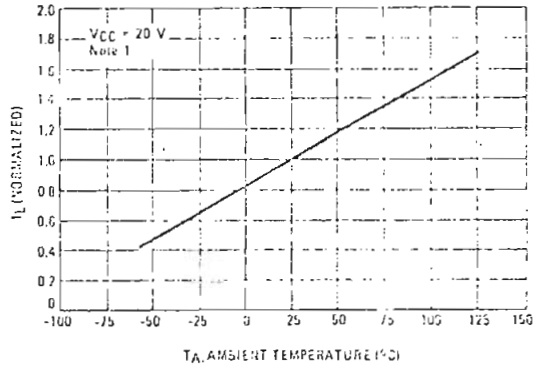


FIGURE 4 - RISE TIME versus LIGHT CURRENT

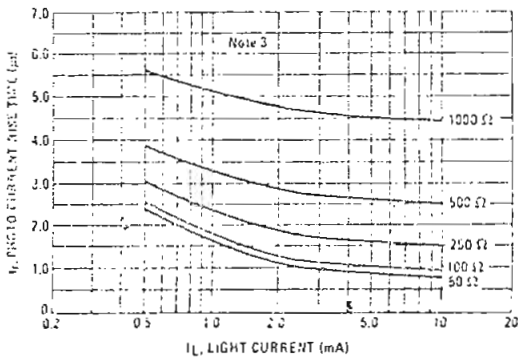


FIGURE 5 - FALL TIME versus LIGHT CURRENT

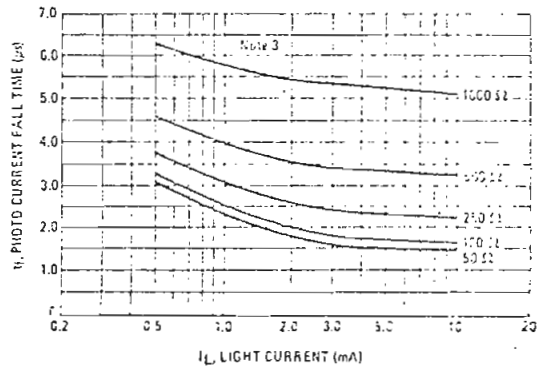


FIGURE 6 - PULSE RESPONSE TEST CIRCUIT AND WAVEFORM

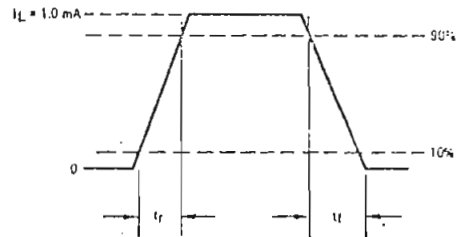
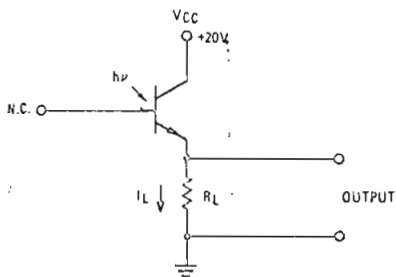


FIGURE 7 - DARK CURRENT versus TEMPERATURE

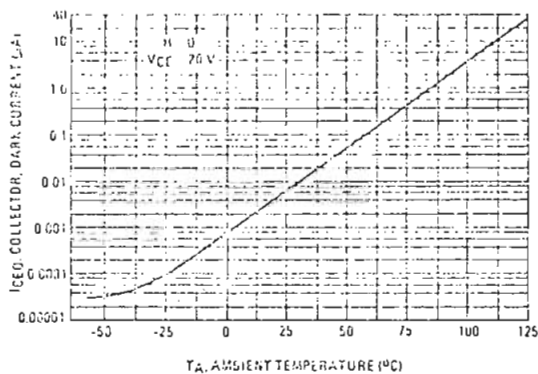


FIGURE 8 - CONSTANT ENERGY SPECTRAL RESPONSE

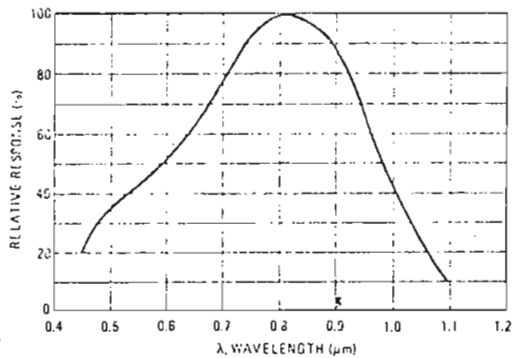
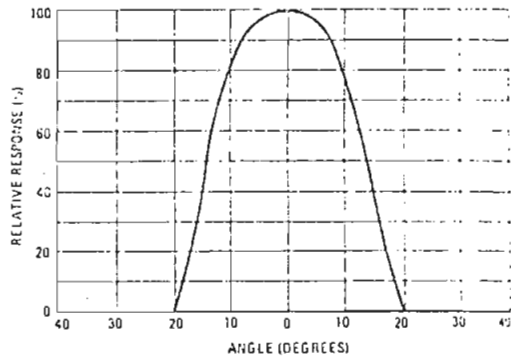


FIGURE 9 - ANGULAR RESPONSE

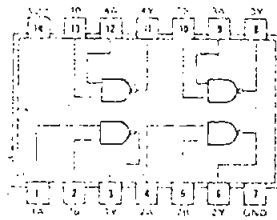


60

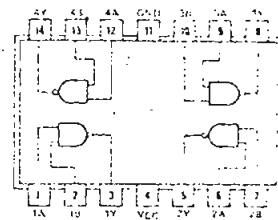
QUADRUPLE 2-INPUT  
POSITIVE-NAND GATES

positive logic:  
 $Y = \overline{AB}$

See page 66



SN5400/SN7400(J, N)  
 SN54H00/SN74H00(J, N)  
 SN54L00/SN74L00(J, N)  
 SN54LS00/SN74LS00(J, N, W)  
 SN54S00/SN74S00(J, N, W)



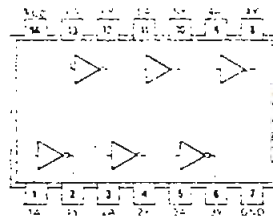
SN5460/SN7460(W)  
 SN54HC0/SN74HC0(W)  
 SN54L00/SN74L00(T)

64

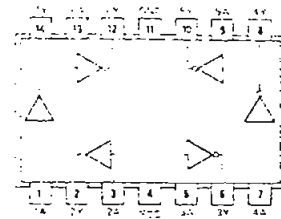
HEX INVERTERS

positive logic:  
 $Y = \overline{A}$

See page 66



SN5404/SN7404(J, N)  
 SN54HC4/SN74HC4(J, N)  
 SN54L04/SN74L04(J, N)  
 SN54LS04/SN74LS04(J, N, W)  
 SN54S04/SN74S04(J, N, W)



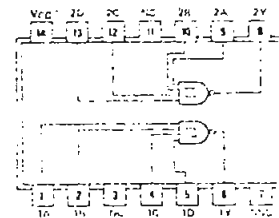
SN5404/SN7404(W)  
 SN54HC4/SN74HC4(W)  
 SN54L04/SN74L04(T)

13

DUAL 4-INPUT  
POSITIVE-NAND  
SCHMITT TRIGGERS

positive logic:  
 $Y = \overline{ABCD}$

See page 68



SN5413/SN7413(J, N, W)

NC—No internal connection

# 54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

## MONOSTABLE MULTIVIBRATORS . . . LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

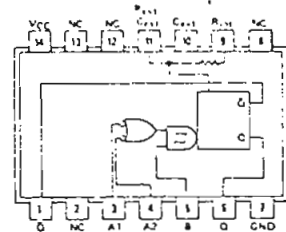
121

### MONOSTABLE MULTIVIBRATORS

FUNCTION TABLE

INPUTS			OUTPUTS	
A1	A2	B	Q	Q'
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⎓	⎓
↓	H	H	⎓	⎓
↓	↓	H	⎓	⎓
L	X	↑	⎓	⎓
X	L	↑	⎓	⎓

See Notes



SN54121/SN74121(J, N, W)  
 SN54L121/SN74L121(J, N, T)  
 \*121 . . .  $R_{int} = 2 \text{ k}\Omega \text{ NOM}$   
 \*L121 . . .  $R_{int} = 4 \text{ k}\Omega \text{ NOM}$   
 NC—No internal connection

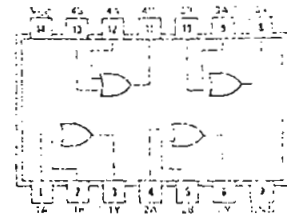
See page 134

32

QUADRUPLE 2-INPUT  
 POSITIVE-OR GATES

positive logic:  
 $Y = A + B$

See page 105



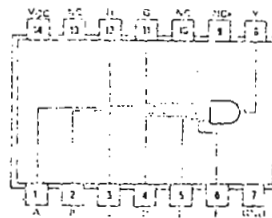
SN5432/SN7432(J, N, W)  
 SN54LS32/SN74LS32(J, N, W)

30

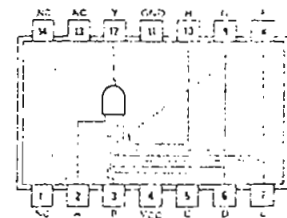
8-INPUT  
 POSITIVE-NAND GATES

positive logic:  
 $Y = ABCDEFGH$

See page 85



SN5430/SN7430(J, N)  
 SN54H30/SN74H30(J, N)  
 SN54L30/SN74L30(J, N)  
 SN54LS30/SN74LS30(J, N, W)  
 SN54S30/SN74S30(J, N, W)



SN5430/SN7430(W)  
 SN54H30/SN74H30(W)  
 SN54L30/SN74L30(T)

NC—No internal connection

TEXAS INSTRUMENTS  
 INCORPORATED

# MONOSTABLE MULTIVIBRATORS WITH SCHMITT-TRIGGER INPUTS

## TYPICAL CHARACTERISTICS (continued)

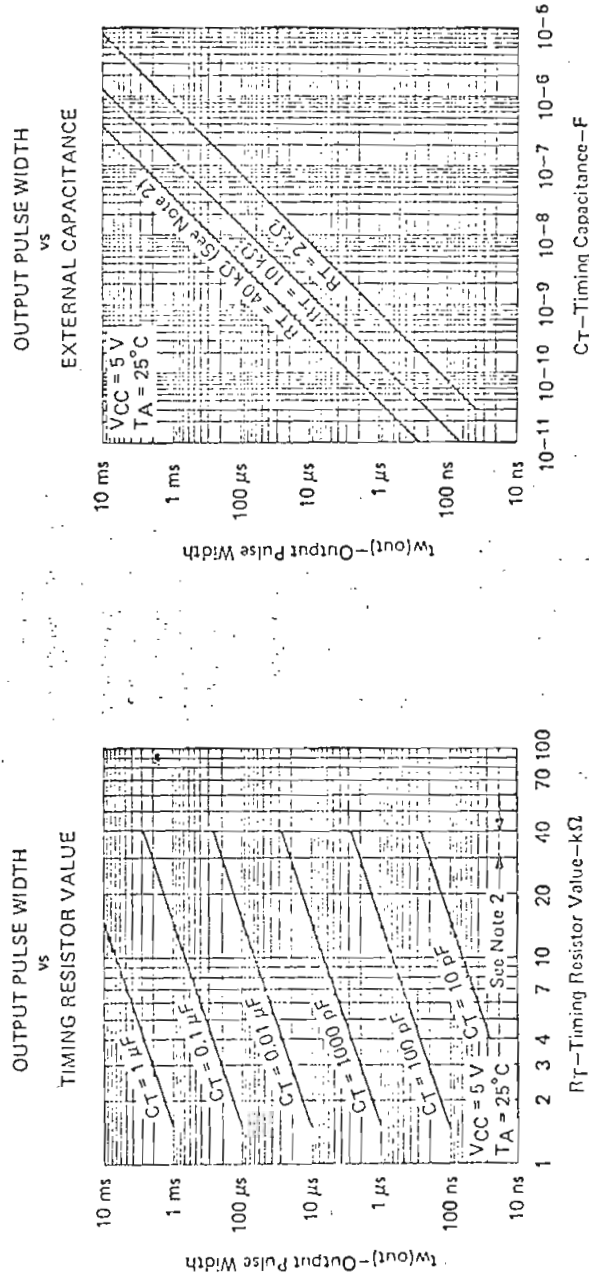


FIGURE 6

FIGURE 7

5 Data for temperatures below 0°C and above 70°C are applicable for SN54L121 and SN54L121 only.  
 NOTE 2: These values of resistance exceed the maximum recommended for use over the full temperature range of the SN54L121 and SN54L121.

TTL  
T101

TYPES SN5400A, SN5402A, SN5403A, SN54100, SN54103,  
SN7400A, SN7402A, SN7403A, SN74100, SN74103  
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

LOGIC SYMBOLS, GATE SYMBOLS, AND PACKAGES

'90A, 'L90 ... DECADE COUNTERS

'92A ... DIVIDE-BY-TWELVE  
COUNTER

'93A, 'L93 ... 4-BIT BINARY  
COUNTERS

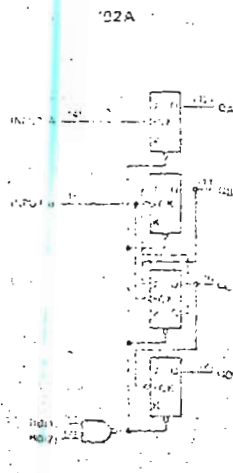
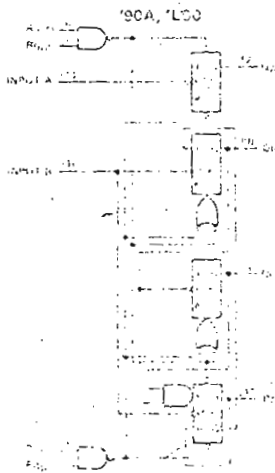
Description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'L90, divide-by-six for the '92A, and divide-by-eight for the '93A and 'L93.

All of these counters have a gated zero reset and the '90A and 'L90 also have gated set-to-nine inputs for use in SCD nine's complement applications.

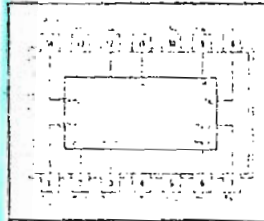
To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the  $Q_A$  output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'L90 counters by connecting the  $Q_D$  output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output  $Q_A$ .

functional block diagrams

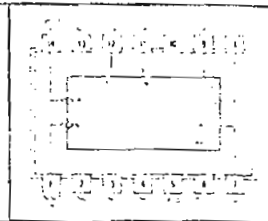


'90A ... J, N, OR W PACKAGE

'L90 ... J, N, OR T PACKAGE  
(TOP VIEW)

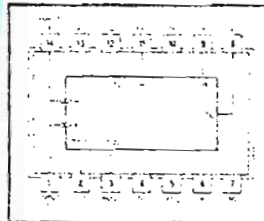


'92A ... J, N, OR W PACKAGE  
(TOP VIEW)

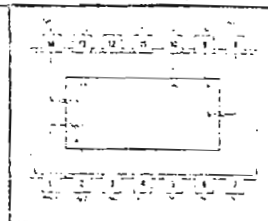


positive logic; see function tables

'93A ... J, N, OR W PACKAGE  
(TOP VIEW)



'L93 ... J, N, OR T PACKAGE  
(TOP VIEW)



positive logic; see function tables

NC: No internal connection

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	20 mW
'92A, '93A	130 mW
'L93	16 mW

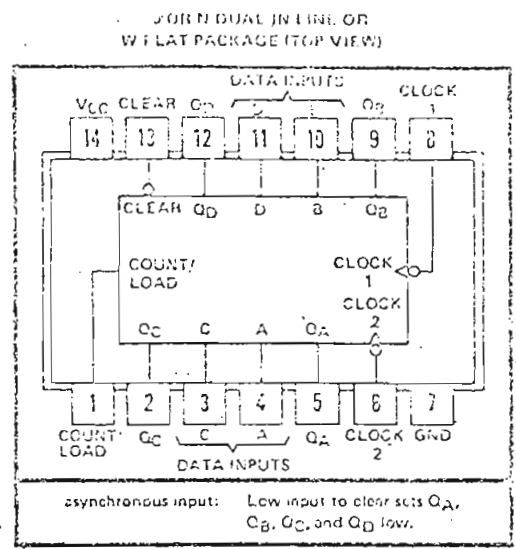


11  
101

TYPES SN54176, SN54177, SN74176, SN74177  
35-MHz PRESETTABLE DECADE AND  
BINARY COUNTERS/LATCHES

PULL UP TO V<sub>CC</sub> 3.721147 MAY 1971 (REVISED) 1971

- Reduced-Power Versions of SN54196, SN54197, SN74196, and SN74197 50-MHz Counters
- D-C Coupled Counters Designed to Replace Signetics 8260, 8261, 8260, and 8291 Counters in Most Applications
- Performs BCD, Bi-Quinary, or Binary Counting
- Fully Programmable
- Fully Independent Clear Input
- Guaranteed to Count at Input Frequencies from 0 to 35 MHz
- Input Clamping Diodes Simplify System Design



description

These high-speed monolithic counters consist of four d-c coupled master-slave flip-flops which are internally interconnected to provide either a divide-by-two and a divide-by-five counter (SN54176, SN74176) or a divide by two and a divide-by-eight counter (SN54177, SN74177). These counters are fully programmable; that is, the outputs may be preset to any state by placing a low on the count/load input and entering the desired data at the data inputs. The outputs will change to agree with the data inputs independent of the state of the clocks.

These counters may also be used as 4-bit latches by using the count/load input as the strobe and entering data at the data inputs. The outputs will directly follow the data inputs when the count/load is low, but will remain unchanged when the count/load is high and the clock inputs are inactive.

These high-speed counters will accept count frequencies of 0 to 35 megahertz at the clock 1 input and 0 to 17.5 megahertz at the clock 2 input. During the count operation, transfer of information to the outputs occurs on the negative-going edge of the clock pulse. The counters feature a direct clear which, when taken low, sets all outputs low regardless of the state of the clocks.

All inputs are diode-clamped to minimize transmission-line effects and simplify system design. The circuits are compatible with most TTL and DTL logic families. Typical power dissipation is 150 milliwatts. The SN54176 and SN54177 circuits are characterized for operation over the full military temperature range of -55°C to 125°C; the SN74176 and SN74177 circuits are characterized for operation from 0°C to 70°C.

TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,  
SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175  
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

ICL 00111810, 04, 5, 271100, D, 010001, 10/12

'174, 'LS174, 'S174... HEX D-TYPE FLIP-FLOPS  
'175, 'LS175, 'S175... QUADRUPLE D-TYPE FLIP-FLOPS

- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
  - Buffer/Storage Registers
  - Shift Registers
  - Pattern Generators

Description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flop.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the trailing-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

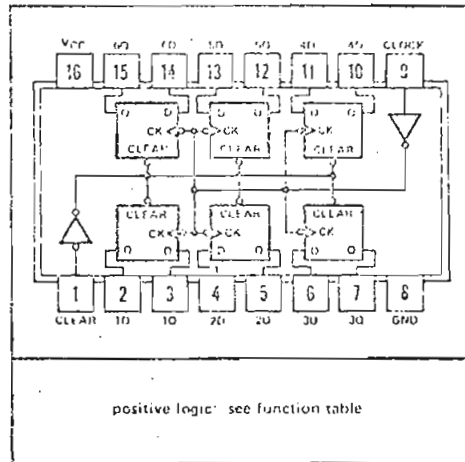
These circuits are fully compatible for use with most TTL or DTL circuits.

FUNCTION TABLE  
(EACH FLIP-FLOP)

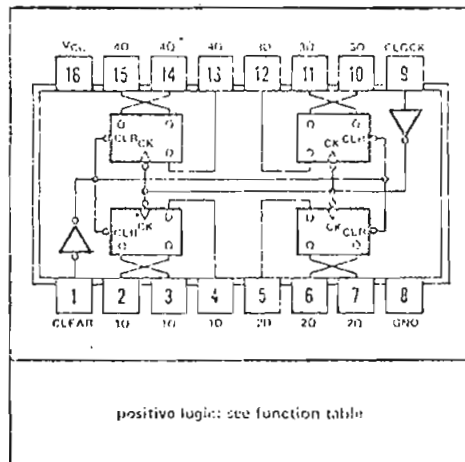
INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	$\bar{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	$Q_0$	$\bar{Q}_0$

- ↑ = 20 ns level (steady state)
- ↓ = 20 ns level (steady state)
- X = irrelevant
- ↑ = transition from low to high level
- $Q_0$  = the level of Q before the indicated steady-state input conditions were established.
- '175, 'LS175, and 'S175 only

SN54S174... J OR W PACKAGE  
'174, 'LS174, SN74S174... J, N, OR W PACKAGE  
(TOP VIEW)

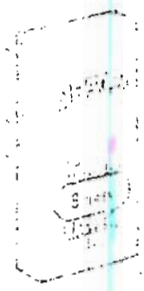


'175, 'LS175, 'S175... J, N, OR W PACKAGE  
(TOP VIEW)



TYPES	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION PER FLIP-FLOP
'174, '175	35 MHz	38 mW
'LS174, 'LS175	40 MHz	11 mW
'S174, 'S175	110 MHz	75 mW

FORMERLY **ANALOG SYSTEMS, INC.**  
A DIVISION OF TAYLOR, INC.



## DIGITAL-TO-ANALOG CONVERTERS

### DAC-9 series

### DESCRIPTION

Dattel's DAC-9 series Digital/Analog Converters offer a significant breakthrough in cost/performance which makes them ideally suited for OEM applications.

The combination of low cost and moderate performance recommends the DAC-9 series for applications in computer display systems, data transmission, semiconductor test equipment and programmed/feedback control systems or any requirement where moderate accuracy and settling time will suffice.

DAC-9 series converters incorporate the latest solid state technology and design concepts and are completely self contained in compact plastic cases measuring no larger than 2" x 2" x 0.4" which can mount on any printed circuit board much like any electronic component.

Two versions of DAC-9 series converters are available - *current output* (300 nanosec. settling time) whose output may be terminated with a resistive load to develop an output voltage, or a low impedance *voltage output* whose output is buffered with an operational amplifier.

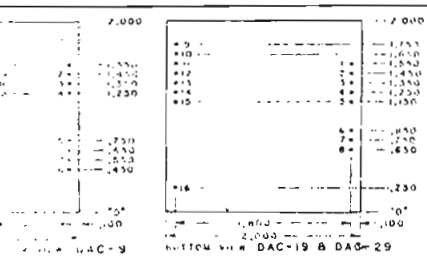
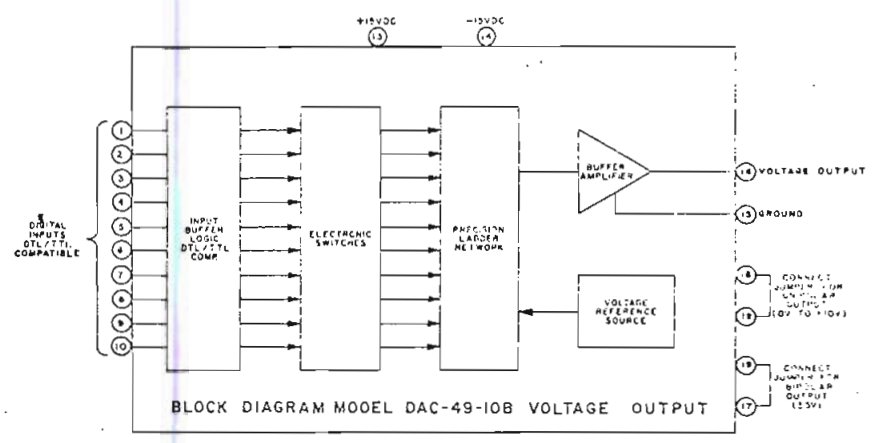
DAC-9 series converters have input resolutions of 8, 10, or 12 binary bits and for those who require binary coded decimal, two or three digit BCD. Input coding can be straight binary, two's complement, or binary coded decimal. Full scale voltage output can be either unipolar (0 to +10V @ 5 ma) or bipolar ( $\pm 5V$  @  $\pm 5$  ma) by means of externally programming (pin strapping) the unit. The current output models have full scale output current of +2.6 ma at a maximum voltage compliance of +1.2V.

All digital inputs are compatible with DTL/TTL logic levels and each D/A Converter will operate over a temperature range of 0° to +70°C and most can be supplied with extended temperature range of -25°C to +85°C at additional cost.

## FIRST D/A UNDER \$10.99 IN SINGLE QTY.

### FEATURES

- Low Cost . . . . . \$9.95 Ea./8 Binary Bits
- Choice Of Output . . . . . Current Or Voltage
- High Resolution . . . . . Up To 12 Binary Bits
- Programmable Output . . . . . 0 To +10V or  $\pm 5V$
- Fast Settling Time . . . . . 300 Nanosec - Current Output  
5  $\mu$ sec - Voltage Output
- Variety Of Input Formats . . . . . Straight Binary, 2's Complement Or BCD
- Complete . . . . . Requires Only D.C. Power For Operation



### MODULE INPUT/OUTPUT CONNECTIONS

PIN	FUNCTION	DAC-9-8BI	FUNCTION	DAC-9-8CI	FUNCTION	DAC-9-10BI	FUNCTION	DAC-9-10CI	FUNCTION	DAC-9-12BI	FUNCTION	DAC-9-12CI
1	DIT 1 (MSB)	BIT 1 (MSB)	DIT 1 (MSB)	BIT 1 (MSB)	DIT 1 (MSB)	BIT 1 (MSB)	DIT 1 (MSB)	BIT 1 (MSB)	DIT 1 (MSB)	BIT 1 (MSB)	DIT 1 (MSB)	BIT 1 (MSB)
2	DIT 2	BIT 2	DIT 2	BIT 2	DIT 2	BIT 2	DIT 2	BIT 2	DIT 2	BIT 2	DIT 2	BIT 2
3	DIT 3	BIT 3	DIT 3	BIT 3	DIT 3	BIT 3	DIT 3	BIT 3	DIT 3	BIT 3	DIT 3	BIT 3
4	DIT 4	BIT 4	DIT 4	BIT 4	DIT 4	BIT 4	DIT 4	BIT 4	DIT 4	BIT 4	DIT 4	BIT 4
5	DIT 5	BIT 5	DIT 5	BIT 5	DIT 5	BIT 5	DIT 5	BIT 5	DIT 5	BIT 5	DIT 5	BIT 5
6	DIT 6	BIT 6	DIT 6	BIT 6	DIT 6	BIT 6	DIT 6	BIT 6	DIT 6	BIT 6	DIT 6	BIT 6
7	DIT 7	BIT 7	DIT 7	BIT 7	DIT 7	BIT 7	DIT 7	BIT 7	DIT 7	BIT 7	DIT 7	BIT 7
8	DIT 8 (LSB)	BIT 8 (LSB)	DIT 8 (LSB)	BIT 8 (LSB)	DIT 8 (LSB)	BIT 8 (LSB)	DIT 8 (LSB)	BIT 8 (LSB)	DIT 8 (LSB)	BIT 8 (LSB)	DIT 8 (LSB)	BIT 8 (LSB)
9	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE
10	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE
11	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE
12	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE	ENABLE
13	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC	+5VDC
14	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC	-5VDC
15	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT
16	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT
17	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT	OUTPUT

MECHANICALS

## DIGITAL INPUTS

RESOLUTION	8 Binary Bits or 2 Digit BCD	8 Binary Bits or 2 Digit BCD	8 Binary Bits or 2 Digit BCD
CODING	Straight Binary (Unipolar Output) BCD (Unipolar Output)	Straight Binary (Unipolar Output) BCD (Unipolar Output) Two's Complement (Bipolar Output)	Straight Binary (Unipolar Output) BCD (Unipolar Output) Two's Complement (Bipolar Output)
Parallel data in the following formats			
DATA INPUTS			
Input Code	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load
V Input			
Min.			
Max.			
"0"	0V	0V	0V
"1"	+2.0V	+2.0V	+2.0V
Bit Status	OFF	OFF	OFF
	ON	ON	ON
UPDATE RATE	5 MHz typical	5 MHz typical	5 MHz typical
Voltage output limited by output amplifier settling time			
ANALOG OUTPUT (@25°C)			
ACCURACY	Adj. to ±0.2% of FS	Adj. to ±0.2% of FS	Adj. to ±0.2% of FS
LINEARITY	±1/2 LSB	±1/2 LSB	±1/2 LSB
TYPE OF OUTPUT	Current	Optional – Current or Voltage	Voltage
OUTPUT			
Current output models	BCD Binary		
	0 to +1.6 ma ±2% @ +1.2V max. 0 to +2.6 ma ±2% @ +1.2V max.	0 to +1.54 ma ±0.6 ma @ +1.2V max. 0 to +2.5 ma ±0.1 ma @ +1.2V max.	N.A. N.A.
Voltage output models	N.A.	0 to +10V @ 5ma ±5V @ ±5 ma	0 to +10V @ 5ma ±5V @ ±5ma
OUTPUT LOADING			
Current output models	416 Ohms For +1.0V Output (Binary) 704 Ohms For +0.99V Output (BCD)	416 Ohms For +1.0V Output (Binary) 704 Ohms For +0.99V Output (BCD)	416 Ohms For +1.0V Output (Binary) 704 Ohms For +0.99V Output (BCD)
Voltage output models	N.A.	2K Ohms For 0 to +10V Output 1K Ohms For ±5V Output	2K Ohms For 0 to +10V Output 1K Ohms For ±5V Output
OUTPUT SETTLING TIME			
Current output models	1 μsec to ±0.2% of FS	300 nsec to ±0.2% of FS	N.A.
Voltage output models	N.A.	20 μsec to ±0.2% of FS	5 μsec to ±0.2% of FS
OUTPUT RESOLUTION			
Current output models	10 μA (1 LSB)	10 μA (1 LSB)	N.A.
Voltage output models	N.A.	40 mV For 8 Binary Bits (1 LSB) 100 mV For 2 Digit BCD (1 LSD)	40 mV For 8 Binary Bits (1 LSB) 100 mV For 2 Digit BCD (1 LSD)
TEMPERATURE COEFFICIENT	±100 ppm/°C	±50 ppm/°C	±50 ppm/°C
LONG TERM STABILITY	±0.1%/Yr.	±0.05%/Yr.	±0.05%/Yr.
REFERENCE SOURCE	Derived from +15VDC Power Supply*	Internal	Internal
INPUT POWER REQUIREMENTS	+15VDC @ 10ma -15 VDC @ 10ma for "R" Versions Only	+15VDC @ 15ma -15VDC @ 10ma	+15VDC @ 15ma -15VDC @ 10ma
PHYSICAL ENVIRONMENTAL			
OPERATING TEMPERATURE RANGE	0° to +70°C	0° to +70°C	0° to +70°C
STORAGE TEMPERATURE RANGE	-55° to +85°C	-55° to +85°C	-55° to +85°C
RELATIVE HUMIDITY	Up To 100% Non-Condensing	Up To 100% Non-Condensing	Up To 100% Non-Condensing
SIZE	2"L x 1"W x 0.4"H Plug-In Module	2"L x 2"W x 0.4"H Plug-In Module	2"L x 2"W x 0.4"H Plug-In Module
PINS	0.020" Round Gold Plated 0.250" Long Minimum	0.020" Round Gold Plated 0.250" Long Minimum	0.020" Round Gold Plated 0.250" Long Minimum
CASE MATERIAL	Black Diallyl Phthalate	Black Diallyl Phthalate	Black Diallyl Phthalate
WEIGHT	2 oz.	2 oz.	2 oz.
REMARKS	For Bipolar Current Output See Application Notes Figure 4 For Multiplying Applications See Figure A	For Bipolar Current Output See Application Notes Figure 4	
PRICE	\$ 9.95 ea.	\$19.00 ea.	\$29.00 ea.

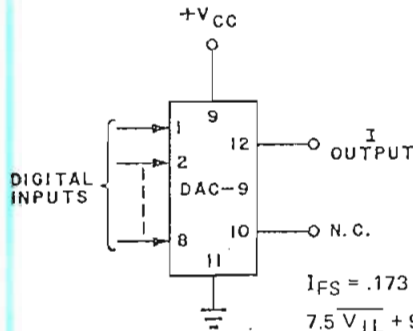
12 Binary Bits	12 Binary Bits
Straight Binary (Unipolar Output) Two's Complement (Bipolar Output)	Straight Binary (Unipolar Output) Two's Complement (Bipolar Output)
DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load
5 MHz typical	5 MHz typical
Adj. to $\pm 0.025\%$ of FS	Adj. to $\pm 0.025\%$ of FS
$\pm 1/2$ LSB	$\pm 1/2$ LSB
Optional - Current or Voltage	Optional - Current or Voltage
N.A. 0 to +2.5 ma $\pm 0.1$ ma @ 1.2V max.	N.A. 0 to +2.5 ma $\pm 0.1$ ma @ 1.2V max.
0 to +10V FS @ 5ma $\pm 5V$ @ $\pm 5$ ma	0 to +10V FS @ 5ma $\pm 5V$ @ $\pm 5$ ma
416 Ohms For +1.0V Output (Binary) 704 Ohms For +0.99V Output (BCD)	416 Ohms For +1.0V Output (Binary) 704 Ohms For +0.99V Output (BCD)
2K Ohms For 0 to +10V Output 1K Ohms For $\pm 5V$ Output	2K Ohms For 0 to +10V Output 1K Ohms For $\pm 5V$ Output
300 nsec to $\pm 0.025\%$ of FS	300 nsec to $\pm 0.025\%$ of FS
20 $\mu$ sec to $\pm 0.025\%$ of FS	20 $\mu$ sec to $\pm 0.025\%$ of FS
0.625 $\mu$ A (1 LSB)	0.625 $\mu$ A (1 LSB)
2.5 mV for 12 Binary Bits (1 LSB)	2.5 mV for 12 Binary Bits (1 LSB)
$\pm 50$ ppm/ $^{\circ}$ C	$\pm 50$ ppm/ $^{\circ}$ C
$\pm 0.025\%$ /Yr.	$\pm 0.025\%$ /Yr.
Internal	Internal
+15VDC @ 20ma -15VDC @ 20ma	+15VDC @ 20ma -15VDC @ 20ma
0 $^{\circ}$ to +70 $^{\circ}$ C	0 $^{\circ}$ to +70 $^{\circ}$ C
-55 $^{\circ}$ to +85 $^{\circ}$ C	-55 $^{\circ}$ to +85 $^{\circ}$ C
Up To 100% Non-Condensing	Up To 100% Non-Condensing
2"L x 2"W x 0.4"H Plug-In Module	2"L x 2"W x 0.4"H Plug-In Module
0.020" Round Gold Plated 0.250" Long Minimum	0.020" Round Gold Plated 0.250" Long Minimum
Black Diallyl Phthalate	Black Diallyl Phthalate
2 oz.	2 oz.

Current Output  
See Application Notes  
Figure 4

For Bipolar Current Output  
See Application Notes  
Figure 4

DAC-9-8BI  
DAC-9-8DI ONLY

LIMITED RANGE MULTIPLYING DAC FIG. A



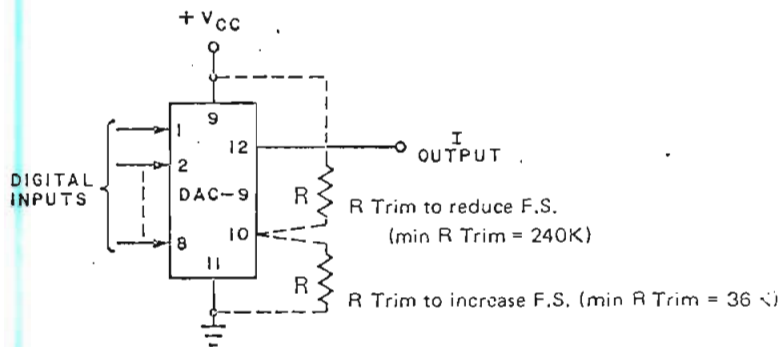
$$I_{FS} = .173 V_{CC}$$

$$7.5 V_{IL} + 9 < V_{CC} < 7.5 V_{IH}$$

WHERE

- $V_{CC}$  = Input Voltage (Volts)
- $I_{FS}$  = DAC F.S. current output (mA)
- $V_{IL}$  = Max. Digital input LOW Voltage (Volts)
- $V_{IH}$  = Min. Digital input HIGH Voltage (Volts)

FULL SCALE ADJUSTMENT FIG. B



ORDERING INFORMATION

DAC-9 -

NUMBER OF BITS AND CODING	
8B	8 BINARY BITS
8D	2 DIGIT BCD (8, 4, 2, 1)

DAC-29 -

NUMBER OF BITS AND CODING	
8B	8 BINARY BITS VOLTAGE OUT
8D	2 DIGIT BCD (8, 4, 2, 1) VOLTAGE OUT

DAC-19 -

NUMBER OF BITS AND CODING	
8B	8 BINARY BITS VOLTAGE OUT
8D	2 DIGIT BCD (8, 4, 2, 1) VOLTAGE OUT
8C	2 DIGIT BCD (8, 4, 2, 1) CURRENT OUT
8D	2 DIGIT BCD (8, 4, 2, 1) CURRENT OUT

DAC-49 -

NUMBER OF BITS AND CODING	
10B	10 BINARY BITS VOLTAGE OUT
10C	10 BINARY BITS CURRENT OUT
12B	12 BINARY BITS VOLTAGE OUT
12C	12 BINARY BITS CURRENT OUT

DAC-69 -

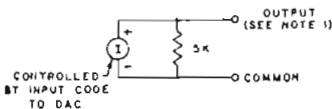
NUMBER OF BITS AND CODING	
12B	12 BINARY BITS VOLTAGE OUT
12C	12 BINARY BITS CURRENT OUT

# INPUT CODING FOR DAC-9 SERIES VOLTAGE OUTPUT VERSIONS

ANALOG OUTPUT RANGE (±5V, FS)			BINARY (ONLY) 2'S COMPLEMENT	ANALOG OUTPUT RANGE (0V TO +10V, FS)			STRAIGHT BINARY	ANALOG OUTPUT RANGE (0 TO +10V, FS)		BCD (8-4-2-1)
8 BITS	10 BITS	12 BITS	8 10 12	8 BITS	10 BITS	12 BITS	8 10 12	2 DIGIT	3 DIGIT	8 12
+4.000	+4.050	+4.0075	01111111 11 11	+3.000	+3.900	+3.9975	11111111 11 11	+0.50	+0.900	10011001 1001
+4.375	+4.375	+4.3750	01110000 00 00	+8.750	+8.750	+8.7500	11100000 00 00	+8.70	+8.750	10000111 0101
+3.750	+3.750	+3.7500	01100000 00 00	+7.500	+7.500	+7.5000	11000000 00 00	+7.50	+7.500	01110101 0000
+2.500	+2.500	+2.5000	01000000 00 00	+5.000	+5.000	+5.0000	10000000 00 00	+5.00	+5.000	01010000 0000
0.000	0.000	0.0000	00000000 00 00	+2.500	+2.500	+2.5000	01000000 00 00	+2.50	+2.500	00100101 0000
-2.500	-2.500	-2.5000	11000000 00 00	+1.250	+1.250	+1.2500	00100000 00 00	+1.20	+1.250	00010010 0101
-3.750	-3.750	-3.7500	10100000 00 00	0.000	0.000	0.0000	00000000 00 00	0.00	0.000	00000000 0000
-4.375	-4.375	-4.3750	10010000 00 00							
-5.000	-5.000	-5.0000	10000000 00 00							

## APPLICATION NOTES - CURRENT OUTPUT MODELS ONLY

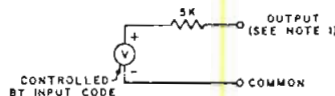
DAC-9 SERIES CURRENT EQUIVALENT CIRCUIT



Note 1: Output voltage limited to ±1.2V

FIG. 1

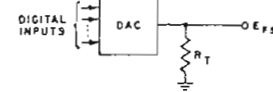
DAC-9 SERIES VOLTAGE EQUIVALENT CIRCUIT



Note 1: Output voltage limited to ±1.2V max.

FIG. 2

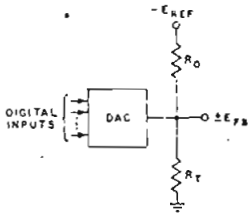
USING THE DAC-9 SERIES WITHOUT AMPLIFIER, UNIPOLAR POSITIVE OUTPUT



DAC CODE	R <sub>T</sub>	E <sub>FS</sub>
BINARY	4.0K ±1%	+1.0V
B.C.D.	7.0K ±1%	+1.50V

FIG. 3

USING THE DAC-9 SERIES (BINARY UNITS ONLY) WITHOUT AMPLIFIER, BIPOLAR OUTPUT.

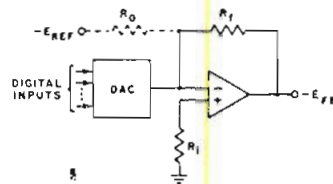


$$E_{FS} = \frac{6.5 E_{REF} \cdot R_T}{5E_{REF} + 6.5R_T + E_{REF} \cdot R_T} \quad R_0 = \frac{E_{REF}}{1.3}$$

WHERE  
 E<sub>FS</sub> = Full Scale output voltage (volts)  
 E<sub>REF</sub> = Offset reference voltage (volts)  
 R<sub>0</sub> = Offset resistor (K)  
 R<sub>T</sub> = DAC termination resistor (K)

FIG. 4

USING AN INVERTING AMPLIFIER.



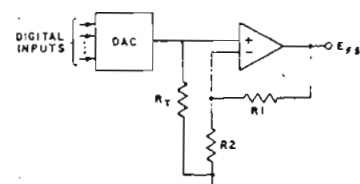
$$-E_{FS} = R_i \cdot I_{FS} \quad R_i = \frac{5 R_f}{5 + R_f} \quad (1)$$

NOTE: -E<sub>REF</sub> and R<sub>0</sub> needed for bipolar output only.  
 WHERE  
 -E<sub>FS</sub> = -F.S. output voltage (volts)  
 R<sub>f</sub> = Feedback resistor (K)  
 R<sub>i</sub> = Input bias resistor (K)  
 I<sub>FS</sub> = DAC F.S. current output (mA)

(1) Recommended for good temp. stability

FIG. 5

USING A NON INVERTING AMPLIFIER.



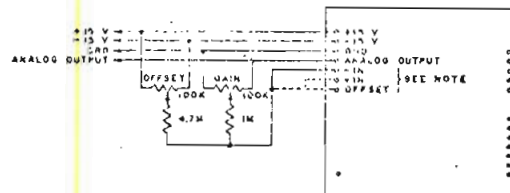
$$E_{FS} = \frac{R_1 + R_2}{R_2} \cdot R_T \cdot I_{FS} \quad \frac{5R_T}{5 + R_T} = \frac{R_1 \cdot R_2}{R_1 + R_2} \quad (1)$$

NOTE: See application (2) for bipolar output.  
 WHERE  
 E<sub>FS</sub> = F.S. output voltage (volts)  
 I<sub>FS</sub> = DAC F.S. current output (mA)  
 R<sub>1</sub>, R<sub>2</sub> = Gain determining resistors (K)  
 R<sub>T</sub> = DAC termination resistor (K)  
 binary units = .41652  
 BCD units = .70452

(1) Recommended for good temp. stability.

FIG. 6

DAC-9 SERIES (VOLTAGE OUTPUT VERSIONS ONLY)  
EXTERNAL ADJUSTMENT



NOTE:  
 FOR BIPOLAR OUTPUT CONNECT "-IN" TO OFFSET  
 FOR UNIPOLAR OUTPUT CONNECT "+IN" TO OFFSET

# TTL SCHMITT TRIGGER

When high-speed logic gates are driven directly by input signals with slow rise and fall times, it is possible for the gates to produce false outputs (Figure 1). Oscillation occurs when the input signal is held in the linear region of the  $V_{in}$ - $V_{out}$  characteristic (Figure 2) for a period equal to or greater than the sum of the gate propagation delays ( $t_{PHL} + t_{PLH}$ ). When this occurs the gate behaves as a linear amplifier with high gain and the various feedback paths (Figure 3) contribute to instability and consequent false outputs.

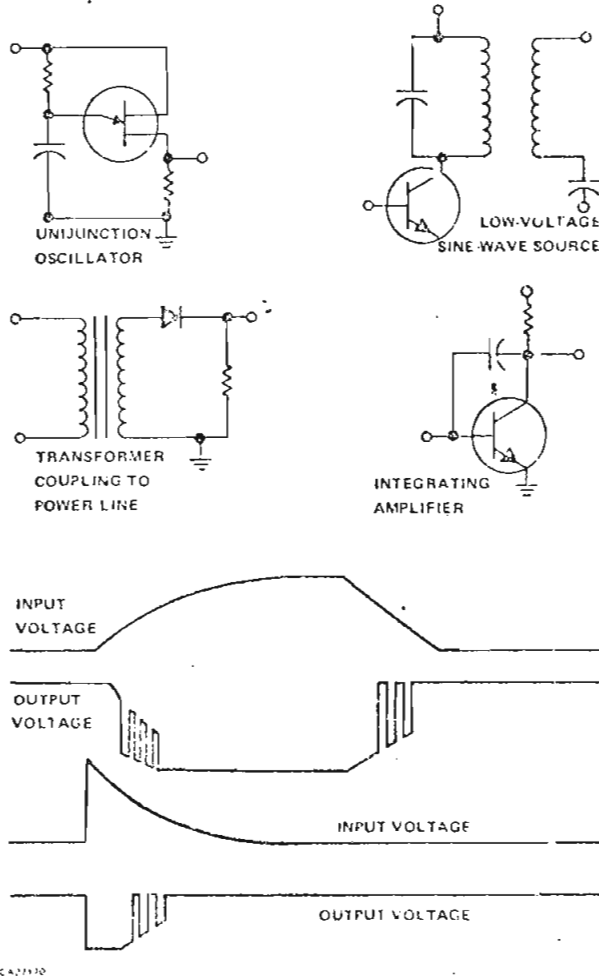


FIGURE 1. Generators of Slow Rise and Fall Time Signals, Reaction of a high speed logic gate to these signals

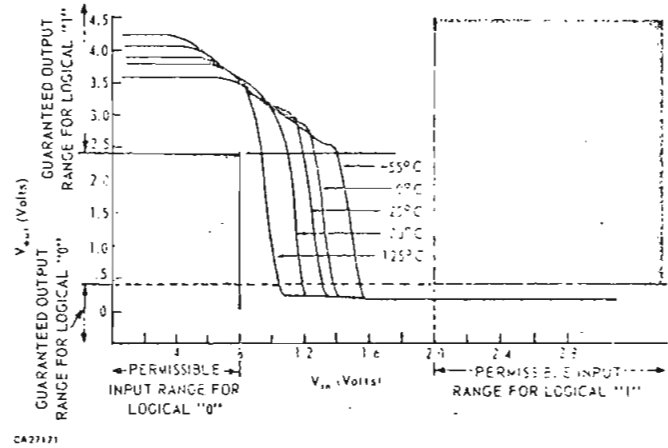


FIGURE 2. Typical Transfer Characteristics for SN54/7400 Gates

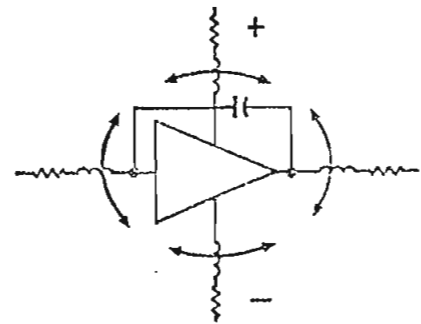


FIGURE 3. Gate Behaving as Linear Amplifier with Possible Feedback Paths

One solution to slow-rise-time problems is the introduction of hysteresis in the  $V_{in}$ - $V_{out}$  characteristic with a discrete Schmitt trigger arrangement shown in Figure 4. The Schmitt trigger's positive feedback introduces a snap action that eliminates oscillation. Another advantage of this hysteresis is the increased d-c noise margin. D-c noise margin is defined as the difference between the guaranteed logic-state voltage limits of a driving gate and the voltage requirements of a driven device.

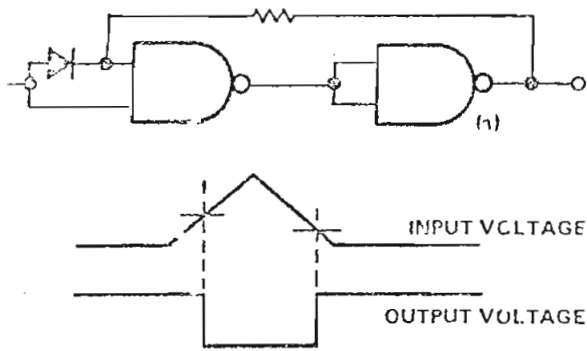


FIGURE 4. Schmitt Trigger Using Discrete Components

This circuit however, is not temperature-stable. The  $V_{in}-V_{out}$  characteristic shows the variations of threshold voltage levels with temperature. In addition to all the disadvantages of being a discrete-wired circuit, this circuit requires a low-impedance driver.

The SN54/7413, a monolithic IC from Texas Instruments, provides Schmitt trigger action eliminating the disadvantages of a wired-up circuit. The hysteresis (800 mV) provided by this schmitt trigger is illustrated in Figure 5. In addition the SN54/7413 is temperature-compensated.

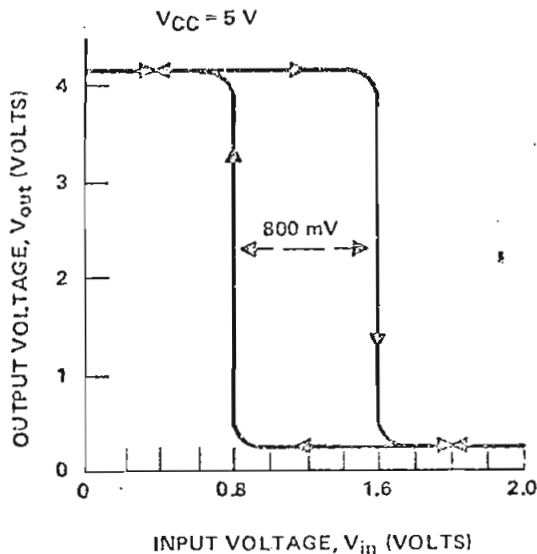


FIGURE 5.  $V_{in}-V_{out}$  Characteristic of SN7413 Showing Hysteresis

For convenience this report discusses only the SN7413. However all statements made about the SN7413 are also true of the SN5413 which is distinguished by being characterized in the military temperature range.

Data specifications of the SN7413 are not indicated in this report but are available on request.

The SN7413 dual Schmitt trigger consists of two identical Schmitt trigger circuits in monolithic integrated circuit form. The internal circuitry does not resemble Figure 4 but has simpler faster arrangement. Logically, each circuit functions as a 4-input NAND gate, but because of the Schmitt action the gate has different input-threshold levels for positive- and negative-going signals. The hysteresis, or backlash, which is the difference between the two threshold levels, is typically 800 mV (see Figure 5).

The SN7413 is fully compatible with many TTL families because it has a totem-pole output section and multiemitter-transistor inputs clamped by diodes to the substrate. The logical 1 and 0 output levels (referred to in the data sheet as "high" and "low" respectively) are identical to those of standard TTL. The propagation delay from input to output is typically 16 ns.

Figures 6 and 7 show the input-output voltage characteristics of the SN7413. Figure 6 shows input voltage  $V_{in}$  plotted versus output voltage  $V_{out}$  at 100 kHz. Figure 7 shows input current  $I_{in}$  plotted versus  $V_{in}$ . For  $V_{in}$  less than  $-0.5$  V, the internal clamp diodes conduct. As the input voltage passes the upper threshold, the input current decreases rapidly due to the turning off of the multiemitter input-transistor. The transistor remains turned off until the lower threshold is passed, the input current then being determined by the input characteristics of a normal TTL gate.

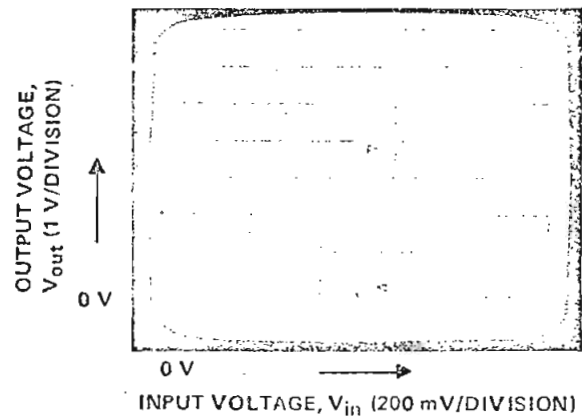


FIGURE 6. Input Voltage versus Output Voltage Oscilloscope for a Typical SN7413

The built-in temperature compensation ensures very high stability of the threshold levels and the hysteresis over a very wide temperature range. Typically, the hysteresis changes by 3 percent, and the upper threshold by 1 percent, over the temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN7413 can be triggered from the slowest of input ramps and still give a clean, jitter-free output signal. It can also be triggered from straight d-c levels.



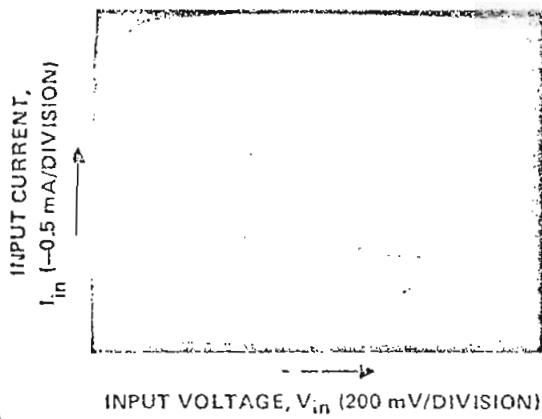


FIGURE 7. Input Voltage versus Input Current Oscillograph for SN7413

### APPLICATIONS

One of the most direct applications of the Schmitt trigger is as a pulse-shaper interface between slow rise and fall input signals and a fast TTL gate.

#### Pulse Shaper

There are many instances where available input signals are not compatible with TTL. For example, a data waveform might have rise and fall times greater than 1μs, but TTL requires edges less than 150 ns for good noise immunity. The circuit shown below, Figure 8, enables TTL to be driven from such sources.

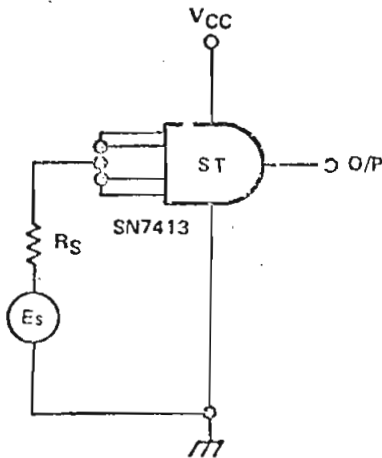


FIGURE 8. Schmitt Trigger SN7413 Used in a Circuit That Shapes Input Pulses to Make them Compatible with TTL Device Requirements

The maximum permissible value of source resistance  $R_S$  is determined by the maximum input current when the input is at a logical 0, or below the lower threshold voltage. To ensure a noise margin of 1100 mV, the input current is measured when  $V_{in}$  equals 400 mV. A maximum  $I_{in}$  of 1.6 mA at  $V_{in} = 0.4$  V is guaranteed on the data sheet. Therefore  $R_{S(max)} = V_{in}/I_{in(max)} = 400/1.6 = 250 \Omega$ . For noise margins other than 1100 mV, or  $V_{in} = 0.4$  V, the

minimum value of internal base resistor  $R_1$  must be deducted from data-sheet guarantees in order to determine a maximum value of resistor  $R_S$ . Figure 9 illustrates the variables determining the value of resistor  $R_1$ . For  $V_{in} = 0.4$  V,  $V_{CC(max)} = 5.25$  V,  $R_{1min} = [V_{CC(max)} - V_{BE}]/I_{max}$ ,  $R_{1min} = (5.25 - 0.75)/1.6$ ,  $R_{1min} = 2.56$  kΩ. For a noise margin  $V_{NM}$ , the maximum value of resistor  $R_S$  in Figure 10 is given by

$$R_S(max) = \frac{(V_{T(min)} - V_{NM}) R_1}{[(V_{CC} - V_{BE}) - (V_{T(min)} - V_{NM})]}$$

For a noise margin  $V_{NM}$  of 100 mV and  $V_{CC} = 5.0$  V

$$R_S(max) = \frac{(0.7 - 0.1) 2.56 \times 10^3}{(5.0 - 0.75) - (0.7 - 0.1)}$$

$$R_S(max) = 421 \Omega$$

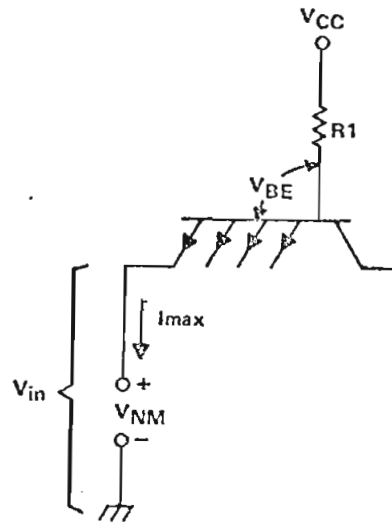
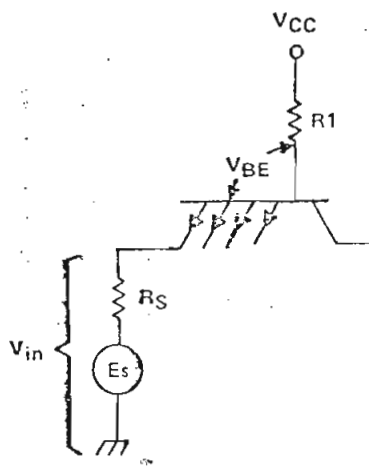


FIGURE 9. Variables That Determine the Minimum Value of Internal Base Resistor  $R_1$

#### Pulse Stretcher

This circuit (Figure 11) uses the internal 4-kΩ base resistor of the Schmitt multiemitter input transistor as one of the timing components.

There is a small delay between the leading edges of the input and output pulses, due to the time taken to discharge capacitor  $C$  through the saturation resistance of the output transistor of the SN7401.

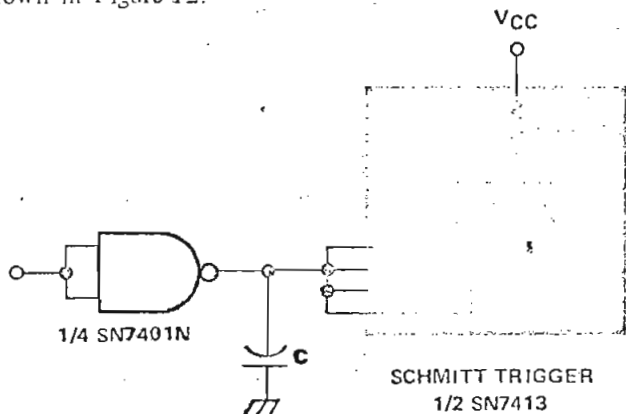


CA27181

FIGURE 10. Variables Used in the Determination of the Maximum Value of  $R_S$  for a Given Noise Margin

For high repetition rates and large values of capacitor C, the mean dissipation in the SN7401 output stage should be limited to 10 mW or 35 mA peak current or 16 mA steady-state by inclusion of a series resistor between its output and capacitor C.

Typical operating waveforms for this circuit are shown in Figure 12.



CA27182

FIGURE 11. SN7413 Being Used in a Pulse-Stretcher Circuit. The internal  $4\text{-k}\Omega$  base resistor of the Schmitt multiemitter input transistor is one of the timing components

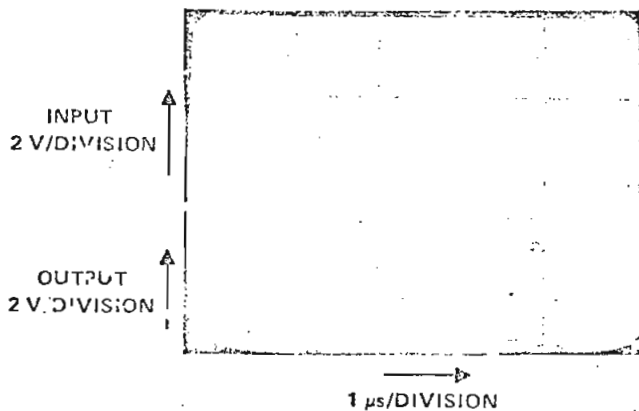
### Sine-to-Square-Wave Conversion

Sine-to-square-wave conversion, one of the simplest applications of the Schmitt Trigger, is illustrated in Figure 13.

The resistive divider R2 and R3 biases the Schmitt trigger input midway between the upper and lower thresholds. This gives a 50 percent duty cycle with sinusoidal inputs. The values of resistors R2 and R3 may be determined as follows:

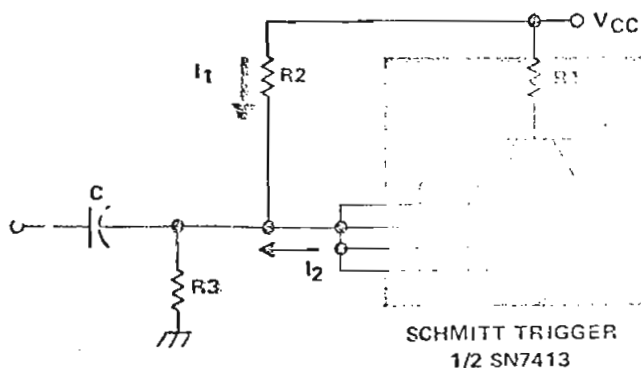
The voltage at the multiemitter input is given by

$$V_1 = (I_1 + I_2) R_3$$



CA27183

FIGURE 12. Typical Operating Waveforms for Pulse Stretcher Circuit in Figure 11



CA27171

FIGURE 13. SN7413 Used in a Circuit for Sine-To-Square-Wave Conversion

but 
$$V_1 = (V_{T1} + V_{T2})/2$$

where  $V_{T1}$  and  $V_{T2}$  are the upper and lower Schmitt trigger thresholds. Therefore

$$V_1 = \left[ \frac{(V_{CC} - V_1)}{R_2} + \frac{(V_{CC} - V_1 - V_{BE})}{R_1} \right] R_3$$

or 
$$R_3 = V_1 \left[ \frac{(V_{CC} - V_1)}{R_2} + \frac{(V_{CC} - V_1 - V_{BE})}{R_1} \right] \quad (1)$$

and 
$$R_2 = \frac{(V_{CC} - V_1) R_3 R_1}{[R_1 V_1 - R_3 (V_{CC} - V_{BE} - V_1)]} \quad (2)$$

Typical values for the variables in Equations (1) and (2) are  $V_{T1} = 1.1\text{ V}$ ,  $V_{T2} = 0.9\text{ V}$ ,  $V_{CC} = 5.0\text{ V}$ ,  $R_1 = 4.0\text{ k}\Omega$ , and  $V_{BE} = 0.75\text{ V}$ .

Thus choosing resistor  $R_3 = 470 \Omega$ , and substituting in Equation (2), we have  $R_2 = 1.83 \text{ k}\Omega$ ; that is  $R_3 = 470 \Omega$  and  $R_2 = 1.8 \text{ k}\Omega$  in preferred values.

If  $R_2 = \infty$  then Equation (1) becomes

$$R_3 = \frac{R_1}{\left[ 2 \left[ \frac{V_{CC} - V_{BE}}{V_{T1} + V_{T2}} \right] - 1 \right]}$$

Substituting values in this equation gives

$$R_3 = 1.76 \text{ k}\Omega \text{ or } 1.8 \text{ k}\Omega$$

The circuit of Figure 13 is suitable for use up to 8 MHz with sinusoidal inputs. The value of capacitor C should be such that its reactance at the operating frequency is very much less than  $R_2 R_3 / (R_2 + R_3)$ .

Typical operating waveforms obtained with the self-biased mode at 1 MHz are shown in Figure 14.

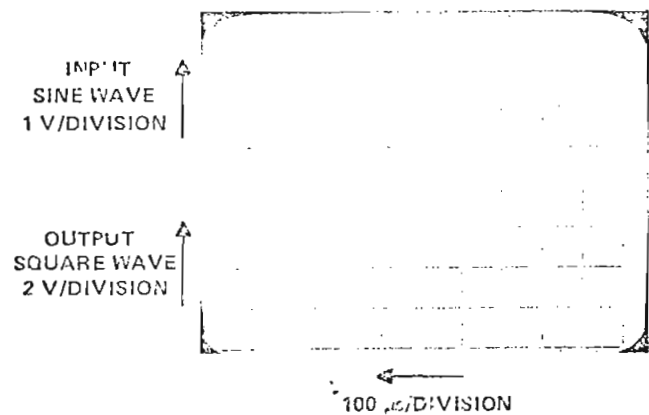


FIGURE 14. Typical Operating Waveforms for the Circuit in Figure 13

### R-C Multivibrator

The circuit of Figure 15 forms the basis of a versatile wide-frequency range clock-pulse source.

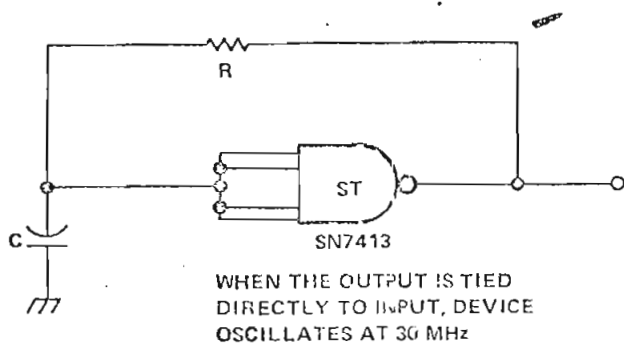


FIGURE 15. SN7413 Used in a R-C Multivibrator. This circuit forms the basis of a versatile wide-frequency range clock-pulse source

The circuit is self-starting and a frequency range of 8 decades is possible by changing the value of capacitor C. Circuit operation is as follows: Initially capacitor C is discharged and the Schmitt output is at a logical 1. Capacitor C then charges towards  $(V_{CC} - V_{BE})$  through resistor R, until the upper threshold voltage is reached. The output then changes to a logical 0 and capacitor C discharges to the lower threshold voltage through resistor R. The cycle then repeats.

The limiting values of resistor R are determined by the voltage dropped across it when the input is approaching the lower threshold and the output is at a logical 0. The lower value is determined by the output impedance of the Schmitt trigger in the logical 1 state. The output voltage should be sufficient to ensure a logical 1 at the input of succeeding stages when the input to the Schmitt trigger is at the lower threshold voltage. The calculation of the resistor's optimum value for a given load is lengthy and only results of this calculation will be stated here. For a fan-out of 2 over the full temperature range, resistor R should be  $390 \Omega$ .

Figure 16 is a graph of pulse-repetition frequency versus values of capacitor C.

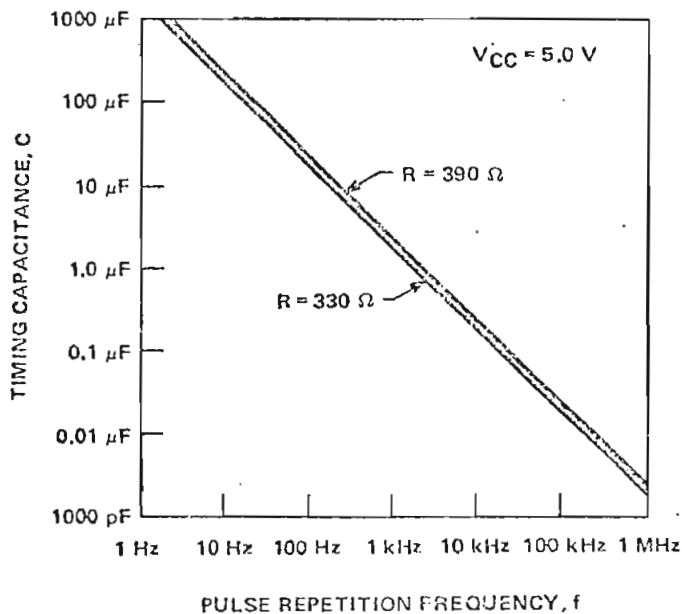


FIGURE 16. Graph of Pulse-Repetition Frequency versus Values of Capacitor C

Typical waveforms associated with this circuit are shown in Figure 17.

The duty cycle is less than 50 percent due to the internal  $4\text{-k}\Omega$  resistor on the base of the input multi-emitter transistor, acting as a current source. If a 50 percent duty cycle is required the circuit may be modified as shown in Figure 18. Here the ratio of the discharge time-constant to charging time-constant is reduced by approximately  $(1 + R_1/R_2)$ , by including the additional feedback path formed by resistor  $R_1$  and diode  $D_1$  in parallel with resistor  $R_2$ . For 50 percent duty cycle with

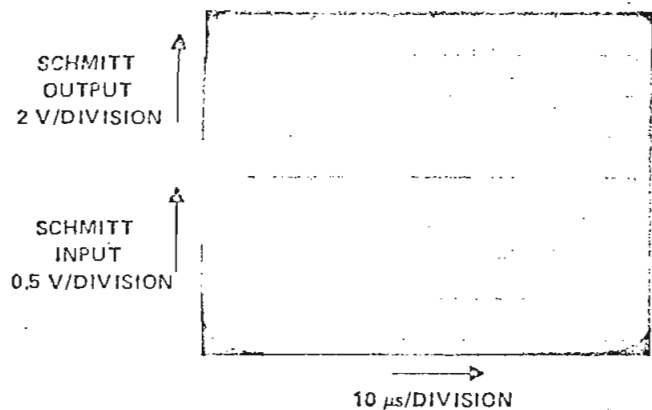


FIGURE 17. Typical Operating Waveforms for the Circuits in Figure 15

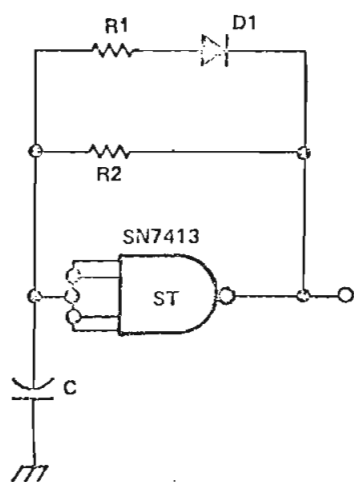


FIGURE 18. Circuit in Figure 15 Modified for 50 Percent Duty Cycle

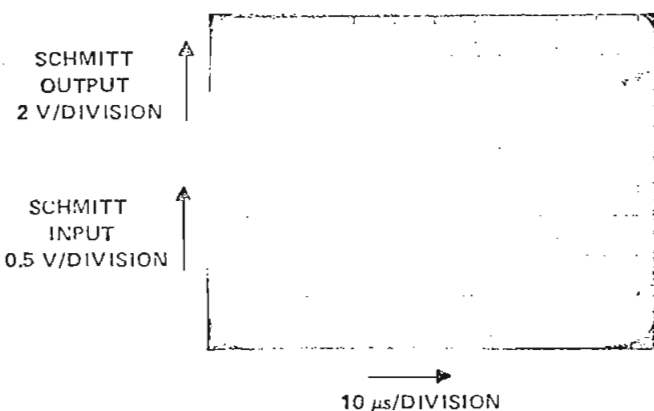


FIGURE 19. Typical Operating Waveforms for the Circuit in Figure 18.

$R_2 = 390\Omega$ ,  $R_1$  should be  $120\Omega$ . The waveforms associated with this circuit are shown in Figure 19.

### Gated Oscillator

The circuits of Figures 15 and 18 may be modified to function as gated multivibrators by the addition of an SN7401 open-collector NAND gate as shown in Figure 20.

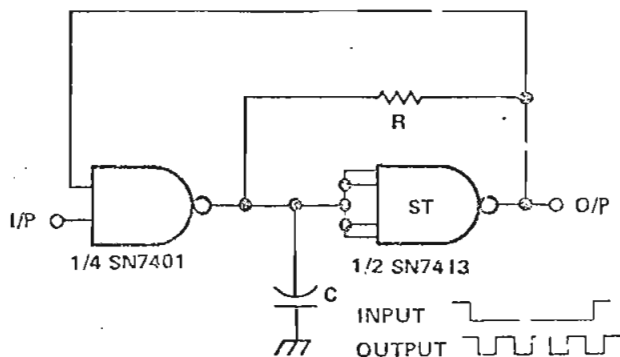


FIGURE 20. Circuits in Figure 15 and 18 Modified as Gated Oscillator

An additional feedback path from the output of the Schmitt to the input of the SN7401 prevents the gate signal from acting until the output of the SN7413 is at a logical 1. This ensures that the oscillator always produces an integral number of cycles.

Since the capacitor C has to charge from ground potential to the upper Schmitt trigger threshold before an output is produced, there is a delay between the positive-going edge of the start pulse and the beginning of the output-pulse train. In Figure 21 this time delay is plotted against value of capacitor C for R equal to  $390\Omega$ .

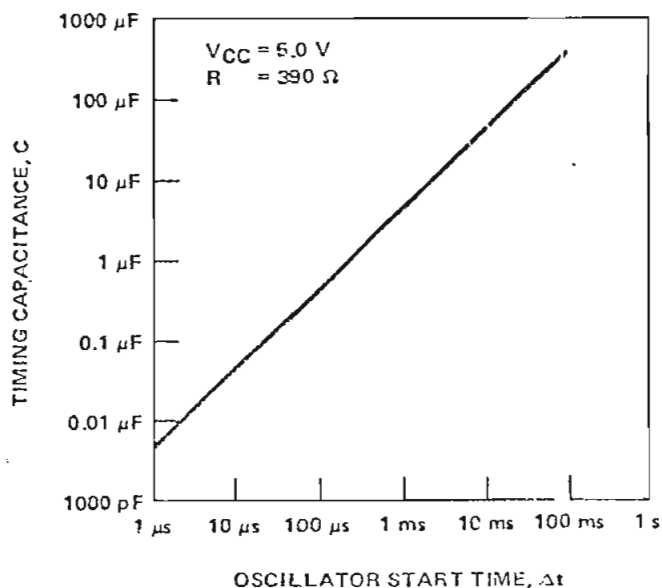


FIGURE 21. Graph of Oscillator Start Time versus Timing Capacitance

Typical operating waveforms associated with this circuit are shown in Figure 22.

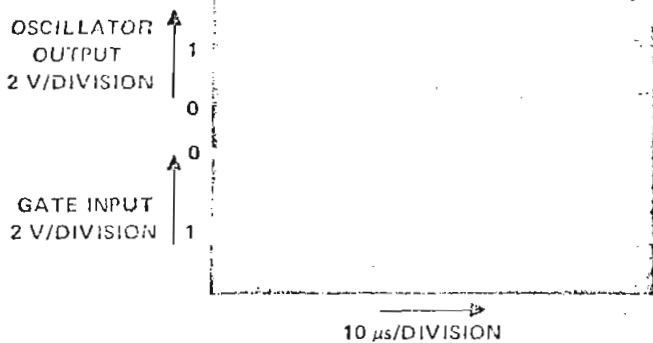


FIGURE 22. Typical Operating Waveform for Gated Oscillator in Figure 20

### Edge Detector

A useful digital circuit is the edge detector or pulse differentiator. The SN7413 can perform this function with a minimum of external components. The circuit shown in Figure 23 has been, in the past, implemented with standard TTL but suffered from poor noise immunity and high-frequency instability.

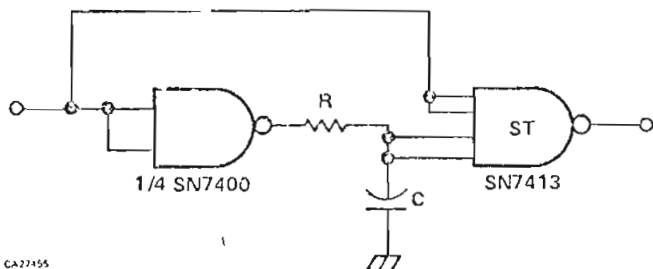


FIGURE 23. SN7413 Used in an Edge Detector Circuit or Pulse Differentiator

Figure 24 shows the operating waveforms associated with the circuit of Figure 23.

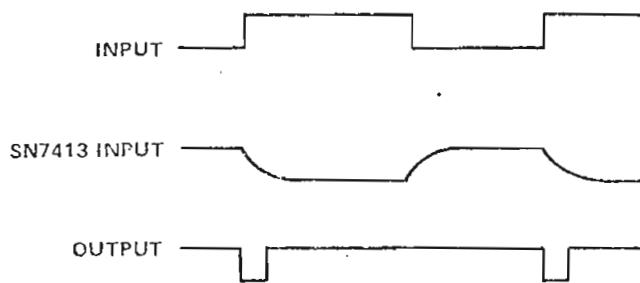


FIGURE 24. Operating Waveforms for the Circuit in Figure 23

Figure 25 indicates the range of pulse widths obtainable with this circuit.

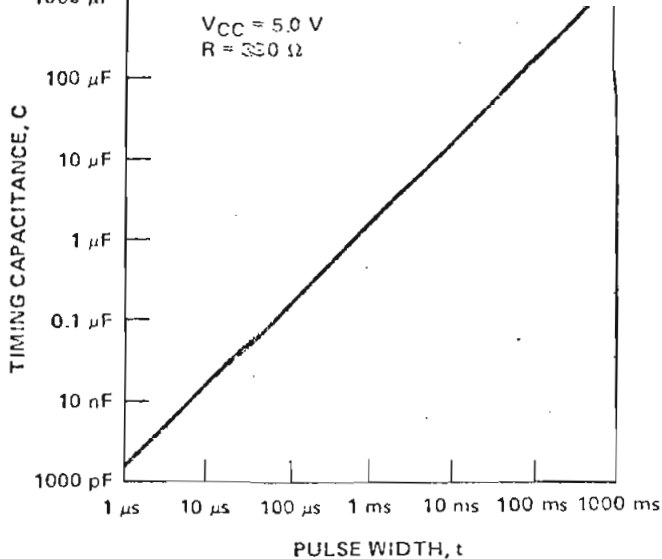


FIGURE 25. Graph of Timing Capacitance versus Pulse-Width for the Circuit in Figure 23

A simple circuit, but of lower noise immunity is shown in Figure 26. This circuit operates on a logical 1 to logical 0 transition.

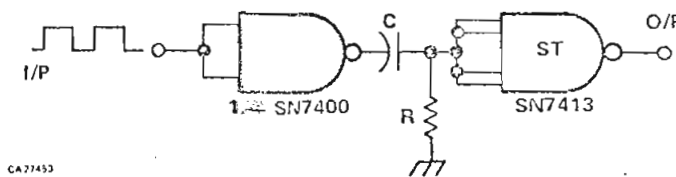


FIGURE 26. A Simple Edge Detector

The input Schmitt trigger is biased at the upper threshold voltage by resistor R. The input current at the upper threshold is  $\approx -0.5$  mA giving a minimum value of resistor  $R = 3.4$  k $\Omega$  for an upper threshold voltage of 1.7 V.



This report has been adapted from the original, "Characteristics and Applications of the SN7413N Dual Schmitt Trigger," by Bob Parsons, published by Texas Instruments Limited, Bedford, England.