

ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA

TESIS DE GRADO

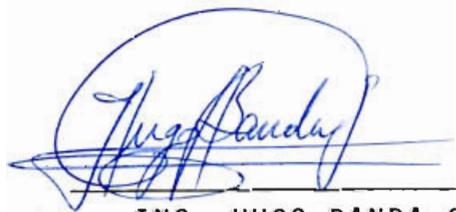
"CIRCUITO DE DISPARO TRIFASICO PARA
CONTROL POR CICLO INTEGRAL"

Tesis previa a la obtención del
título de Ingeniero en la espe
cialización de Electrónica y
Telecomunicaciones.

JUAN PATRICIO EGUEZ VASQUEZ

Quito, Abril de 1982

Certifico que este trabajo
ha sido realizado en su
totalidad por el señor
Juan Patricio Egüez Vásquez.

A handwritten signature in blue ink, appearing to read 'Hugo Banda G.', is written over a horizontal line. The signature is stylized and cursive.

ING. HUGO BANDA G.

Director de Tesis

A la memoria de JUANITA

A NILDA

A JAVIER

A PILAR

AGRADECIMIENTO

A la Escuela Politécnica Nacional, a todos quienes la conforman, en especial al Ing. Hugo Banda, por su gran ayuda.

A mis amigos y compañeros, que de una u otra forma han contribuído en la realización del presente trabajo.

I N D I C E

CAPITULO I: GENERALIDADES DEL CICLO INTEGRAL.

	PAGINA
1.1. Introducción	1
1.2. Conmutación a Voltaje (o corriente) cero	3
1.3. El Control por Ciclo Integral	6
1.4. Clases de Ciclo Integral	8
1.4.a. En AC	8
1.4.b. En DC	13

CAPITULO II: PROPIEDADES ANALITICAS DE LAS FORMAS DE ONDA DEL CICLO INTEGRAL

2.1. Definición Matemática en AC.	16
2.2. Espectro de Frecuencia en AC	20
2.2.a. Subarmónicos de la frecuencia de alimentación	20
2.2.b. Componente de la frecuencia de alimentación	20
2.2.c. Armónicos de valor cero	22
2.2.d. Componentes de frecuencias armónicos altos para n múltiplo de T	24
2.2.e. Componentes de frecuencias armónicos altos	24
2.2.f. Subarmónicas de amplitud mayor que la componente de alimentación	25
2.3. Análisis del Espectro de frecuencia en AC	27
2.3.a. Efecto de aumentar N con T fijo	27

	PAGINA
2.3.b. Efecto de aumentar N cuando N/T es fijo	29
2.4. Comparación del espectro de componentes entre el Control por Ciclo Integral y el Control de Angulo de Fase Simétrico	31
2.5. Consideraciones de Potencia en AC	33
2.5.a. Voltaje eficaz y factor de rizado	33
2.5.b. Potencia promedio en la carga	36
2.6. Factor de Potencia	39
2.7. Definición Matemática en DC	41
2.8. Espectro de Frecuencia en DC	42
2.8.a. Componente DC	42
2.8.b. Componentes Subarmónicos	42
2.8.c. Componente armónico de frecuencia de alimentación	43
2.8.d. Componentes armónicos de alta frecuencia	44
2.8.e. Componentes de alta frecuencia para n múltiplo de 2T.	44
2.8.f. Componentes de alta frecuencia cuando n es múltiplo impar de T.	45
2.9. Consideraciones de potencia en DC: Factor de Distorsión y Factor de Rizado	47

CAPITULO III: DISEÑO DEL SISTEMA DE CONTROL

3.1. Especificaciones	50
3.2. Organización del Sistema	51

	PAGINA
3.3. Unidad de Sincronismo	53
3.3.a. Detectores de cruce por cero	53
3.3.b. Acondicionador de pulsos de reloj	56
3.4. Unidad Lógica	59
3.4.a. Contador Programable módulo T	59
3.4.b. Comparador de Magnitud N: T	64
3.4.c. Registro de Desplazamiento	66
3.4.d. Circuitos de Mando y Alarma	67
3.5. Etapa de Disparo	72
3.5.a. Generador del Tren de pulsos	72
3.5.b. Interfase de Potencia	73
3.6. Circuito de Potencia	73

CAPITULO IV: RESULTADOS EXPERIMENTALES Y CONCLUSIONES

4.1. Mediciones y Resultados	77
4.2. Conclusiones y Recomendaciones	99

ANEXO	102
-------	-----

REFERENCIAS Y APLICACIONES	104
----------------------------	-----

BIBLIOGRAFIA	105
--------------	-----

APENDICE	106
----------	-----

C A P I T U L O I

GENERALIDADES DEL CICLO INTEGRAL

1.1 INTRODUCCION.

La electrónica de potencia, con los adelantos en el desarrollo de elementos semiconductores, y la ayuda que recibe de las día a día mejores opciones que brindan los circuitos integrados, en especial digitales, ha alcanzado ultimamente un impulso como no se ha visto antes.

Entre las innumerables aplicaciones desarrolladas con el progreso de este campo, se encuentra el control por Ciclo Integral: un modo de conmutación por tiristores de circuitos de potencia, con control analógico o digital, cuya base operacional es la conmutación a voltaje (o corriente) cero, si bien fue propuesta a fines de la década del cincuenta, ha ganado rápidamente gran aceptación gracias a que las características de cierre de los tiristores la hacen facilmente aplicable.

El circuito de Disparo Trifásico para control por Ciclo Integral, motivo de este trabajo, a más de la eficiencia, general característica de los elementos semiconductores de potencia, (tiristores para este caso), se presenta dispuesto de entradas de datos programables, que lo hace muy versátil, particu-

larmente desde el punto de vista de la experimentación toda vez que este tipo de control es relativamente nuevo, y sus aplicaciones todavía son escasas.

El trabajo presente contiene un estudio teórico del control por ciclo integral: sus ventajas y características más relevantes, así como el análisis de frecuencia de sus casos típicos, el diseño del control digital que se ha implementado, y finalmente los resultados, con comentarios y recomendaciones para aplicaciones futuras del presente trabajo.

1.2 CONMUTACION A VOLTAJE (O CORRIENTE) CERO.

Cuando se enciende o apaga un circuito de potencia se presentan casos especiales de excitación:

Al aplicar inicialmente la energía, se alimenta al circuito con una función paso de voltaje, que es origen de una excitación transitoria cuyo espectro muestra componentes de alta frecuencia.

Para el caso de un circuito resistivo la corriente en la carga va desde cero hasta el límite en pocos microsegundos. Algo parecido ocurre en conmutaciones de apagado al azar, en donde se corta la corriente abruptamente. Para el caso de circuitos inductivos, esta acción se traduce en altos voltajes transitorios que de igual modo contienen componentes de alta frecuencia.

El análisis de las formas de onda de este tipo de componentes de alta frecuencia presenta un infinito espectro de energía en el cual la amplitud es inversamente proporcional a la frecuencia. En muchas aplicaciones donde se usa el control de fase, la banda de radiodifusión AM y en algunos casos frecuencias de T.V. y F.M. sufren severas interferencias. El cuadro de la figura 1.1 nos puede dar una idea de lo mencionado.

Las características de cierre de los tiristores prácticamente ideales, se han considerado para eliminar los problemas de in

terferencia y ruido mencionados, puesto que se puede disparar un tiristor para energizar una carga a partir de voltajes prácticamente de valor cero, igualmente la interrupción de energía desde estos elementos puede efectuarse solamente cuando la corriente se aproxima a cero, prescindiendo del factor de potencia en la carga; en síntesis se puede activar o desactivar un tiristor que controla la alimentación a una carga cuando el

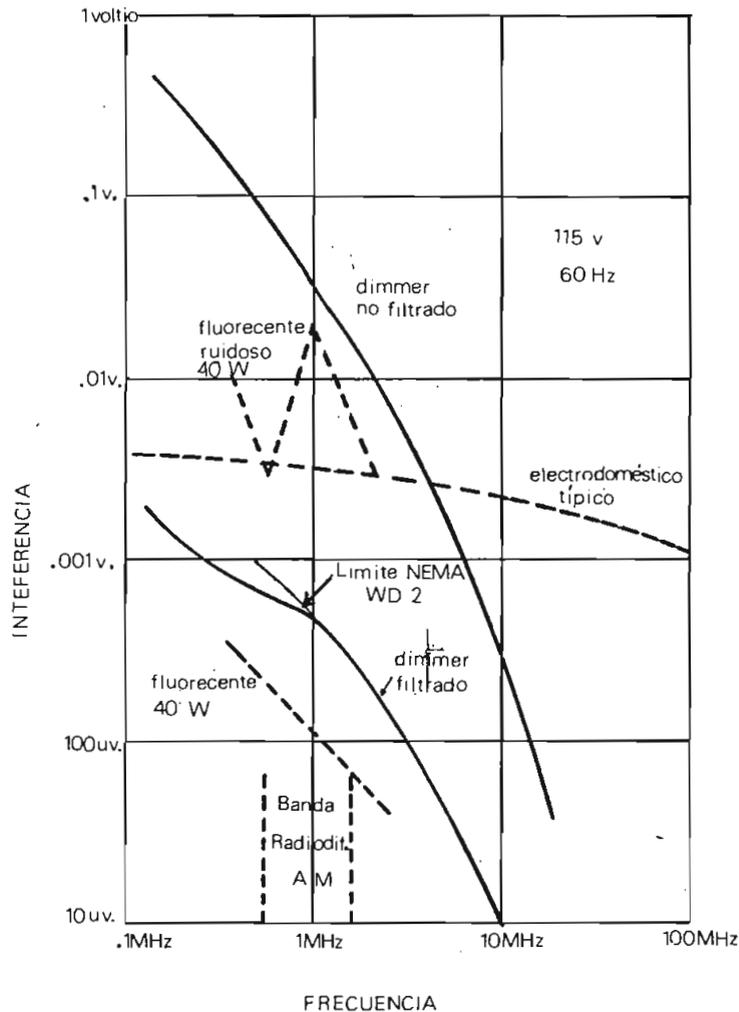


FIG. 1.1

voltaje o la corriente, respectivamente, sean en la práctica de valor cero. Esta es la característica de que se vale el control por ciclo integral para fundamentar su operación, al mismo tiempo que para justificar su existencia.

1.3 EL CONTROL POR CICLO INTEGRAL.

Cuando la conducción de tiristores permite ciclos (o semiciclos) enteros de corriente a la carga seguidos por ciclos (o semiciclos) enteros de bloqueo, las formas de onda de voltaje y corriente en la carga se definen como: conmutación a voltaje cero, selección de ciclo, disparo intermitente, o en definitiva control por ciclo (o semiciclo) integral.

La figura 1.2 ilustra la forma de onda de voltaje (y corriente en una carga resistiva) en la carga del más típico de los controles por ciclo integral, que consiste en la conducción de N de un total de T ciclos de alimentación, contados a partir del cruce de cero positivo, mediante el control de conmutación de un inverso paralelo de tiristores según el circuito de la figura 1.3.

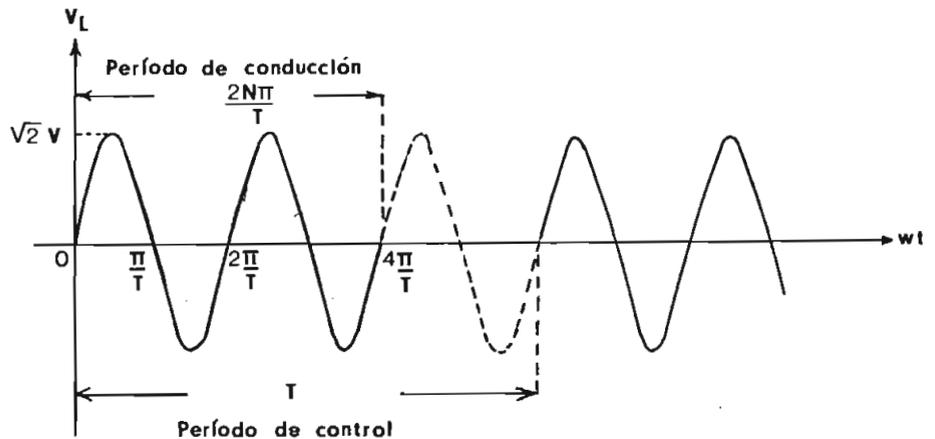


FIG. 1.2

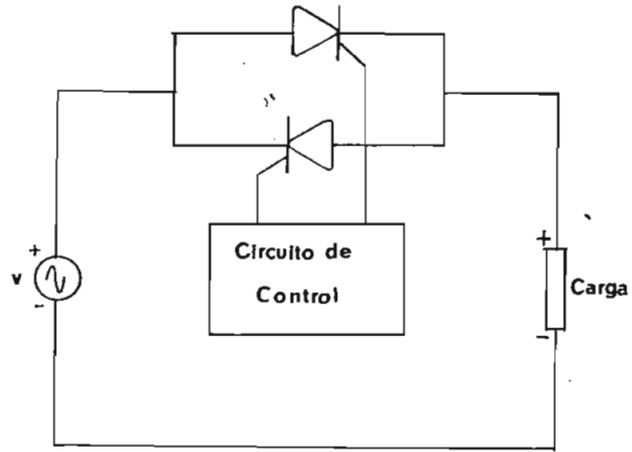


FIG. 1.3.

1.4 CLASES DE CICLO INTEGRAL.

A pesar de que las formas de modulación de ciclos o semiciclos en la carga, clasificaría al Control por Ciclo Integral de muchas maneras, en especial de acuerdo a su aplicación específica, se podrían diferenciar dos grupos: en AC y en DC.

1.4.a. EL CICLO INTEGRAL EN AC.

En el numeral 1.3 y en las figuras 1.2 y 1.3 se ilustra el caso presente, y que por ser el más general y conocido, es motivo de su desarrollo en la parte experimental del presente trabajo. Para el caso particular de este gráfico, se nota que $N = 2$ y $T = 3$.

En la figura 1.4 aparece un diagrama de bloques de un circuito de control analógico para ciclo integral en A.C. las formas de onda de la figura 1.5 aclaran la explicación de su funcionamiento.

El período de control T es fijado por el período de la Onda Diente de Sierra (A), la cual es aplicada a una de las entradas del comparador del voltaje. El período de conducción N se establece por el nivel DC aplicado a la otra entrada. Esto produce en (B) una onda cuadrada de relación $b/(a-b)$, que contiene los datos T y N .

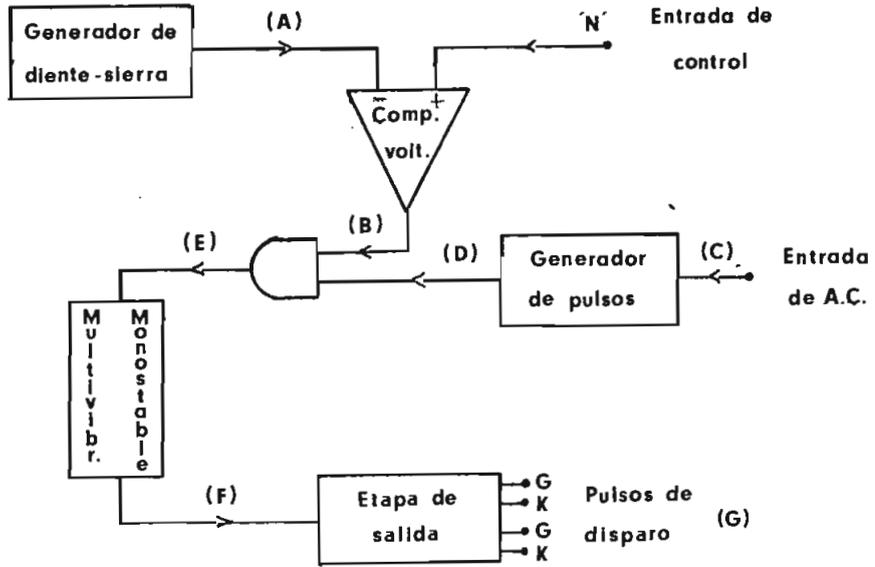


FIG. 1.4.

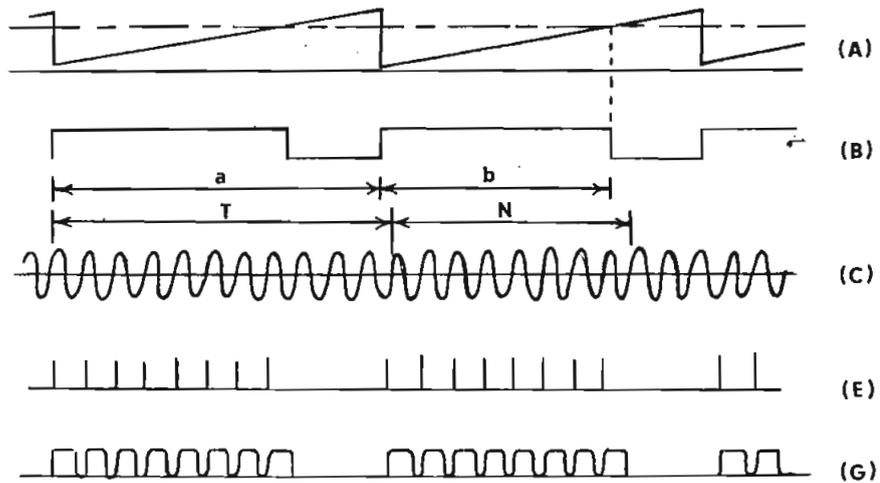


FIG. 1.5.

El sincronismo de conmutación a voltaje cero de la fuente AC se obtiene generando pulsos estrechos centrados al cruce de cero positivo de la onda de alimentación. El paso de estos pulsos a través de la entrada del multivibrador monoestable es habilitada por la compuerta "AND" cuando la salida del comparador es alta (E).

Para cargas resistivas la salida de la compuerta "AND" puede conectarse directamente a la etapa de salida, en cambio para cargas inductivas se recomienda mantener el encendido de los tiristores durante la totalidad del período de conducción. El ancho de los pulsos de activado es incrementado por el multivibrador monoestable sobre un valor próximo a los 20 m. seg. Estos son aplicados a la etapa de salida en donde, un oscilador de bloqueo a estable los convierte en un tren de pulsos de encendido (G).

Al igual que el caso anterior, mediante control a lazo abierto, se puede considerar un sistema de control por ciclo integral que provee un diagrama de selección de ciclos, con período de control fijo.

Para aclarar, en la figura 1.6 se tiene un circuito digital realmente sencillo que permite obtener un diagrama de selección de 16 ciclos, los cuales se controlan totalmente a través de los interruptores conectados a las entradas de datos del

multiplexer 16/1, las formas de onda se observan en la figura 1.7.

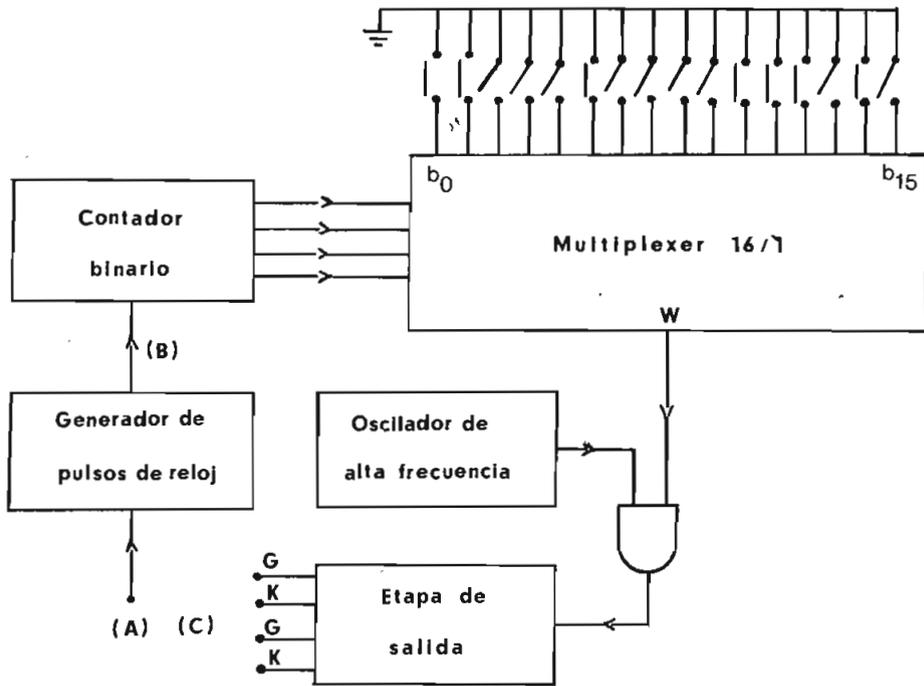


FIG. 1.6.

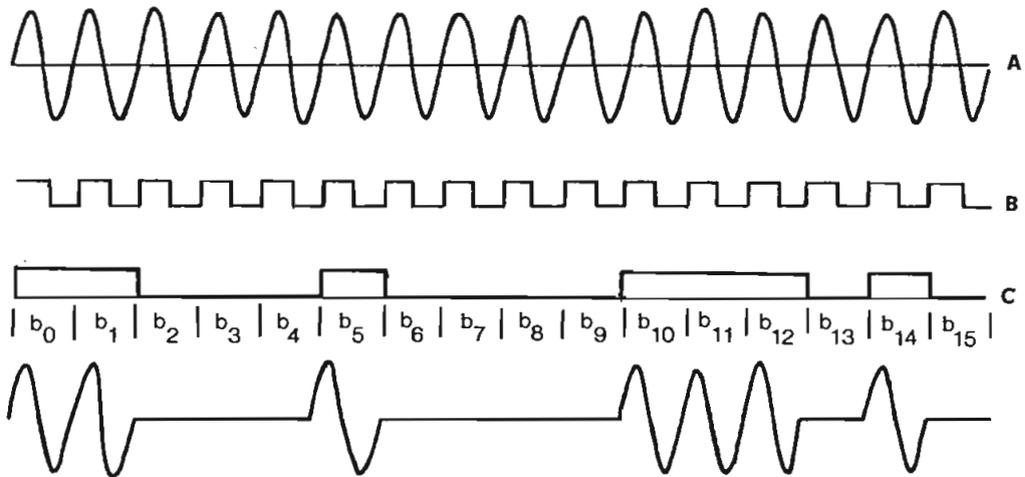


FIG. 1.7.

La selección de las entradas de datos es secuencial y está controlada por las salidas del contador binario. El generador de pulsos de reloj sincroniza la cuenta con la frecuencia de alimentación. En consecuencia, el multiplexer seleccionará un dato cada ciclo, en él un interruptor cerrado proveerá la alimentación del correspondiente ciclo a la carga. En la compuerta "AND" se modula un tren de pulsos a la señal de disparo. Esta señal modulada se amplifica suficientemente en la etapa de salida, la cual está conectada al circuito de potencia básico de la figura 1.2, como en todos los casos.

En los gráficos de la figura 1.8 se sugiere una forma de onda en la carga, mediante control por ciclo integral, que de acuerdo

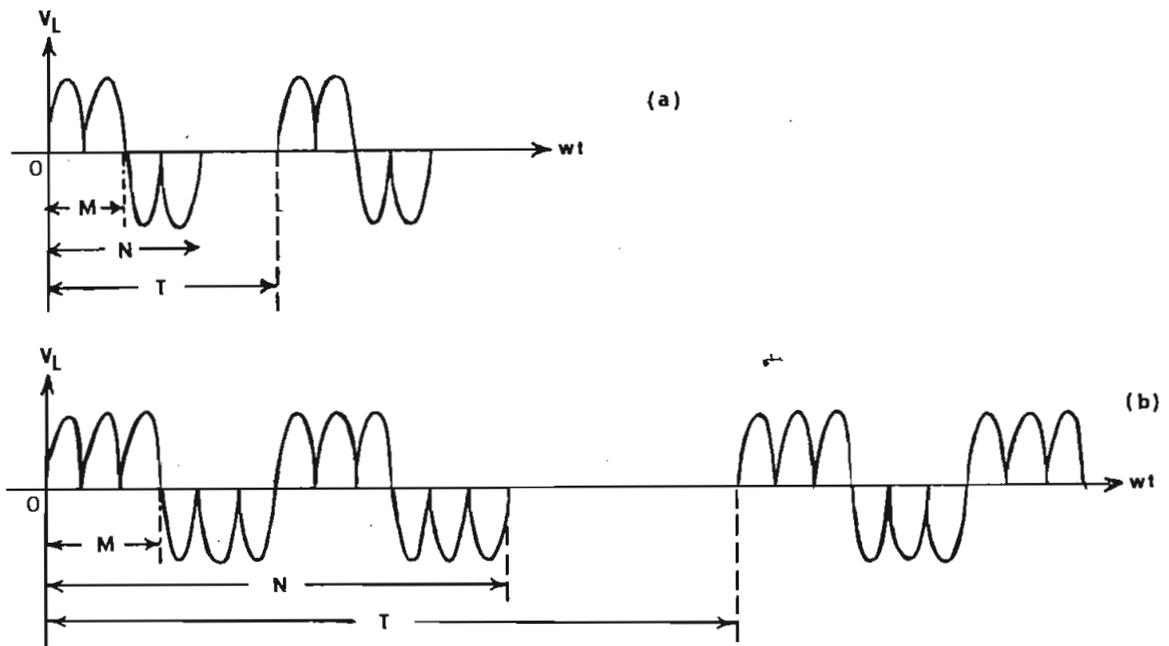


FIG. 1.8

do a alguna aplicación específica, o para experimentación se podría considerar.

Para este supuesto caso se observan 3 variables: M que sería el número de semiciclos positivos o negativos sucesivos y al ternados a ser aplicados, T el período total, y N el número total de semiciclos positivos y negativos aplicados.

Es simple notar que mediante pequeñas modificaciones al caso más general de ciclo integral, se presentan casos de características tan especiales como el anterior, pero que pueden ser implementados con facilidad utilizando controles digitales pro gramables.

Finalmente para control a lazo cerrado, en especial de temperatura existen circuitos analógicos totalmente integrados, los cuales al estar provistos de sensores y transducers que al res pponder con señales analógicas facilitan su aplicación.

1.4.b. EL CICLO INTEGRAL EN DC.

Como se observa en el numeral anterior, la clasificación de este tipo de control, se puede efectuar tomando en cuenta algunos aspectos tales como las formas de modulación de ciclos o semiciclos en la carga, la implementación analógica o digi tal, el control a lazo abierto o cerrado, etc. La consideración de clasificación en AC y DC es simplemente la particula-

rización de uno de los aspectos anteriores, tomando en cuenta análisis matemáticos y aplicaciones específicas al desarrollo experimental del presente trabajo.

El uso de simples circuitos rectificadores como los de las figuras 1.9.a,b,c, para citar unos ejemplos, son causa de que se tenga sobre la carga control por Ciclo Integral rectificado, a partir de una alimentación alterna de ciclo integral. La ilustración de la forma de onda de la figura 1.10 aclara la idea anterior.

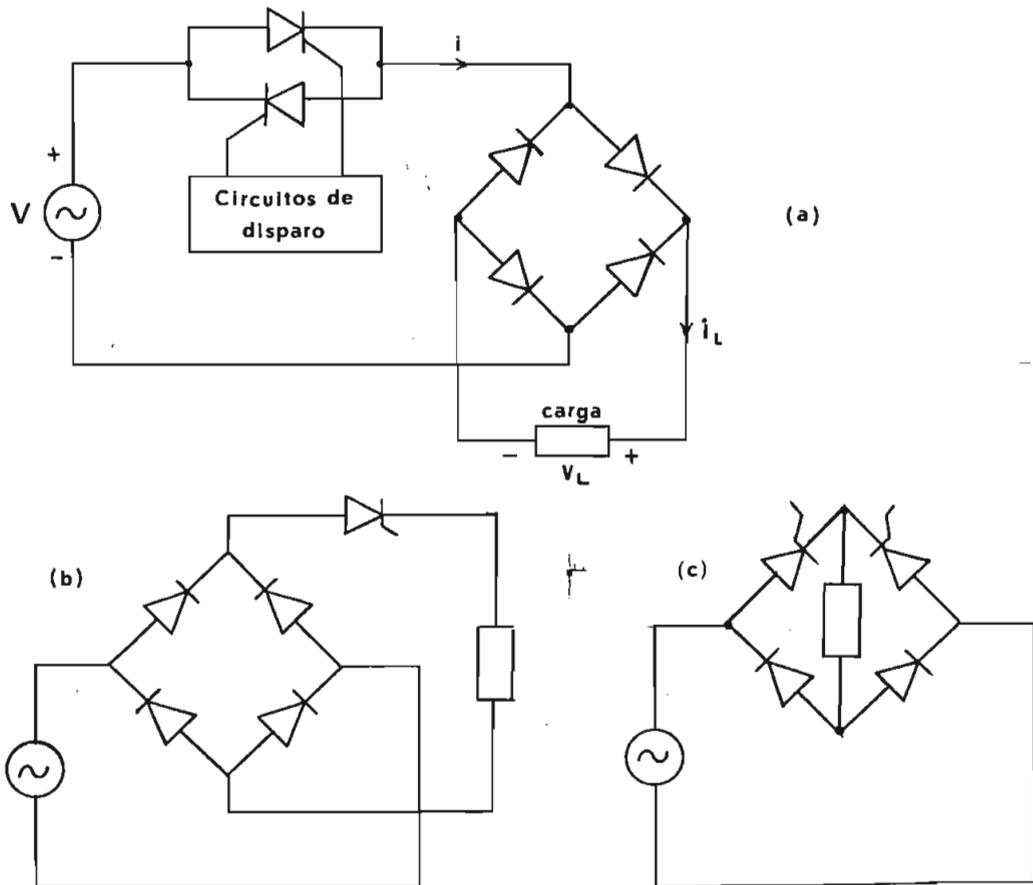


FIG. 1.9

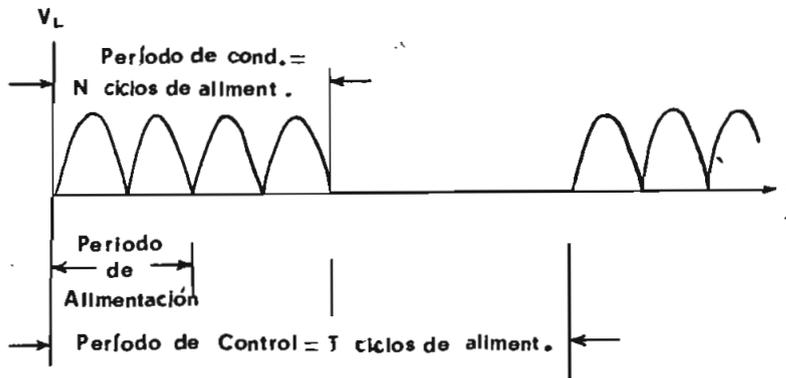


FIG. 1.10

De lo expuesto se concluye que al utilizar rectificadores, para cualquiera de los casos en AC, se obtendrán nuevos tipos de ciclo integral en DC que pueden ser puestos en práctica de acuerdo a las características de la aplicación, y que bien justifican la clasificación que se ha considerado.

CAPITULO II

PROPIEDADES ANALITICAS DE LAS FORMAS DE ONDA DEL CICLO INTEGRAL

2.1 DEFINICION MATEMATICA EN AC.

Se ha definido como el más típico Ciclo Integral aquel que consiste de N ciclos de conducción de un período total T de alimentación. Así en el gráfico de la figura 2.1 se considera el voltaje en una carga resistiva para el presente caso, el cual

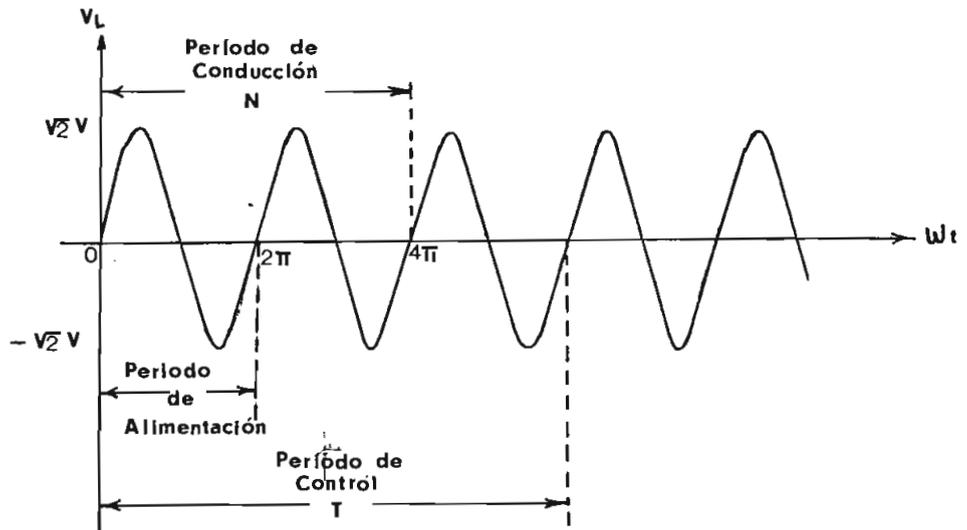


FIG. 2.1

puede ser expresado en términos del período de alimentación por la siguiente ecuación:

$$V_L = \sqrt{2} V \text{ Sen } \omega t \begin{cases} 2\pi(N+mT) \\ 2\pi mt \end{cases} \quad m = 0,1,2,\dots \quad (2.1)$$

en donde $\sqrt{2} V$ es el pico del voltaje de alimentación.

El análisis de Fourier de la ecuación anterior para el período de alimentación es indeterminado, que demuestra lo que claramente se puede observar en la forma de onda: v_L no es periódica respecto al período de alimentación.

Reconsiderando y tomando como período: T ciclos de alimentación, según en la figura 2.2, matemáticamente es más conveniente, puesto que el voltaje en la carga se puede definir de la siguiente manera:

$$v_L = \sqrt{2} V \text{ Sen } T \omega t \begin{cases} 2\pi(N/T) & | \\ 0 & + 0 & | \\ & & 2\pi(N/T) \end{cases} T \quad (2.2)$$

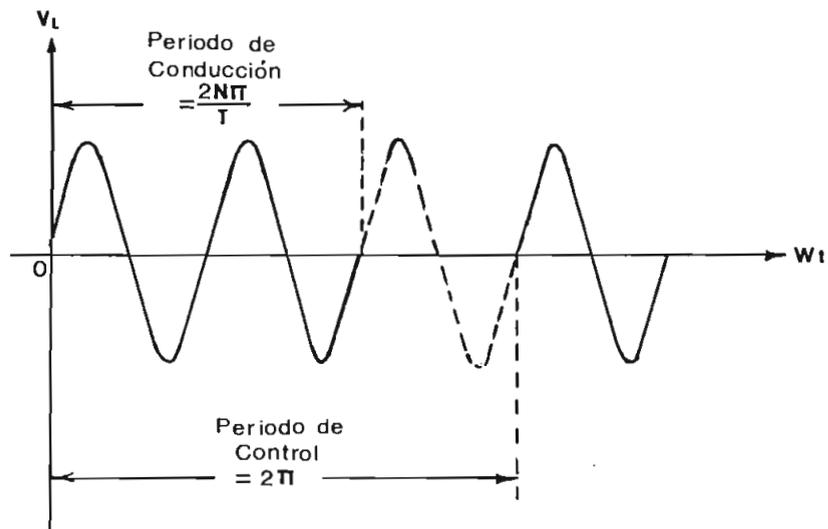


FIG. 2.2

Y los coeficientes de Fourier están dados por:

$$\begin{aligned}
 a_n &= \frac{1}{\pi} \int_0^{2\pi(N/T)} v_L(\omega t) \cos n \omega t \, d\omega t \\
 &= \sqrt{2} V \frac{T}{\pi(T^2-n^2)} \left| 1 - \cos \frac{2\pi nN}{T} \right| \quad \text{para } n=1,2,3,\dots \quad (2.3)
 \end{aligned}$$

Si $n = 1 \Rightarrow a_0 = 0$

$$\begin{aligned}
 b_n &= \frac{1}{\pi} \int_0^{2\pi(N/T)} v_L(\omega t) \sin n \omega t \, d\omega t \\
 &= \sqrt{2} V \frac{T}{\pi(T^2-n^2)} \left| -\sin \frac{2\pi nN}{T} \right| \quad (2.4)
 \end{aligned}$$

Para $n \neq T$, la magnitud del n -ésimo armónico C_n es:

$$\begin{aligned}
 C_n &= \sqrt{a_n^2 + b_n^2} \\
 &= \frac{\sqrt{2} V T}{\pi(T^2-n^2)} \left| 2 \left(1 - \cos \frac{2\pi nN}{T} \right) \right|^{\frac{1}{2}} \\
 &= \frac{\sqrt{2} V T}{\pi(T^2-n^2)} \left| 4 \sin^2 \frac{\pi nN}{T} \right|^{\frac{1}{2}}
 \end{aligned}$$

Entonces:

$$C_n = \frac{2 \sqrt{2} V T}{\pi(T^2 - n^2)} \operatorname{Sen} \left(\frac{n \pi N}{T} \right) \quad (2.5)$$

Para $n > T$, el signo de C_n cambia, lo que representa un cambio en la fase del armónico.

El ángulo de fase ψ_n entre el voltaje de alimentación y el armónico enésimo de corriente está dado por definición así:

$$\psi_n = \operatorname{tg}^{-1} \frac{a_n}{b_n} \quad (2.6)$$

y considerando las ecuaciones (2.3) y (2.4) se obtiene:

$$\begin{aligned} \psi_n &= \operatorname{tg}^{-1} \left| \frac{1 - \operatorname{Cos} (2 \pi n N/T)}{- \operatorname{Sen} (2 \pi n N/T)} \right| \\ &= \operatorname{tg}^{-1} \left| \frac{\operatorname{Sen} (\pi n N/T)}{- \operatorname{Cos} (\pi n N/T)} \right| \end{aligned}$$

y finalmente:

$$\begin{aligned} \psi_n &= \pi - \frac{\pi n N}{T} \quad \text{para } n < T \\ \psi_n &= \frac{\pi n N}{T} - \pi \quad \text{para } n > T \end{aligned} \quad (2.7)$$

2.2 ESPECTRO DE FRECUENCIA. (AC).

2.2.a. SUBARMONICOS DE LA FRECUENCIA DE ALIMENTACION. ($1 \leq n < T$)

El uso del control por Ciclo Integral, a diferencia del control de ángulo de fase simétrica, origina subarmónicos de la frecuencia de alimentación.

Particularizando las ecuaciones (2.3) a (2.5) para $n = 1$ se representa el $1/T$ Subarmónico de la frecuencia de alimentación, que como es de notar es el más bajo que puede ocurrir, y en el caso de la figura 2.1, en el que $T = 3$, corresponde al subarmónico de voltaje de $1/3$ la frecuencia de alimentación.

No se podría afirmar que el $1/T$ subarmónico es de menor magnitud, toda vez que como se verá, incluso puede exceder (en magnitud) a la componente de la frecuencia de alimentación. Sólo un escogitamiento razonado del período de control T evitará resonancias en la fuente de alimentación o frecuencias naturales en motores.

2.2.b. COMPONENTE DE LA FRECUENCIA DE ALIMENTACION: ($n = T$).

Para el caso $n = T$ que representa la componente de frecuencia de alimentación en las ecuaciones (2.3), (2.4) y (2.5) se origina una indeterminación. Pero si se procede a partir de las integrales básicas de Fourier, que definen en primera instan-

cia los coeficientes a_n y b_n , se puede obtener un resultado, como se puede observar:

$$\begin{aligned} a_{n=T} &= \frac{1}{\pi} \int_0^{2\pi N/T} v_L(\omega t) \cos T\omega t \, d\omega t \\ &= \frac{\sqrt{2}}{4\pi T} [-\cos 2 T\omega t] \Big|_0^{2\pi N/T} = 0 \end{aligned} \quad (2.8)$$

$$\begin{aligned} b_{n=T} &= \frac{1}{\pi} \int_0^{2\pi N/T} v_L(\omega t) \sin T\omega t \, d\omega t \\ &= \sqrt{2} V \frac{N}{T} \end{aligned} \quad (2.9)$$

En donde V es el valor eficaz del voltaje de alimentación.

La magnitud $C_{n=T}$ de la componente de la frecuencia de alimentación será:

$$C_n = \sqrt{2} V \frac{N}{T} \quad (2.10)$$

Puesto que $a_{n=T} = 0$: la componente de corriente de frecuencia de alimentación, estará siempre en fase con el voltaje de alimentación. Sin que esto signifique que el factor de potencia de un circuito de control por ciclo integral sea necesariamen

te la unidad, debido a que desde el punto de vista del período de control, la corriente de alimentación no está en fase con el voltaje de alimentación. Esto es claro al decir que no existe corriente de alimentación todo el tiempo.

Para el caso particular de la figura 2.1. la magnitud de la componente de corriente de frecuencia de alimentación es según la ecuación (2.10) de valor $2/3$ del correspondiente valor de alimentación. Es interesante observar que la magnitud de la componente de corriente de frecuencia de alimentación es proporcional al número de ciclos de conducción N .

2.2.c. ARMONICOS DE VALOR CERO.

Analizando de nuevo la ecuación (2.5) para $n = T$, el término $\text{Sen}(n\pi N/T)$ es igual a cero, si nN/T tiene cualquier valor en tero. Puesto que $N/T \leq 1$, C_n es igual a cero, para ciertos valores de $n > 1$. Particularmente $\text{Sen}(n\pi N/T)$ es igual a cero si:

$$n = \frac{T}{N} k \quad \text{donde } k = 1, 2, 3, \dots \quad (2.11)$$

En la figura 2.2, donde $N = 2$ y $t = 3$, la amplitud C_n de los ar m ón icos es cero cuando $n = 6, 9, 12$, etc., correspondiendo a valores de $k = 4, 6, 8$, etc., respectivamente.

Para valores impares de k , se tienen valores fraccionarios de n , por lo tanto inadmisibles. El espectro de frecuencias para $N=2$ y $T=3$ se puede observar en la figura 2.3, en donde se nota que la componente de frecuencia de alimentación es dominante, $n=T$, la subarmónica para $n=2$, que corresponde a los $2/3$ de la frecuencia de alimentación, es la componente de mayor magnitud de las armónicas de frecuencia diferente a la de alimentación, finalmente las amplitudes de armónicos múltiplos de 3, que es el valor de T , son iguales a cero para este caso.

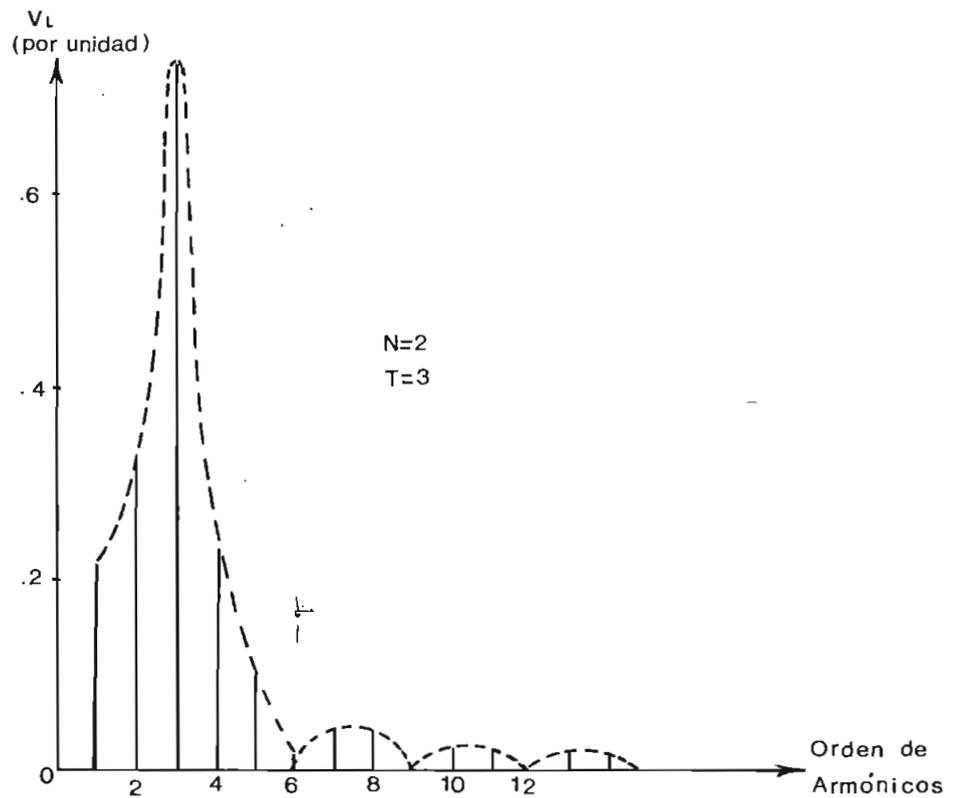


FIG. 2.3.

2.2.d. COMPONENTES DE FRECUENCIAS ARMONICAS ALTAS PARA
n MULTIPLO DE T ($n \neq T$).

Cuando n es un múltiplo de T , digamos k , en la ecuación 2.5, el término $\text{Sen} \left(\frac{n\pi N}{T} \right)$, llega a ser $\text{Sen} (k\pi N)$, que es igual a cero para cualquier valor de N y k . La amplitud del armónico C_n es cero para todos los casos en que:

$$n = k T \quad , \quad \text{donde } k = 1, 2, 3, \dots \quad (2.12)$$

Para el caso de las figuras 2.2 y 2.3 donde $N = 2$ y $T = 3$, la ecuación anterior tiene como soluciones valores de $n = 6, 9, 12, 15, 18, \text{etc.}$

La contradicción que se observa en las ecuaciones (2.11) y (2.12) se pueden considerar mutuamente exclusivas: por Ejemplo, para $N = 2$ y $T = 4$, según la ecuación (2.11) se tienen armónicos de valor cero para $n = 2, 6, 8, 10, \text{etc.}$ Por otro lado, según la ecuación (2.12) se tienen armónicos de valor cero para $n = 8, 12, 16, \text{etc.}$

2.2.e. COMPONENTES DE FRECUENCIAS ARMONICAS ALTAS ($T < n$).

Para todas las componentes armónicas de frecuencia alta, excepto en las que se excluyen en las secciones 2.2.c. y 2.2.d. la amplitud de las armónicas está dada por la ecuación (2.5) y su ángulo de fase por la ecuación (2.6).

2.2.f. SUBARMONICAS DE AMPLITUD MAYOR QUE LA COMPONENTE DE FRECUENCIA DE ALIMENTACION.

Ciertas relaciones N/T aumentan la amplitud de subarmónicos, los cuales exceden a la componente de frecuencia de alimentación. Un ejemplo de esto ocurre en el espectro que se produce para N=1, T=4, que se visualiza en la figura 2.4, donde para una frecuencia de alimentación de 60 Hz, la magnitud del armónico para n=3, ($\frac{n}{T} \times f = 45$ Hz), excede al n=T componente de frecuencia de alimentación, en aproximadamente 5%.

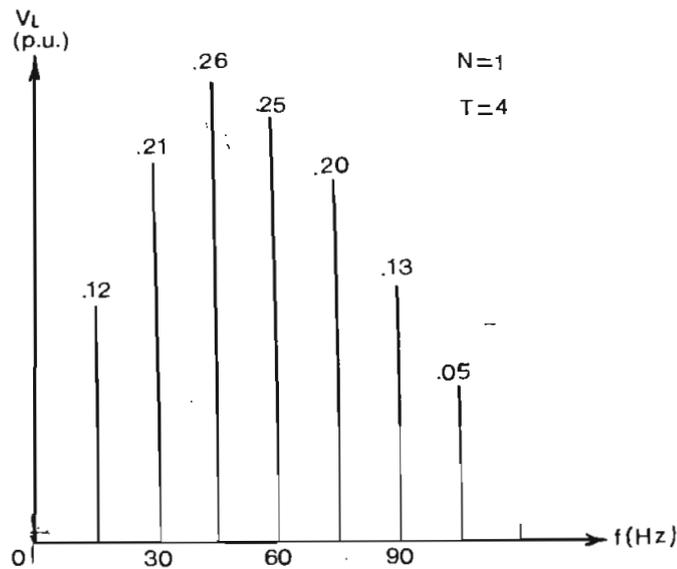


FIG. 2.4.

Para $|I_{Cn}| > |I_{CT}|$ se observa en las ecuaciones 2.5 y 2.10, que:

$$\frac{1}{\pi} \frac{2 T}{T^2 - n^2} \text{Sen } \pi n \frac{N}{T} > \frac{N}{T} \quad (2.13)$$

Si $n = KT$ donde K es entero o fraccionario, la ecuación 2.13 puede ser escrita:

$$\frac{2}{1 - K^2} \text{Sen } K\pi N > N \quad (2.14)$$

Haciendo $N \geq 1$ y $|\text{Sen } K\pi N| \leq 1$ de manera que $\frac{2}{(1-K^2)} \geq 1$, solamente puede suceder si $K < 1$ y la ecuación (2.13) es válida solamente para subarmónicas, y no para componentes armónicos de frecuencia mayor a la de alimentación. En otras palabras solamente en la región en subarmónicas puede una componente armónica exceder de amplitud a la componente de frecuencia de alimentación.

Las grandes corrientes de subarmónicos que se pueden producir de esta manera pueden a veces ser usadas ventajosamente para excitación de motores de frecuencia variable.

†

2.3 ANALISIS DEL ESPECTRO DE FRECUENCIA DE ACUERDO A "N" Y "T". (AC).

2.3.a. EFECTO DE AUMENTAR N CON T FIJO.

Cuando $N \ll T$, el espectro de armónicos tiende a ser uniformemente diseminado al rededor del armónico de frecuencia de alimentación. La figura 2.5.a. representa el caso $N = 1$ y $T = 8$. El más bajo armónico es de $1/8$ la frecuencia de alimentación y algunos subarmónicos son mayores en amplitud. Para este caso las ecuaciones (2.11) y (2.12) son idénticas y los armónicos $n = 8, 16, 24, \text{etc.}$ tienen amplitud cero.

Cuando $N = 2$, figura 2.5.b. la ecuación (2.11) define ceros para $n = 4, 12, 16, \text{etc.}$, mientras que la ecuación (2.12) define ceros para: $n = 16, 24, 32, \text{etc.}$ Tanto como N se incrementa, con T fijo, el armónico de frecuencia de alimentación se incrementa proporcionalmente (ecuación 2.10), pero los $n \neq T$ armónicos varían de acuerdo a $\text{Sen}(n\pi N/T)$.

El efecto neto es producir un espectro más "finamente sintonizado" mientras N se incrementa, de modo que cuando $N = T$, las "Armónicas Laterales" desaparecen totalmente dejando solamente la línea de armónico de la frecuencia de alimentación, y figuras 2.5.c. y 2.5.d.

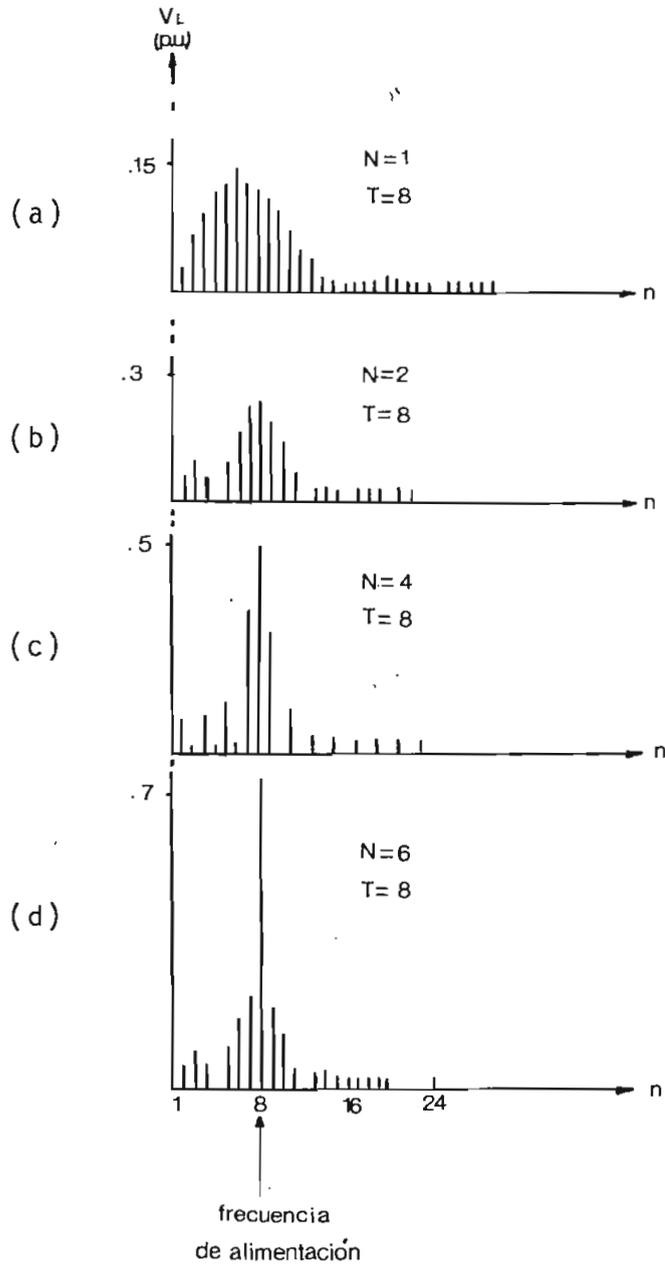


FIG. 2.5

2.3.b. EFECTO DE AUMENTAR N CUANDO N/T ES FIJO.

Para la relación N/T constante, el armónico de frecuencia de alimentación, es también constante. La figura 2.4 muestra el espectro de armónicos para una relación N/T = 1/2 con N = 4, 2, 1, en el cual la componente de frecuencia de alimentación es fijada a 0.5 por unidad. Como en el caso anterior, sección (2.3.a), el espectro de armónicos llega a ser más finamente sintonizado al rededor de la componente de frecuencia de alimentación de acuerdo a incrementos de N. Un incremento de N permite la eliminación selectiva de ciertos armónicos o subarmónicos.

El caso en que N = 1 y T = 2 de la figura 2.4.c. por ejemplo contiene armónicos de 1/2 y 3/2 la frecuencia de alimentación en tanto que el incremento de N a 2 ó a 4 (figuras 2.4.b. y 2.4.a. respectivamente), elimina esos armónicos.

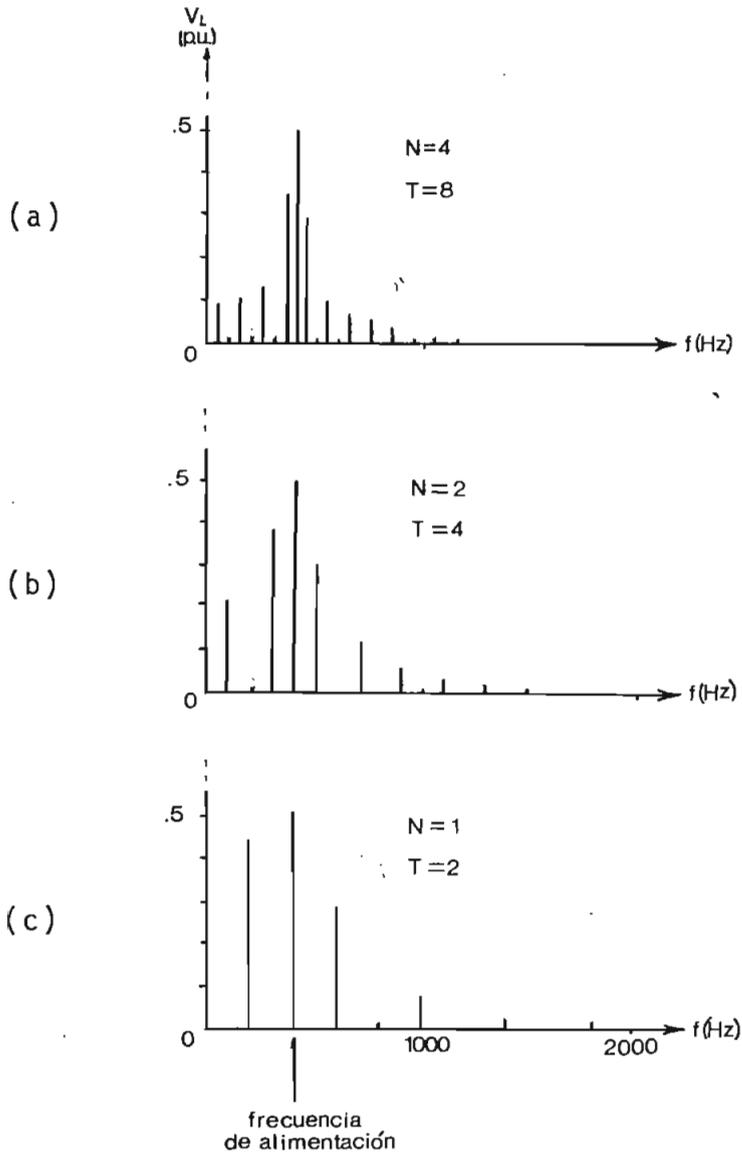


FIG. 2.6.

2.4 COMPARACION DEL ESPECTRO DE COMPONENTES ENTRE EL CONTROL POR CICLO INTEGRAL Y EL CONTROL DE ANGULO DE FASE SIMETRICO.

Si se realiza una comparación de dos métodos de control, en base a igual frecuencia de alimentación, carga, voltaje, se obtendrán resultados similares en forma a los obtenidos para igual potencia, y que se visualizan en la figura 2.7 para el presente caso. Se observa que el control de ángulo de fase está caracterizado por un espectro de FOURIER que consiste de componentes armónicos impares, a diferencia del control por ciclo integral.

El control de Angulo de Fase tiene una componente de alimentación mayor, pero tiene además significativamente mayores componentes de alta frecuencia, que el ciclo integral, que si bien sus componentes de alta frecuencia tienden a ser bastante menores, existe una gran concentración de armónicos de significativa magnitud en la región de la componente de frecuencia de alimentación.

Esta es la diferencia que se ha tomado en cuenta para justificar la existencia y aplicaciones del ciclo integral.

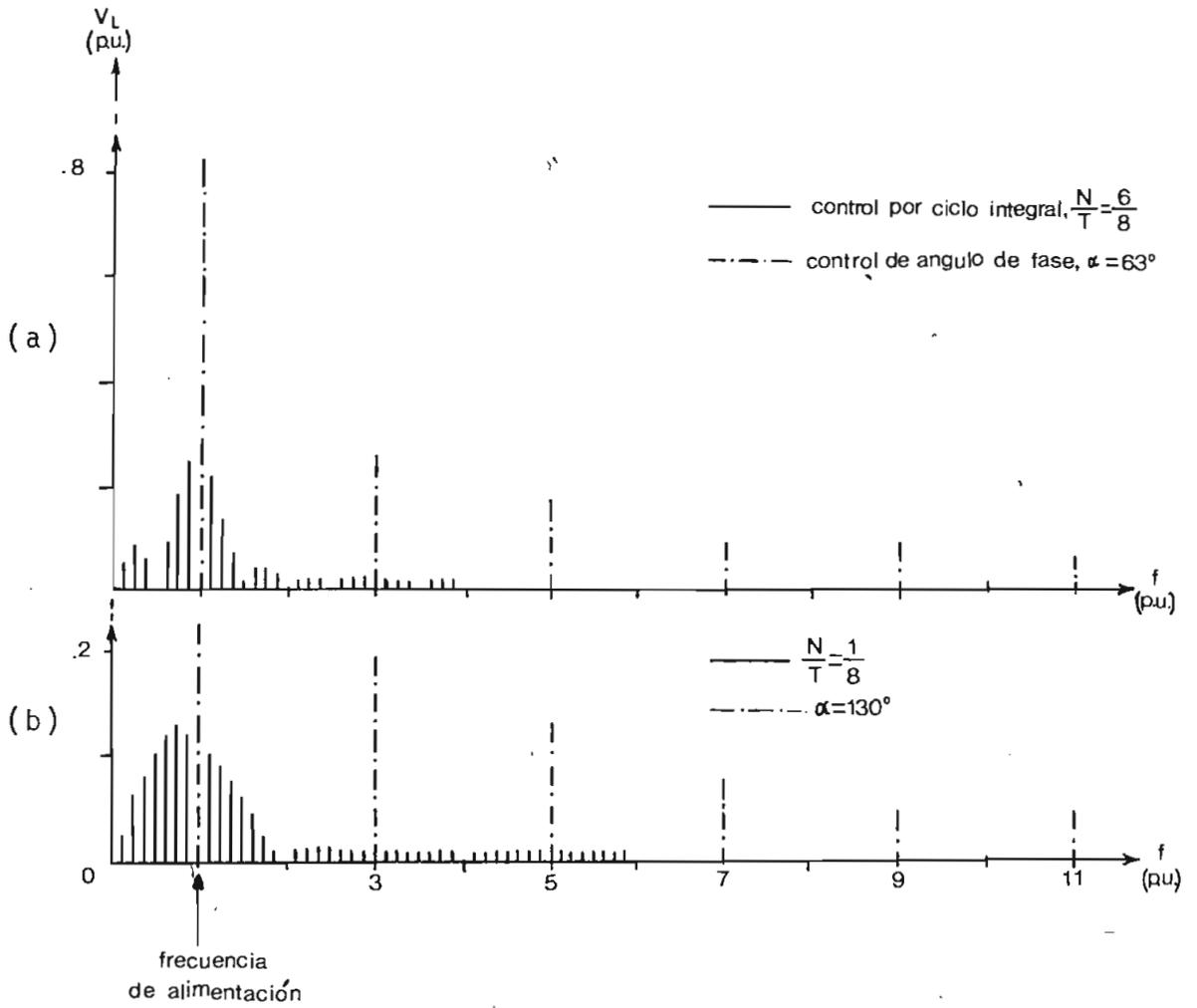


FIG. 27.

2.5 CONSIDERACIONES DE POTENCIA. (AC).

2.5.a. VOLTAJE EFICAZ Y FACTOR DE RIZADO.

El voltaje eficaz de la función $v(\omega t)$ en la figura 2.2 está dado por:

$$V_L^2 = \frac{1}{2\pi} \int_0^{2\pi N/T} V^2 \text{Sen}^2 T\omega t \, d\omega t \quad (2.14)$$

En donde se encuentra que V_L , en términos del voltaje eficaz de alimentación es:

$$V_L = V \sqrt{\frac{N}{T}} \quad (2.15)$$

Para $N = T$ se tiene $V_L = V$. El voltaje V_L no es una función continua, pues puede existir en pasos discretos de duración definida por N y T . Esto ocurre en todo tipo de relaciones de potencia, voltaje y corriente en Ciclo Integral. Haciendo ahora que el voltaje eficaz en la carga V_L consista de una componente de frecuencia de alimentación $V_{n=T}$ ó V_T más la suma de los armónicos diferentes a la frecuencia de alimentación V_H , tendremos:

$$V_L^2 = V_T^2 + V_H^2 \quad (2.16)$$

De la ecuación 2.10, V_T puede ser escrita así:

$$V_T = V \frac{N}{T} \quad (2.17)$$

Combinando las ecuaciones 2.15 a 2.17, se puede encontrar una expresión para el voltaje eficaz armónico V_H en términos N y T .

$$V_H = V \sqrt{\left(\frac{N}{T}\right) - \left(\frac{N}{T}\right)^2} \quad (2.18)$$

La relación de voltaje en la carga de diferente frecuencia de alimentación V_H sobre voltaje eficaz en la carga V_L será:

$$\frac{V_H}{V_L} = \frac{\sqrt{V \left(\frac{N}{T}\right) - \left(\frac{N}{T}\right)^2}}{\sqrt{\frac{N}{T}}} = \sqrt{1 - \frac{N}{T}} \quad (2.19)$$

El factor de distorsión de una forma de onda se define como la relación de la componente eficaz de frecuencias de alimentación sobre el valor eficaz total, y para el ciclo integral es:

$$\text{Factor de distorsión} = \frac{V_T}{V_L} = \sqrt{\frac{N}{T}} \quad (2.20)$$

Alternativamente, un factor de rizado del voltaje en la carga puede ser definido como la relación del voltaje armónico: V_H sobre la componente de voltaje en la carga de frecuencia de a limentación: V_T

$$\text{Factor de rizado} = \frac{V_H}{V_T} = \frac{\sqrt{\left(\frac{N}{T}\right)^2 - \left(\frac{N}{T}\right)^2}}{\frac{N}{T}} = \sqrt{\frac{T}{N} - 1} \quad (2.21)$$

Se ha efectuado una comparación entre el factor de rizado de la ecuación 2.21 y el valor para el control de ángulo de fase obteniéndose el resultado de la figura 2.8, en el que se observa que el factor de rizado es mayor para control por Ciclo Integral que para Control de Angulo de Fase. Se debe aclarar que sólo cuando el voltaje o corriente únicamente del armónico de frecuencia de alimentación es empleado provechosamente, el control por Ciclo Integral produce una menor eficiente operación.

Si es preferible se puede considerar la relación V_H/V_L como el producto del factor de distorsión, ecuación (2.20) y el factor de distorsión, ecuación (2.21):

$$\frac{V_T}{V_L} \cdot \frac{V_H}{V_T} = \sqrt{\frac{N}{T}} \cdot \sqrt{\left(\frac{T}{N} - 1\right)} = \sqrt{1 - \frac{N}{T}} \quad (2.22)$$

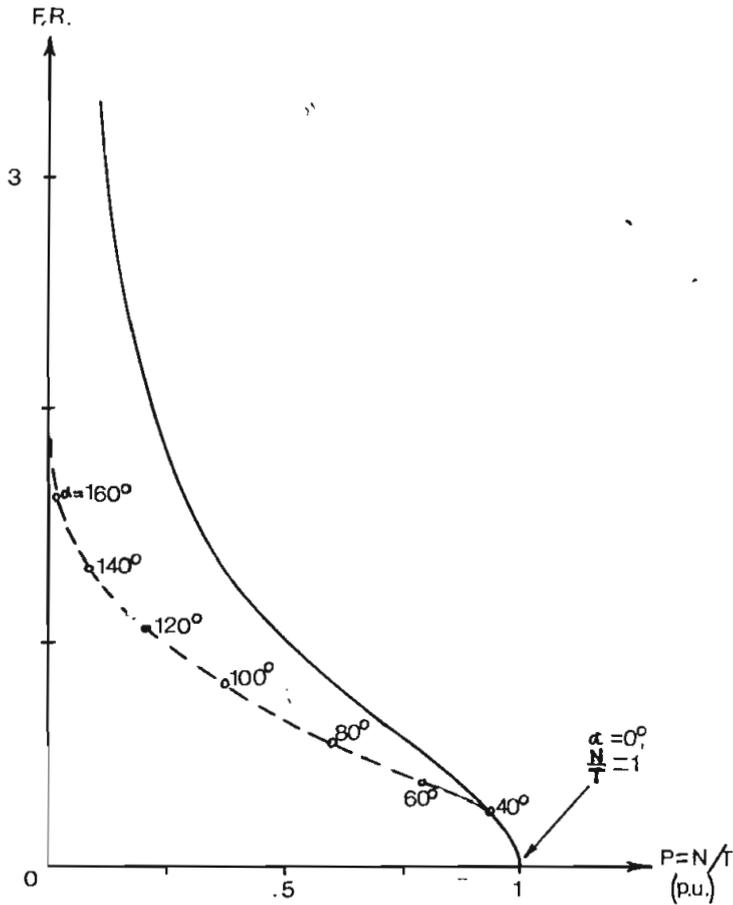


FIG. 2.8.

2.5.b. POTENCIA PROMEDIO EN LA CARGA.

En un circuito resistivo el voltaje y la corriente en la carga, tienen idénticas formas de onda. Puesto que la potencia promedio es el valor promedio del integral: $\int v_L i$, es entonces también proporcional al valor promedio del integral $\int v_L^2$ o proporcional al cuadrado del voltaje eficaz en la carga. La

potencia promedio en la carga está entonces dada, para cualquier forma de onda, por:

$$P = I_L^2 R = \frac{V_L^2}{R} \quad (2.23)$$

Combinando las ecuaciones (2.15) y (2.23) se obtiene:

$$P = \frac{V^2}{R} \cdot \frac{N}{T} \quad (2.24)$$

La relación de potencia es una función discontinua, porque la operación toma lugar sólo en pasos discretos, definidos por valores de N y T. Una comparación de las ecuaciones (2.17) y (2.24) muestra que la potencia por unidad es igual en magnitud al voltaje del armónico de frecuencia de alimentación en la carga. Para un valor de potencia en la carga fijo, el ancho de banda varía inversamente con el período de control T. En la figura 2.9, por ejemplo el efecto de incrementos graduales de T desde 2 a 64, con una relación $N/T = 0,5$ muestra el estrechamiento del espectro. Puesto que N/T es fijo, el armónico de frecuencia de alimentación es constante.

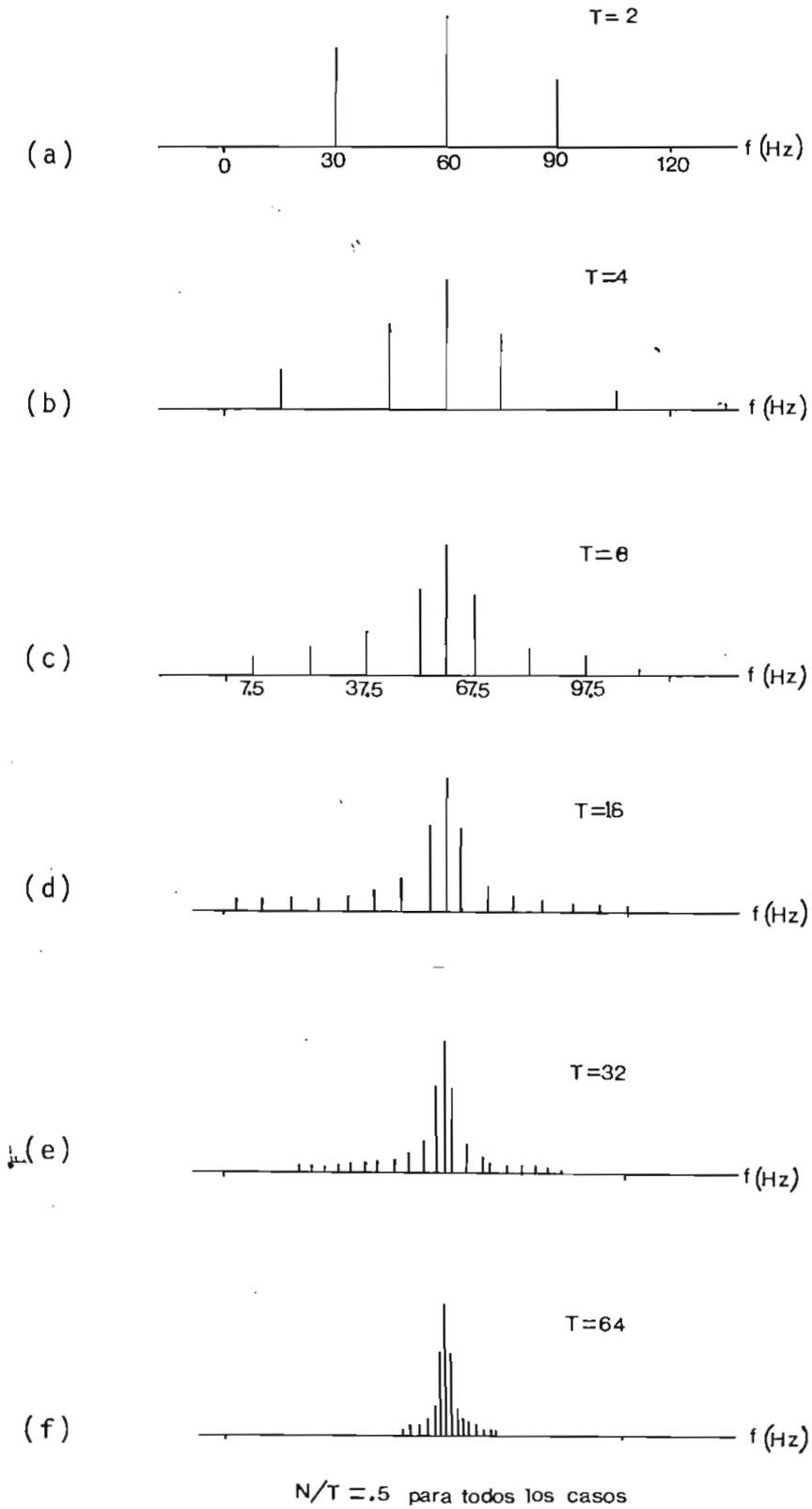


FIG. 2.9.

2.6 FACTOR DE POTENCIA.

En un circuito de tiristores con control por ciclo integral con carga resistiva, el voltaje en la carga está siempre en fase con el voltaje de alimentación. Además, el voltaje de alimentación es continua, en tanto que la corriente de alimentación es discontinua. Por lo tanto el voltaje y la corriente en los terminales de la fuente no están en fase todo el tiempo. La Potencia promedio, y la medida aparente en voltiamperios es diferente, y el circuito opera generalmente a un factor de potencia menor que la unidad.

$$\text{Factor de potencia} = \frac{P}{S} = \frac{P}{V \cdot I_L} \quad (2.25)$$

De la ecuación 2.15, podemos obtener el valor de la corriente eficaz en la carga, en términos del valor eficaz I

$$I_L = I \sqrt{\frac{N}{T}} \quad (2.26)$$

Combinando las ecuaciones 2.24, 2.25, 2.26, se obtiene:

$$\text{Factor de potencia} = \frac{V}{I R} \sqrt{\frac{N}{T}} \quad (2.27)$$

Pero los valores eficaces V, I y R en la ecuación anterior sa

tisfacen la relación $V = I \cdot R$ de manera que:

$$\text{Factor de potencia} = \sqrt{\frac{N}{T}} \quad (2.28)$$

Se observa de las ecuaciones (2.15), (2.20) y (2.28):

$$V_L = \text{Factor de distorsión} = \text{factor de potencia} \\ (\text{en valores por unidad}).$$

Se conoce que el factor de desplazamiento de un circuito, con una función no semisoidal periódica de corriente es el coseno del ángulo entre el voltaje y corriente (componentes fundamentales). También, el factor de desplazamiento se define como la relación del factor de potencia sobre el factor de distorsión. Puesto que el factor de distorsión y el factor de potencia son idénticos para un circuito de corriente a ciclo integral, según la ecuación (2.29), se concluye que el factor de desplazamiento es la unidad. Esto significa que la componente fundamental de la corriente en la figura 2.2, está en fase con el voltaje de alimentación.

2.7 DEFINICION MATEMATICA EN DC.

La función periódica de la figura 1.11, se define de la siguiente manera, para cualquier número par $2N$ de semiciclos rectificados:

$$\begin{aligned}
 v_L &= \sqrt{2} V \text{ Sen } \omega T t & \text{Para: } \frac{2r\pi}{T} \leq \omega t \leq \frac{(2r+1)\pi}{T} \\
 &= -\sqrt{2} V \text{ Sen } \omega T t & \text{Para: } \frac{(2r+1)\pi}{T} \leq \omega t \leq \frac{2(r+1)\pi}{T} \\
 &= 0 & \text{Para: } \frac{2N\pi}{T} \leq \omega t \leq \frac{2\pi}{T}
 \end{aligned} \tag{2.29}$$

Donde $r = 0, 1, 2, \dots, (N-1)$.

Esta ecuación satisface cualquier caso donde $1 \leq N \leq T$, pero no es aplicable al caso de rectificación de media onda.

El análisis matemático de las definiciones dadas, para encontrar los coeficientes de Fourier a_n y b_n se encuentra en la referencia 1, de donde se obtienen los resultados que se analizan a continuación.

2.8 ESPECTRO DE FRECUENCIA. (DC).

2.8.a. COMPONENTE DC ($n = 0$).

El valor promedio de voltaje en la carga o componente DC es proporcional a la relación del número de semiciclos de conducción sobre el número total de semiciclos, para cualquier período T de ciclos de alimentación:

$$a_{n=0} = C_{n=0} = \frac{4N}{\pi T} \sqrt{2} \text{ V} \quad (2.30)$$

El promedio de voltaje en la carga está dado por:

$$V_{n=0} = \frac{a_0}{2} = \frac{2N}{\pi T} \sqrt{2} \text{ V} \quad (2.31)$$

2.8.b. COMPONENTES SUBARMONICOS. ($1 \leq n \leq T$).

El primer armónico representa el $1/T$ subarmónico de la frecuencia de alimentación, el cual es por definición, el menor subarmónico que puede existir. La selección de T define por sí el límite inferior del espectro del voltaje, en la carga. Para control de motores, es necesario evitar ciertas frecuencias subarmónicas próximas a las frecuencia natural de la carga. De manera similar al caso en AC, algunos de los subarmó-

nicos tendrán valores que exceden a la componente DC, dependiendo desde luego de los valores N y T, y pueden ser calculados con las ecuaciones: (2.32) y (2.33).

$$a_n = \frac{\sqrt{2} V T}{\pi (T^2 - n^2)} \left\{ 1 + \cos \frac{2 N n \pi}{T} + \frac{2 \cos \frac{N n \pi}{T} \operatorname{Sen} \frac{(2 N - 1) n \pi}{2 T}}{\operatorname{Sen} \frac{n \pi}{2 T}} \right\} \quad (2.32)$$

$$b_n = \frac{\sqrt{2} V T}{\pi (T^2 - n^2)} \left\{ \operatorname{Sen} \frac{2 N n \pi}{T} + \frac{2 \operatorname{Sen} \frac{N n \pi}{T} \operatorname{Sen} (2 N - 1) n \pi}{\operatorname{Sen} \frac{n \pi}{2 T}} \right\} \quad (2.33)$$

2.8.c. COMPONENTE ARMONICA DE FRECUENCIA DE ALIMENTACION

(n = T).

Armónicos de frecuencia de alimentación corresponden a n = T, y tienen valor cero para valores enteros de N, calculados según las ecuaciones (2.34) y (2.35).

$$a_n = \frac{\sqrt{2}}{\pi} V \sum_{s=0}^{2 N - 1} \int_{s\pi/T}^{(s+1)\pi/T} (-1)^s \operatorname{Sen} \omega T t \operatorname{Cos} n \omega t d \omega t \quad (2.34)$$

Se da la posibilidad de N fraccionario, pues se considera que para rectificación de media onda N = 0,5, con T = 1.

$$b_n = \frac{\sqrt{2}}{\pi} V \sum_{s=0}^{2N-1} \int_{s\pi/T}^{(s+1)\pi/T} (-1)^s \text{Sen } \omega T t \text{ Sen } n \omega t \, d\omega t \quad (2.35)$$

2.8.d. COMPONENTE ARMONICO DE ALTA FRECUENCIA: ($T < n$)

Con excepción de cuando n es un entero múltiplo de $2T$, todos los componentes de alta frecuencia pueden ser calculados en las ecuaciones (2.32) y (2.33).

2.8.e. COMPONENTES DE ALTA FRECUENCIA PARA n MULTIPLO DE $2T$.

En las ecuaciones (2.36) y (2.37), resultados del análisis de Fourier, se considera $n = 2pT$ donde p es un entero; se obtiene el siguiente resultado:

$$a_n = \frac{\sqrt{2} V T}{\pi(T^2 - n^2)} \left(1 + \text{Cos } \frac{2 N n \pi}{T} + 2 \sum_{s=1}^{2N-1} \text{Cos } \frac{S n \pi}{T} \right) \quad (2.36)$$

$$b_n = \frac{\sqrt{2} V T}{\pi(T^2 - n^2)} \left(\text{Sen } \frac{2 N n \pi}{T} + 2 \sum_{s=1}^{2N-1} \text{Sen } \frac{S n \pi}{T} \right) \quad (2.37)$$

$$\Rightarrow a_{n=2pT} = \frac{\sqrt{2} V 4 N T}{\pi(T^2 - n^2)} \quad (2.38)$$

$$b_{n=2pT} = 0 \quad (2.39)$$

2.8.f. COMPONENTES DE ALTA FRECUENCIA CUANDO n ES MULTIPLO IMPAR DE T .

Los coeficientes a_n y b_n , en las ecuaciones (2.36) y (2.37), se pueden demostrar son de valor cero para este caso, para cualquier valor de N y T .

En los gráficos de la figura 2.10, se observan resultados evaluación de ecuaciones para el caso de ciclo integral rectificado, para $N = 4$, $N = 15$, $N = 7$, y $N = 11$ con $T = 19$ en todos los casos, con frecuencia de alimentación de 60 Hz.

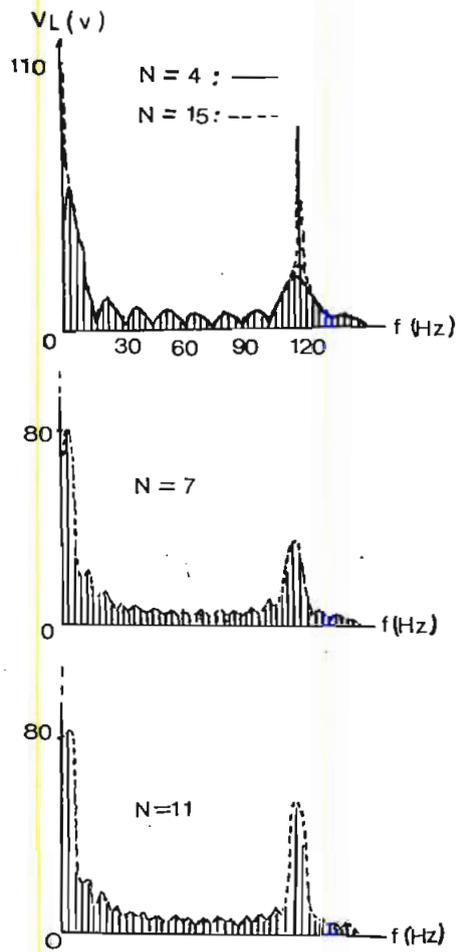


FIG. 2.10

2.9 CONSIDERACIONES DE POTENCIA: FACTOR DE DISTORSION Y FACTOR DE RIZADO. (DC) .

La potencia promedio en la carga para circuitos de ciclo integral rectificado (figuras 1.10), considerando la presencia de tiristores y rectificadores ideales, está dada por la misma ecuación (2.24) que se obtuvo para el caso de ciclo integral en AC:

$$P = \frac{V^2 N}{RT} = I^2 \cdot R \frac{N}{T} \quad (2.40)$$

Puesto que la disipación en la carga es proporcional al cuadrado del voltaje o corriente eficaz (si se considera carga resistiva), entonces de las ecuaciones (2.23) y (2.24), el voltaje eficaz en la carga para la forma de onda rectificada es:

$$V_L = V \sqrt{\frac{N}{T}} \quad (2.41)$$

en donde,

$$V_L = \sqrt{V_{n=0}^2 + V_{n=1/T}^2 + \dots + V_{n=T}^2 + \dots} \quad (2.42)$$

Se define para este caso el factor de distorsión cuando 1 a relación de la componente de voltaje de continua (frecuencia igual a cero) sobre el voltaje eficaz en la carga:

$$\text{Factor de distorsión} = \frac{V_{n=0}}{V_L} \quad (2.43)$$

Combinando las ecuaciones (2.31), (2.41) y (2.43) se tiene que

$$\text{Factor de distorsión} = \frac{2\sqrt{2}}{\pi} \sqrt{\frac{N}{T}} \quad (2.44)$$

Comparando los resultados del factor de distorsión para AC y DC, se observa que en DC es mayor pero se debe tomar en cuenta que la definición de factor de distorsión es diferente.

Mientras se reduzca N/T, con objeto de reducir la potencia en la carga, la distorsión y rizado aumentará. Para el caso de un motor, éste solamente consumirá la componente continua de energía, mientras que los armónicos representarán pérdidas, que serán gran parte de la potencia total a medida que la relación N/T disminuya.

El factor de rizado se define como la relación del voltaje de armónicos sobre la componente continua de voltaje, y está dado por:

$$\begin{aligned} \text{Factor de rizado} &= \sqrt{\frac{V_{n=1/T}^2 + \dots + V_{n=T}^2 + \dots}{V_{n=0}^2}} \\ &= \frac{\sqrt{(V_L^2 - V_{n=0}^2)}}{V_{n=0}} \quad (2.45) \end{aligned}$$

Sustituyendo las ecuaciones (2.31) y (2.41) en la ecuación anterior se obtiene:

$$\text{Factor de rizado} = \sqrt{\left(\frac{\pi}{2\sqrt{2}}\right)^2 - \frac{N}{T}} \quad (2.46)$$

C A P I T U L O I I I

DISEÑO DEL SISTEMA DE CONTROL

3.1 ESPECIFICACIONES.

El circuito de disparo para Control por Ciclo Integral que va a ser objeto de diseño, considera el caso hecho referencia en los capítulos anteriores, ésto es, aquel que permite la conducción de N ciclos enteros de un total T de alimentación.

Considerando que el circuito puede ser utilizado para experimentación de laboratorio, se han previsto especificaciones que lo hagan útil para tal propósito:

- Capacidad de trabajo en fase simple y tres fases, con voltajes de línea de hasta 210 voltios, 60 Hz.
- Posibilidad de conexión de carga en Estrella (人) ó en triángulo (Δ), siendo capaz de ajustar el sincronismo de disparo con la fase de alimentación de acuerdo a la configuración de la carga.
- Generación de tren de pulsos de disparo de tiristores, con períodos de control T de 1 a 999 ciclos, y períodos de alimentación N de 0 a 998, programables en pasos de un ciclo.

3.2 ORGANIZACION DEL SISTEMA.

El diagrama de bloques mostrado en la figura 3.1 señala cada una de las unidades que configuran el sistema, y son las siguientes:

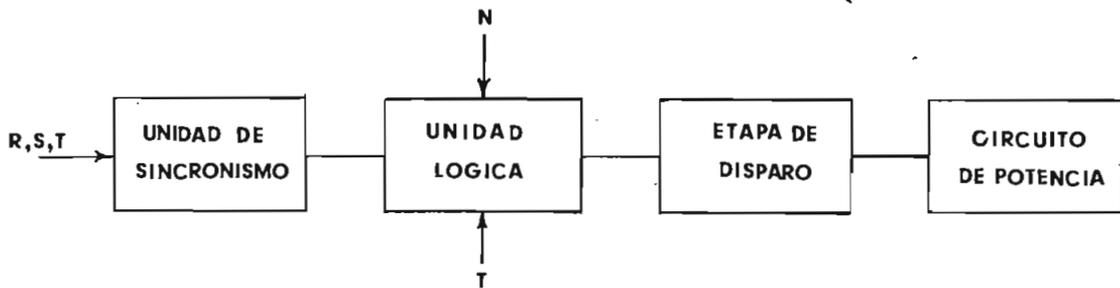


FIG. 3.1.

- La unidad de sincronismo, toma referencias de las tres fases de alimentación y genera impulsos de reloj, sincronizados con la frecuencia y la fase de alimentación, de acuerdo a la configuración de la carga.
- El circuito lógico que utilizando las señales anteriores, produce los pulsos de disparo de acuerdo a los requerimientos de N y T, para una o para tres líneas de alimentación.
- La etapa de disparo que encamina las señales de activado, amplificando el tren de pulsos a niveles adecuados, para ser aplicados a los tiristores. Y,
- El circuito de potencia, cuya configuración básica se mues-

tra en las figuras 1.3 y 1.10, para AC y DC respectivamente.

De estas cuatro etapas que en general, conforman el sistema, la segunda, ésto es el Circuito Lógico, será implementado digitalmente en su totalidad, utilizando lógica TTL.

3.3 UNIDAD DE SINCRONISMO.

3.3.a. DETECTORES DE CRUCE DE CERO.

Como se puede observar en la figura 3.2, los primarios de 3 transformadores reductores se conectan a las líneas de alimentación en estrella (Y) ó en triángulo (Δ), de acuerdo a la configuración de la carga, mediante un selector de 3 posiciones, 6 vías.

Se utiliza transformadores reductores con devanados primarios de 110 ó 220 voltios, y devanados secundarios, constantes por selección de toma de entrada, de 18 voltios pico pico. (Relación 17:1).

En la posición 1 del selector los transformadores serán alimentados por cada una de las tres fases respectivamente, y neutro en la toma central, posición para carga en estrella (Y). En la posición 3, cada uno de los primarios de los transformadores están alimentados por voltajes de línea, siendo esta configuración para carga en triángulo (Δ). En la posición 2, no existe ningún tipo de alimentación.

Cada una de las tres muestras excita un amplificador operacional que trabaja como detector de cruce por cero, y entrega a la salida ondas cuadradas que cambian de $-V_{CC}$ a $+V_{CC}$ durante

el cruce de cero positivo, y de +V_{CC} a -V_{CC} durante el cruce de cero negativo de la señal de entrada. A la salida del amplificador operacional se recortan las áreas negativas, quedando solamente ondas cuadradas con amplitud positiva igual al voltaje del zener y amplitud negativa igual a la de su junta en polarización directa.

Como se utilizarán circuitos TTL, la fuente de alimentación para los amplificadores operacionales es de ±5 voltios, y el diodo recortador tiene un voltaje Zener de 4,7 V (IN52308). El LM 1458 es el amplificador operacional utilizado para este caso, y es protegido en su entrada por dos diodos Zener de 3.3 voltios (μ145) que recortan los picos de la señal de entrada, a un nivel de ±3.9 V.

Los siguientes cálculos se refieren a la figura 3.2 (Formas de onda en la Fig. 3.3).

Si los transformadores entregan 18 V_{pp} en el secundario, para la entrada a los amplificadores operacionales se tendrá:

$$V_1 = 9 \text{ voltios (valor pico)}$$

$$V_2 = 3.3 \text{ V} \quad I_Z = 15 \text{ mA}$$

$$R_1 = \frac{V_1 - (V_Z + 0.6)}{I_Z}$$

$$R_1 = \frac{9 - (3.3 + 0.6)}{15 \text{ mA}} = 340 \Omega$$

=> $R_1 = 390 \Omega$.

Los condensadores conectados entre cada una de las fases de a limentación y el neutro, y entre las entradas de los amplifi- cadores operacionales se han previsto para protección de in- terferencias en las líneas. No ha sido necesaria una resis- tencia de protección en cada una de las salidas de los ampli- ficadores operacionales puesto que éstos están protegidos con tra cortocircuito.

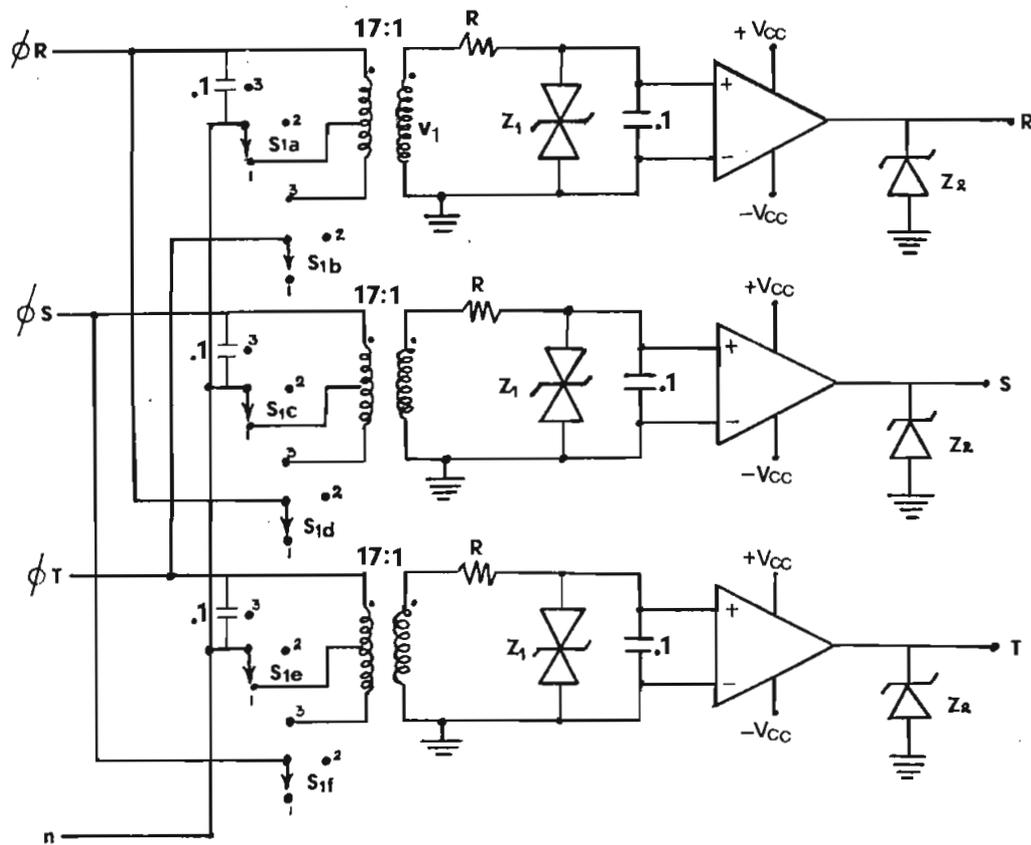


FIG. 3.2.

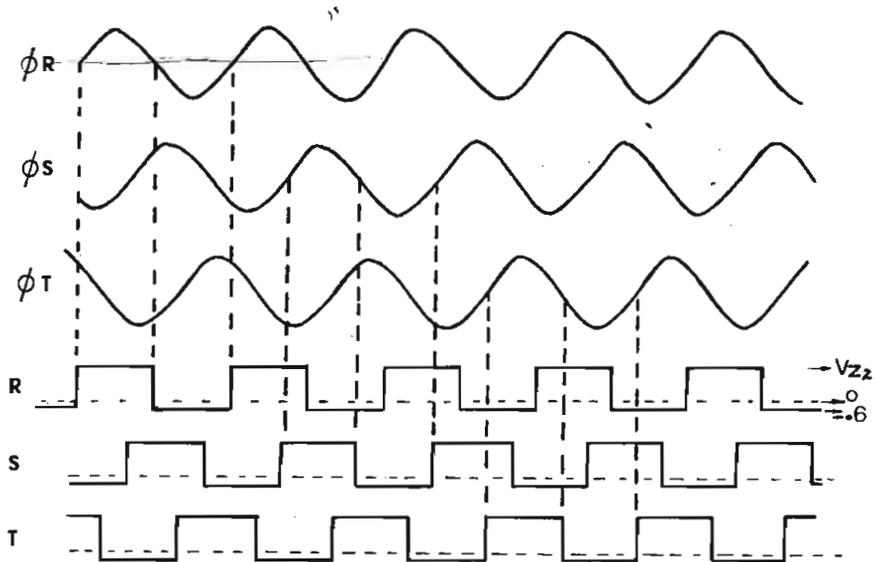


FIG. 3.3.

3.3.b. ACONDICIONADOR DE PULSOS DE RELOJ.

De acuerdo a las funciones que va a realizar la etapa l3gica se necesitan dos se1ales de reloj, originadas por las se1ales de los detectores de cruce de cero.

La primera que conjuntamente con los datos de entrada, N y T, genera la se1al de disparo para uno de los controladores en las l3neas de alimentaci3n. Esta es la se1al Ck_r , y resulta

al invertir la salida del detector de cruce de cero R en una compuerta (SN7404) para un mejor acoplamiento a niveles TTL.

La segunda, que se caracteriza por tener frecuencia 3 veces mayor que la señal Ck_r , pero igualmente sincronizada en los cruces por cero de las ondas correspondientes a las 3 líneas de alimentación, va a operar en el circuito lógico sobre un registro de desplazamiento, que utilizando la señal de disparo producida para la fase R, como referencia, genera señales de disparo para los controladores en las tres líneas de alimentación. Esta señal de reloj es $Ck_3\phi$ y se va a implementar mediante la señal Ck_r y las señales Ck_s y Ck_t . Estas dos últimas provienen de las señales S y T de los detectores de cruce por cero igualmente invertidas. Un circuito combinacional simple, y que por facilidad de implementación utiliza compuertas AND y NAND de dos entradas (SN 7400 y SN7408) genera la señal $CK_3\phi$ descrita. En la figura 3.4 se muestra el circuito y sus formas de onda en la figura 3.5.

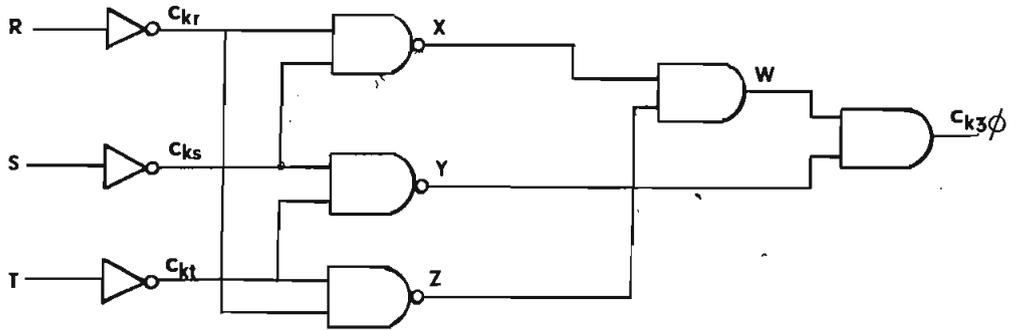


FIG. 3.4.

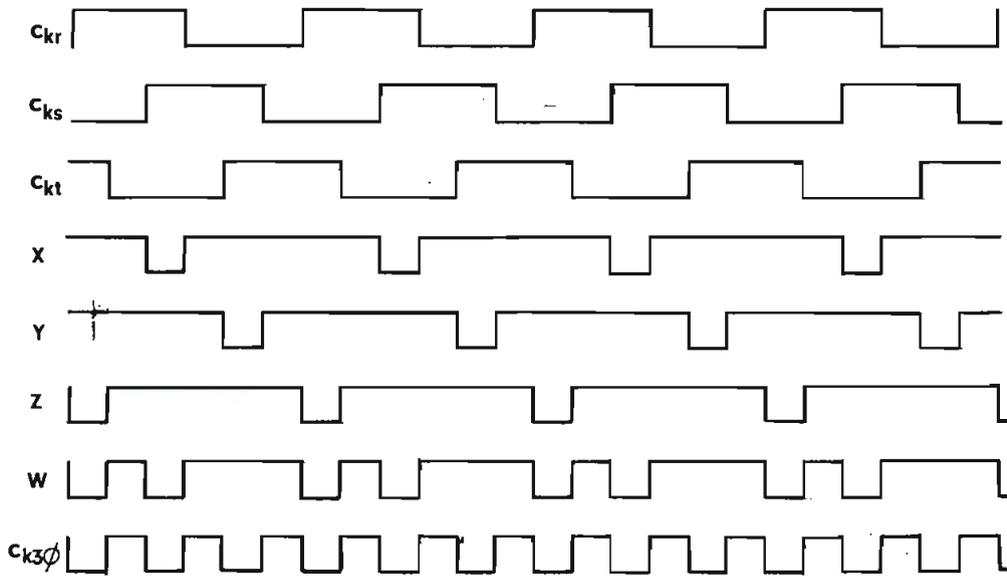


FIG. 3.5.

3.4 UNIDAD LOGICA.

La unidad l3gica est1 representada en bloques en la figura 3.6.

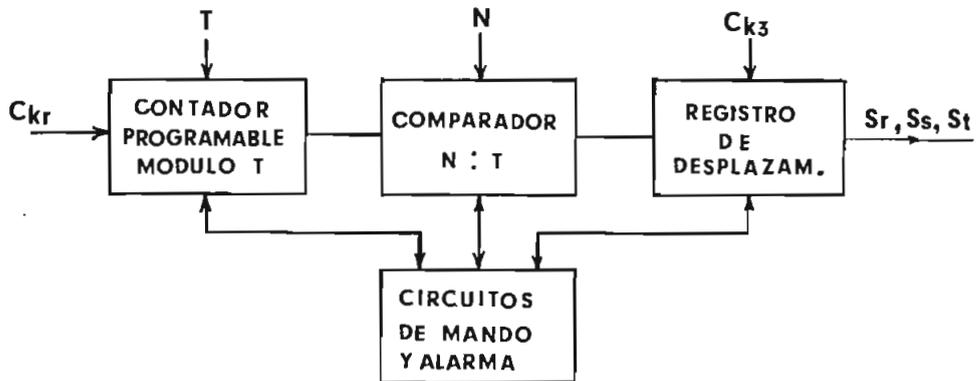


FIG. 3.6.

3.4.a. EL CONTADOR PROGRAMABLE MODULO T.

La funci3n b1sica del contador programable es fijar el per1odo de control T, por lo que debe ser capaz de contar ciclos de la l1nea de alimentaci3n, representados por la se1al de reloj Ckr, de cualquier longitud peri3dica comprendida entre 1 y 999, seg1n una de las especificaciones.

Para este fin, debe estar provisto de una entrada de datos variable de acuerdo a T. Se utilizan por esto tres selectores rotativos en d3cada, con salidas en BCD, muy pr1cticos para este caso.

Se han escogido tres contadores TTL (SN746590) con posibilidad de cuenta en BCD, para configurarlos en cascada, con una cuenta máxima de 999 ciclos, con posibilidad de programarlos de acuerdo al dato de entrada T.

Según las tablas funcionales del SN746590 para cuenta en BCD se tiene la configuración en cascada de la figura 3.7, en don

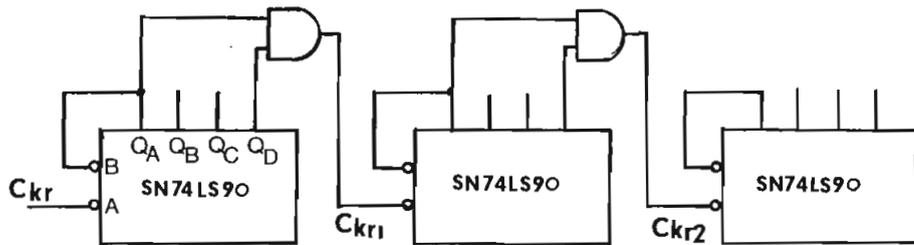


FIG. 3.7.

de las salidas Q y Q de cada uno de los contadores de bits menos significativos, implementan un pulso de reloj a los contadores de bits más significativos inmediatos, mediante dos compuertas AND de dos entradas (SN7408).

$$Ckr_1 = Q_{A_0} \cdot Q_{D_0}$$

$$Ckr_2 = Q_{A_1} \cdot Q_{D_1}$$

El pulso, en cada caso, existe solamente durante el décimo es

tado de la secuencia de conteo de cada uno de los contadores aumentando en una cuenta al contador inmediato superior, en su cambio de nivel de flanco negativo: el SN74LS90 es un contador asincrónico disparado con el flanco negativo de su reloj. Por el momento no se consideran las entradas de reset.

El reloj para el contador de bits menos significativos es la señal C_{kr} , por lo que el primer contador, realiza cuentas de las unidades, el segundo de las decenas y el tercero de las centenas de ciclos.

Para hacer programables a estos contadores, puesto que, por un lado se tienen 3 dígitos en BCD que contienen la información de T en los tres selectores rotativos en década, y por otro en los contadores, salidas de 3 dígitos igualmente en BCD, que representan el valor corriente de conteo, se los puede comparar, y en cuanto sean iguales implementar una función de reset, la misma que fijará el máximo período de cuenta en el valor T.

Para este objeto se utilizan tres comparadores de magnitud (SN7485), de 4 bits cada uno, conectados en cascada, y de acuerdo a sus características ofrecen la configuración de la figura 3.8.

Las entradas A y B se conectan a las salidas de los contadores y de los selectores rotativos en década respectiva y correspondientemente (haciendo coincidir el orden de magnitud

de sus bits).

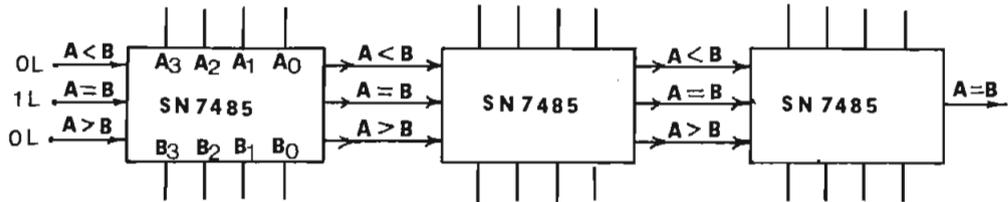


FIG. 3.8.

Según las características del SN74LS90 del cuadro de la figura 3.9.

ENTRADAS DE RESET				SALIDA			
$R_0(1)$	$R_0(2)$	$R_9(1)$	$R_9(2)$	Q_D	Q_C	Q_B	Q_A
H	H	X	L	L	L	L	L
X	L	X	L	COUNT			

FIG. 3.9

Se puede implementar una función de reset automático a los contadores que, en cuanto las dos magnitudes comparadas sean iguales (cuenta T), los detenga y lleve a sus salidas al estado inicial (niveles bajos), comenzando otra nueva secuencia.

Puesto que $S(A = B)$, solamente en el momento de igualarse las

dos magnitudes comparadas, toma el valor de 1L., puede ser utilizada para realizar un reset a los contadores por sus entradas $R_0(2)$. Según la tabla de verdad de la figura 3.9, $R_0(1)$ y $R_9(2)$ se fijarán al valor de 1L., mientras $R_9(1)$ al valor 0L.

El reset así definido, encera durante el último ciclo del período de conteo, las salidas de los contadores, empezando estos un nuevo período de conteo, de igualmente T ciclos.

$S(A = B)$ aparece instantáneamente al empezar el último ciclo de conteo, lo que provoca que la información de este se borre. Importa entonces rescatar la información del último ciclo, para lo cual se retarda la función de reset redefiniéndola de la siguiente manera:

$$P_0(2) = S_{(A=B)_1} \cdot Ck_r$$

$P_0(2)$ se implementa con una compuerta AND de dos entradas (SN 7400), y realiza su función $\frac{1}{2}$ ciclo después de que empezó la Tva. cuenta. La duración de $P_0(2)$ a partir del flanco positivo de Ck_r , en el último ciclo, es el tiempo que tardan en responder en secuencia los contadores y comparadores de magnitud en cascada, y la compuerta AND que implementa el reset. (≈ 76 seg).

Esté tiempo es suficiente para que con el mismo flanco positio

vo de C_{kr} , 12 flip-flops (se utilizan 3 circuitos SN74175) tomen la información de cada una de las salidas de los contadores, que todavía no se han perdido, y las transmitan a sus salidas Q. Se habrá restituido la información del último ciclo totalmente, a costa de retardar la función del contador 1/2 ciclo.

3.4.b. EL COMPARADOR DE MAGNITUD N:T.

Otros tres selectores rotativos en década, con salidas BCD, contienen la información de los tres dígitos de N.

Un circuito comparador de magnitud de 12 Bits, similar al de la figura 3.7 efectúa la comparación entre N y el estado de las salidas del contador programable, y puesto que la configuración en cascada del comparador, provee de señales para $A = B$, $A < B$ y $A > B$, al estar conectadas las líneas BCD del dato N a la entrada B y las líneas de salidas igualmente BCD del contador programable a las entradas A del comparador, se puede observar que la señal $S_{(A>B)}_2$ toma un nivel alto, solamente cuando el estado de la cuenta es estrictamente mayor que N (que ocurre periódicamente puesto que $N < T$ es condición del ciclo integral). Invirtiendo la señal $S_{(A>B)}_2$ mediante una compuerta inversora (SN7404), se obtendrá la señal.

$$R_0 = \overline{S_{(A>B)}_2}$$

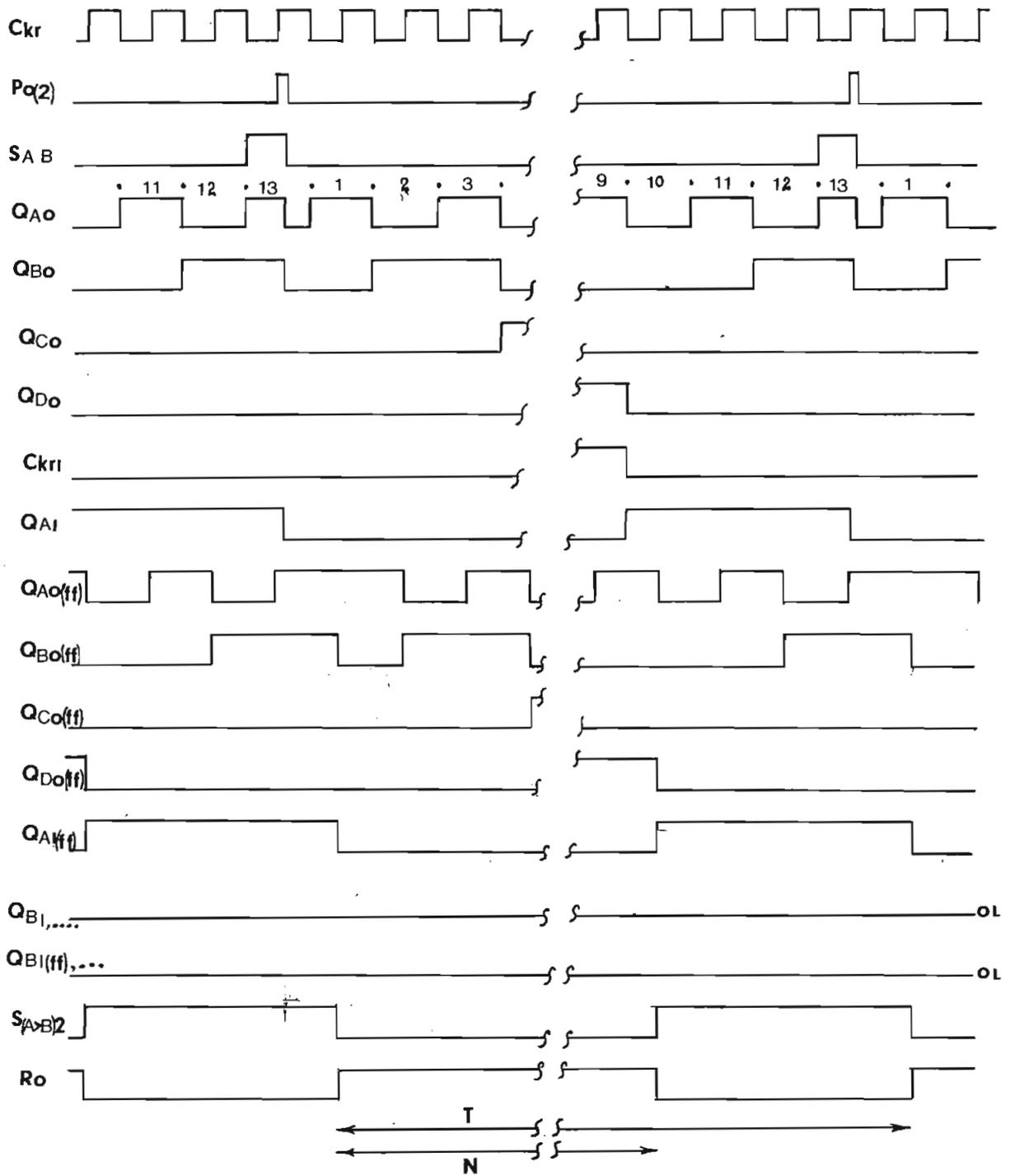


FIG. 3.10. (N = 9, T = 13)

R_0 contiene la información de alimentación de los N primeros ciclos, del período total T , y es el pulso de disparo para ϕR sincronizado en sus flancos positivo y negativo a cruces por cero positivo y negativo respectivamente de la onda de la línea de alimentación.

Las formas de onda de la figura 3.10 visualizan el funcionamiento del contador programable y el comparador $N:T$ en la generación de la señal de disparo para los controladores en la línea R de alimentación.

3.4.c. EL REGISTRO DE DESPLAZAMIENTO.

El registro de desplazamiento (SN74195) de acuerdo a las características de configuración, para desplazamiento serial se muestra en la figura 3.11, y a él se alimenta la señal R_0 , y el reloj $Ck_{3\phi}$.

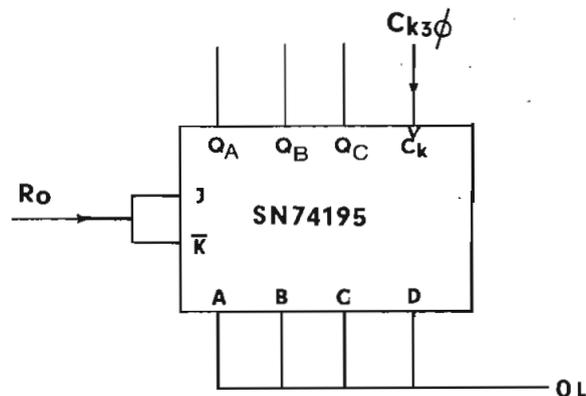


FIG. 3.11.

La función de este circuito, según su configuración y características, hace aparecer secuencialmente en cada una de sus salidas, la señal de entrada, a cada pulso positivo del reloj.

Mientras R_0 se halla sincronizada en su flanco positivo, $Ck_3\phi$ está sincronizada en su flanco negativo, al flanco positivo de Ckr , por lo que, el primer pulso de reloj que habilita pasar la información a través del registro, llega 60° después de que el pulso de disparo apareció en su entrada, y los pulsos de disparo S_s , S_r , S_t , en sus salidas Q_A , Q_B , Q_C , se sincronizan a las muestras T , R , S , en sus flancos positivos.

3.4.d. CIRCUITOS DE MANDO Y ALARMA.

Con el objeto de efectuar cambios de información en las entradas de N y T , se hace necesaria la existencia de un circuito que para el efecto debe realizar funciones STOP*RUN.

Por otro lado una incorrecta selección de datos, caso $N > T$, debe obligar a otro circuito a encerrar las salidas del registro, señalizando el error con una alarma. La figura 3.12, muestra el circuito que realiza estas funciones, basicamente estructurado por dos flip-flops de reloj independiente (SN 7474).

En la posición 1 del selector S_2 (2 vías, 2 posiciones) se ha

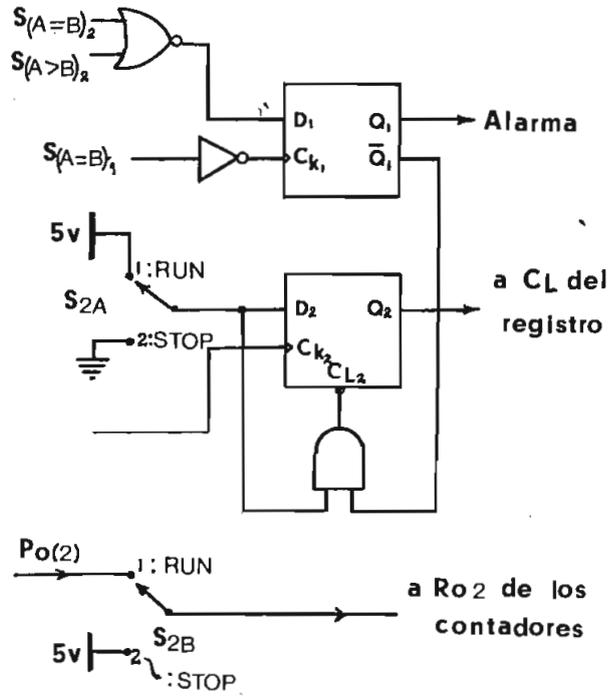


FIG. 3.12

bilita la función RUN: inmediatamente que S_{2B} se cierra, se establece la función de reset automático de los contadores, para secuencias de conteo normales, descrita en la parte pertinente.

Al mismo tiempo mediante S_{2A} , en la entrada de flip-flop 2, aparece un 1 L, el cual se transmite a su salida Q_1 cuando por el efecto de los contadores, y después de los flip-flops de recuperación de información, aparece la señal $Q_{A0}(FF)$, con cuyo primer flanco positivo empieza la real cuenta de T y lle

va a uno lógico la entrada C_L del registro de desplazamiento, habilitándolo para su función.

Con una correcta selección de N y T , la salida $\overline{Q_1}$ del primer flip-flop se mantiene en uno lógico, haciendo que el L del S_{2A} se transmita a la entrada de borrado del segundo flip-flop habilitándolo para su función.

En la posición 2 del selector, por un lado, S_{2B} lleva a las entradas $R_{0(2)}$ de los contadores a 1L, su estado de reset. Por otro, Q_2 en el flip-flop 2 se encera por causa del cero lógico, que en su entrada de borrado ahora existe, por lo tanto la entrada de borrado CL del registro, toma el valor 0L., en cerando instantáneamente el registro interrumpiendo las señales de disparo.

Si bien la función STOP es asincrónica, la característica de los tiristores de apagarse al desaparecer su corriente restituye el sincronismo para el STOP.

Las formas de onda para las funciones STOP-RUN se muestran a continuación, en la figura 3.13.

El primer Flip-flop, que realiza la función de alarma para $N > T$ tiene como entrada D_1 , la función:

$$D_1 = \overline{S_{(A=B)_2} + S_{A>B)_2}}$$

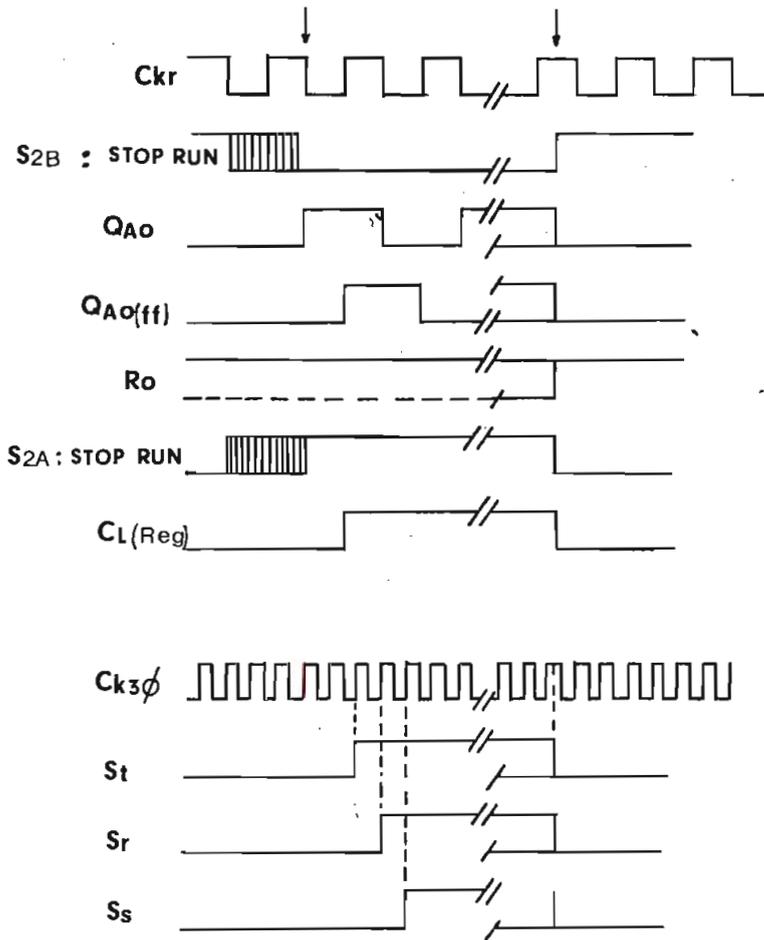


FIG. 3.13.

implementada por una compuerta NOR de dos entradas (SN7402). El flanco positivo de la señal $\overline{S_{(A=B)_1}}$, implementada por una compuerta inversora (SN7404), deja pasar a la salida Q_1 del flip-flop, el 1L, que existe al finalizar la cuenta, cuando el valor corriente de T no ha llegado a ser mayor que N.

Luego de una instrucción RUN, Q_1 pasa a 1L al final de la primera cuenta de T, y lo mantiene hasta cuando con una función

STOP-RUN se corrijan los datos de N y T. Un LED señala el estado de alarma utilizando la salida Q_1 . Al mismo tiempo, Q_2 pasa a OL., y encera al registro de desplazamiento a través de la función del segundo flip-flop.

Por último, y aparte de las funciones hasta aquí descritas se prevee la utilización del control en fase simple, para lo cual, sólo se toma la muestra de la fase R, posicionando el selector S_1 de la unidad de sincronismo en configuración de carga en estrella ().

Como reloj del registro del desplazamiento, se utilizará la se^ñal CK_r invertida (SN7404), y conmutada por el selector de dos posiciones, S_3 como en la figura 3.14. En las 3 salidas del control se obtendrán pulsos de disparo para la fase R, desfasados en 1 ciclo.

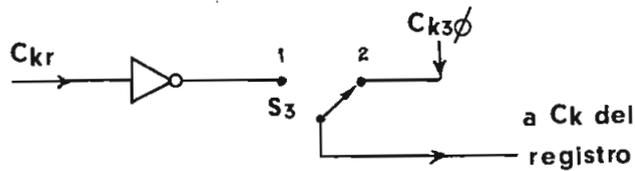


FIG. 3.14.

3.5 ETAPA DE DISPARO

3.5.a. GENERADOR DEL TREN DE PULSOS.

Debido a que las señales de disparo que se consideran como pulsos de relativamente larga duración, producen una disipación de potencia alta en las compuertas que pueden dañar los tiristores, se puede modular dichos pulsos con otros de mayor frecuencia, que a más de disminuir la disipación de potencia en la compuerta, garantizan el disparo del tiristor, especialmente para el control con cargas reactivas.

Considerando valores típicos para los tiempos de encendido de tiristores de media potencia, es posible decidir la frecuencia del tren de pulsos. El promedio del tiempo de encendido es de alrededor de 30 μ seg, y el del tiempo de apagado es de alrededor de 100 μ seg. Por lo tanto un período menor que 130 μ seg. será suficiente para asegurar el correcto disparo, manteniendo una razonable disipación de potencia en la compuerta.

$$T < 130 \mu\text{seg.} \quad \Rightarrow \quad f > 7.69 \text{ KHz.}$$

El circuito generador de onda cuadrada, de las aplicaciones TTL [1], es utilizado y se muestra en la figura 3.15. Se ha fijado una frecuencia de trabajo de 8 KHz. Una compuerta AND (SN7400) adicional como inversor, conectada a la salida del cir

cuito garantiza un mejor acoplamiento.

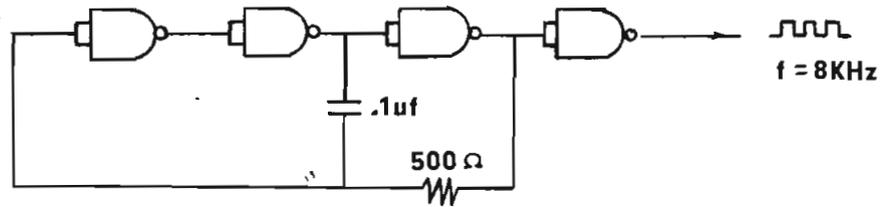


FIG. 3.15.

Las señales de disparo se modulan con el tren de pulsos mediante compuertas AND antes de ser aplicadas a la interfase de potencia.

3.5.b. INTERFASE DE POTENCIA.

Esta etapa es la encargada de acoplar las señales del circuito lógico moduladas con el tren de pulsos con las compuertas de cada uno de los tres pares de inverso-paralelo de tiristores que comandan cada una de las líneas de alimentación. Tres circuitos, como el de la figura 3.16, tomado de la referencia [2] se utilizan para el caso.

3.6. CIRCUITO DE POTENCIA.

Los pulsos de disparo modulados, que proceden de las salidas independizadas de los dos transformadores de pulsos, se alimentan entre la compuerta y el cátodo de cada uno de los dos tiristores en inverso-paralelo, para cada una de las fases,

según el circuito de la figura 3.17.

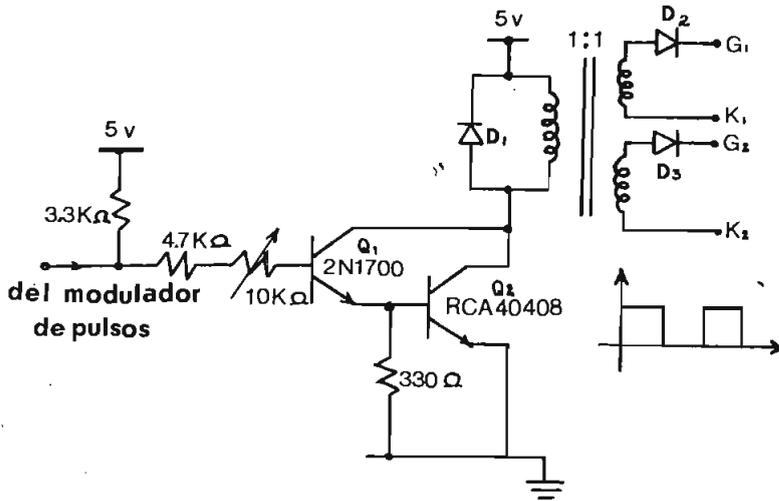


FIG. 3.16.

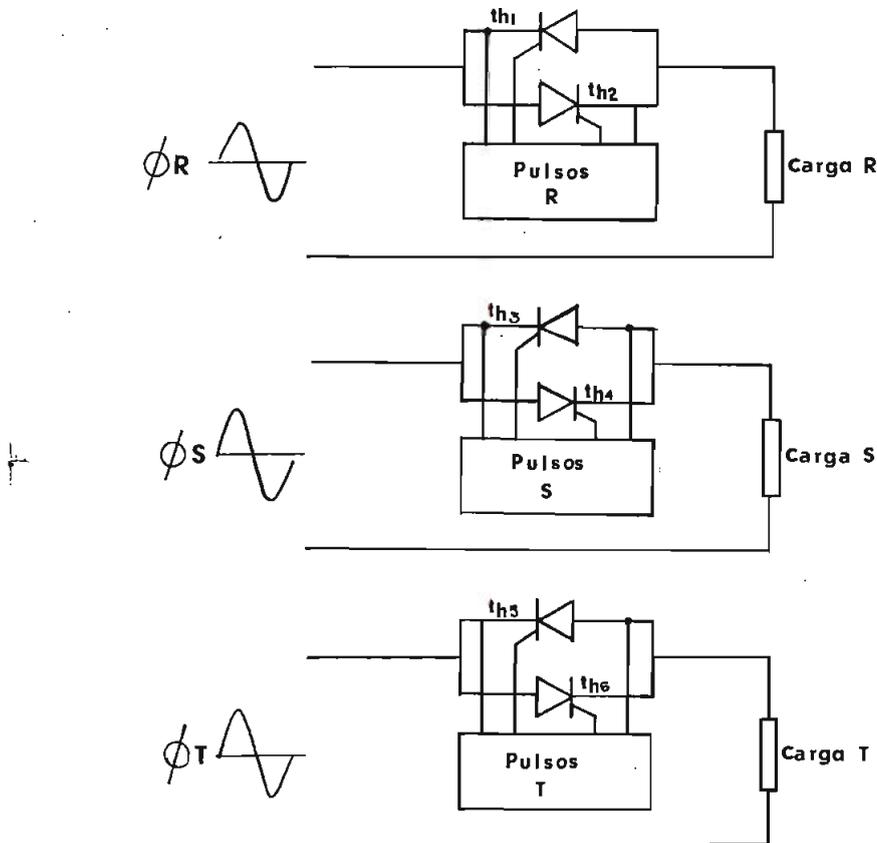


FIG. 3.17.

No se consideran necesarios circuitos de protección de activa dos no deseados tomándose en cuenta el tipo de aplicación a pesar de que en la práctica se utiliza el montaje de tiristores del circuito implementado en la referencia [2], el mismo que los posee.

Los tiristores que dicho montaje utiliza son del tipo: 10RC10A

ECC-5

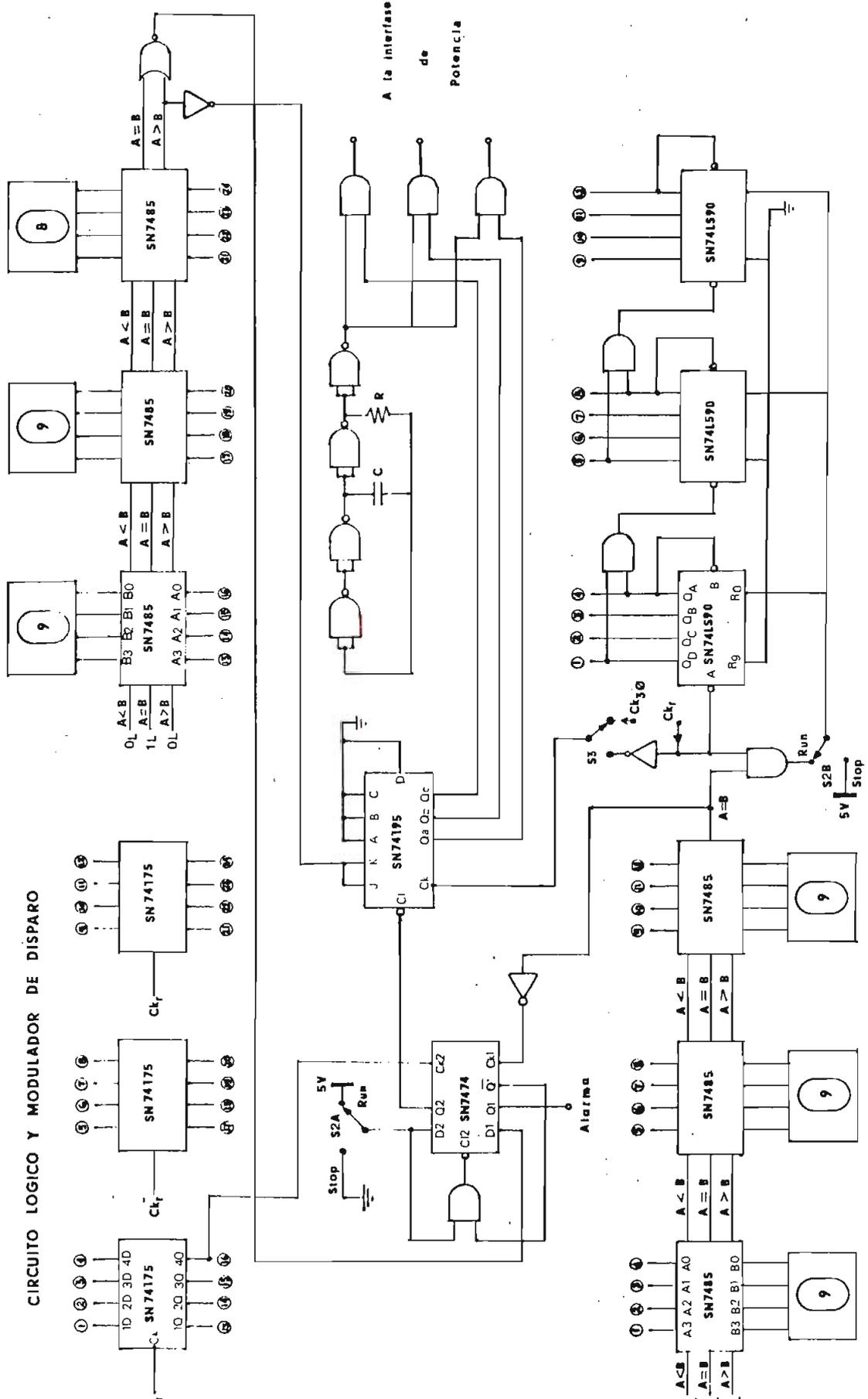


FIG. 3.18.

C A P I T U L O I V

RESULTADOS EXPERIMENTALES Y CONCLUSIONES

4.1. MEDICIONES Y RESULTADOS

Realizado el montaje de cada una de las etapas diseñadas para el circuito de Disparo para Control por Ciclo Integral, y analizado su funcionamiento, se pudieron obtener los resultados que a continuación se detallan.

En la unidad de sincronismo se efectuaron a cabalidad las funciones previstas: Se obtuvieron las muestras de las líneas de alimentación para carga en estrella (Δ) o en triángulo (Δ) o para fase simple, así como también la detección del cruce de cero de cada una de las muestras (Foto 1), para finalmente generarse las señales de reloj CKr y CK $_{3\phi}$.

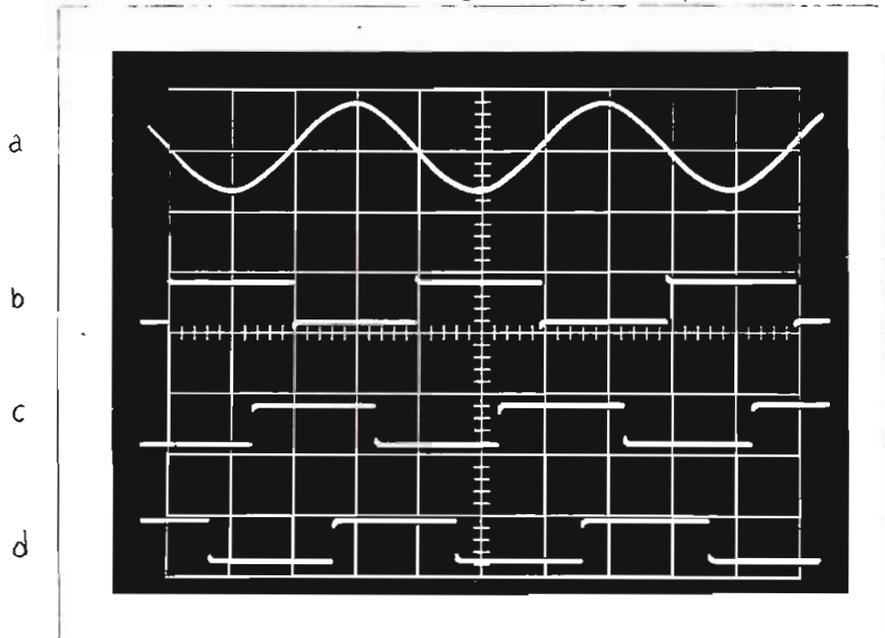


FOTO 1.

FOTO 1. -Vertical unicamente variaciones de entrada
y estados lógicos.

-Horizontal 4.17 mseg/div.

- a) Muestra de la línea de alimentación R (invertida)(60 Hz)
- b) Señal Ckr
- c) Señal Cks
- d) Señal Ckt

En la unidad lógica los resultados de las funciones previstas fueron satisfactorios por igual, según los siguientes análisis de resultados: La señal de Ckr sirve de reloj al contador programable módulo T.

En la fotografía 2, se observan señales de contador, para T=7.

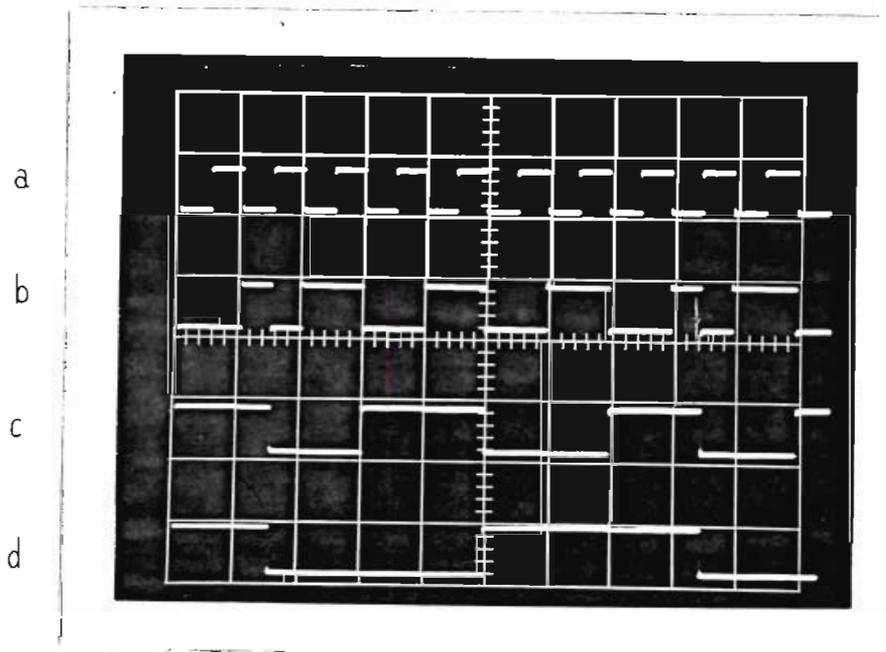


FOTO 2 : (T = 7)

FOTO 2. -Vertical] unicamente estados lógicos.

-Horizontal 17 mseg/div.

(a) Reloj del contador Ckr (60 Hz)

(b) Señal de la salida Q_A del contador menos significativo

(c) Señal de la salida Q_B del contador menos significativo

(d) Señal de la salida Q_C del contador menos significativo

Durante el séptimo ciclo de cuenta, se puede observar que con el flanco positivo de Ckr, se realiza en el contador el reset automático a cero, y durante el último medio ciclo desaparece su información.

Cada una de las salidas de los tres contadores se alimentan a los flip-flops con el objeto de restituir ese medio ciclo de información. Esta función se visualiza en la Foto 3 para el mismo valor de T.

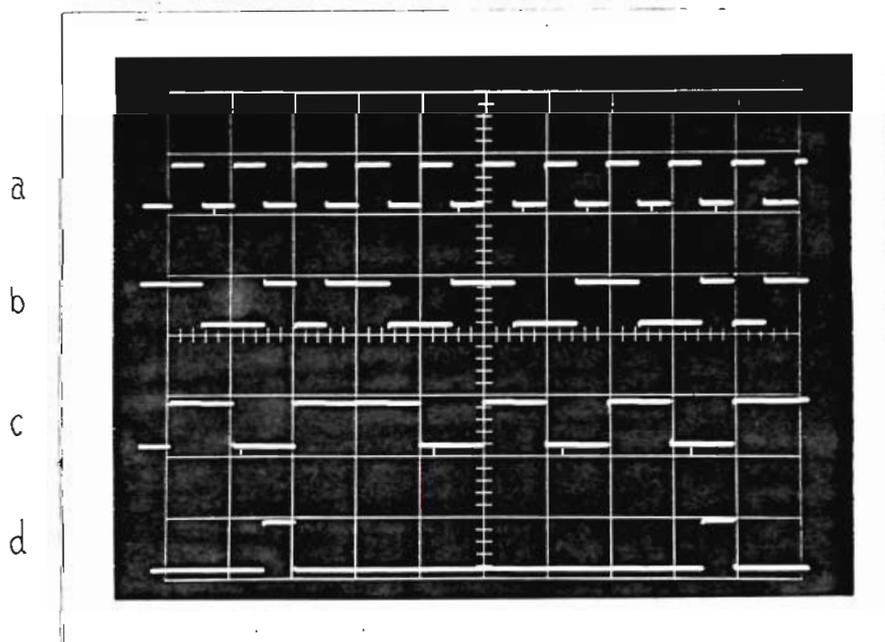


FOTO 3. (T = 7)

FOTO 3. -Vertical: unicamente estados lógicos.

-Horizontal: 17 mseg/div.

- (a) Ck_r
- (b) Salida Q_A del contador menos significativo
- (c) Q_{AFF} , salida del FF al que se ha alimentado la señal anterior.
- (d) $S(A=B)_I$, con cuyos flancos positivos empieza la última cuenta en el contador, y con los negativos se efectúa el reset, al tiempo que ha empezado la última cuenta ya restituída.

Se realiza la comparación de N y el estado corriente de T , obteniéndose la señal R_0 (1 lógico para el tiempo en que $N \leq T$). Esta se alimenta al registro de desplazamiento y según $Ck_3\phi$ se obtienen secuencialmente los pulsos sincronizados de disparo para las líneas T , R y S .

En la Foto 4, con $N = 3$ y $T = 7$, se observan las señales para este caso.

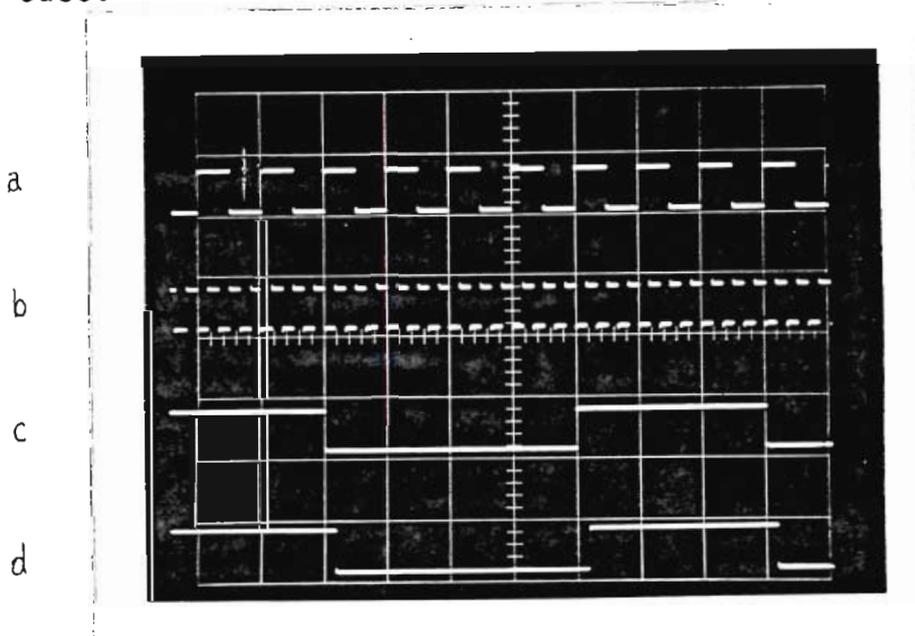


FOTO 4. ($N = 3$, $T = 4$)

FOTO 4. - Vertical únicamente estados lógicos.
- Horizontal 17 mseg/div.

(a) Ckr

(b) $Ck_3\phi$ (En 180 Hz)

(c) R_0 (Sincronizado con el flanco positivo de Ckr)

(d) Salida en Q_A del registro: St (Pulso de la línea T)

En la etapa de disparo los pulsos de disparo de las tres líneas se modulan con el tren de pulsos del oscilador, y pasan por los amplificadores en la interfase de potencia.

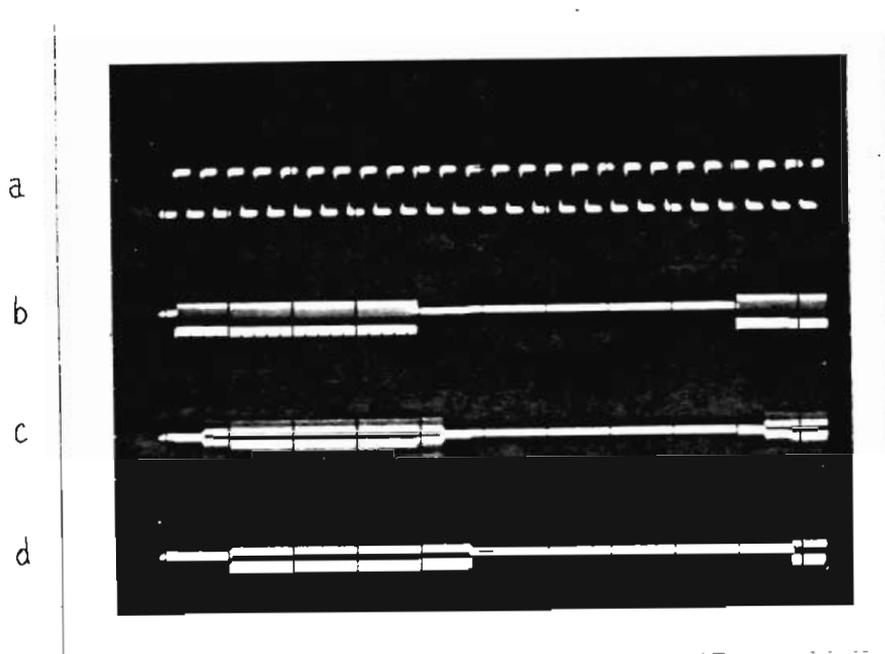


FOTO 5. (N = 3, T = 4)

- Vertical únicamente estados lógicos.
- Horizontal 13 mseg/div.

(a) Señal de reloj $Ck_3\phi$

- (b) Tren de pulsos de disparo para la línea T.
- (c) Tren de pulsos de disparo para la línea R.
- (d) Tren de pulsos de disparo para la línea S.

Estas tres últimas señales se obtuvieron en los colectores de los transistores Q2 de la interfase de potencia.

En la Foto 6 se observan las señales de función RUN ($N = 3, T = 7$)

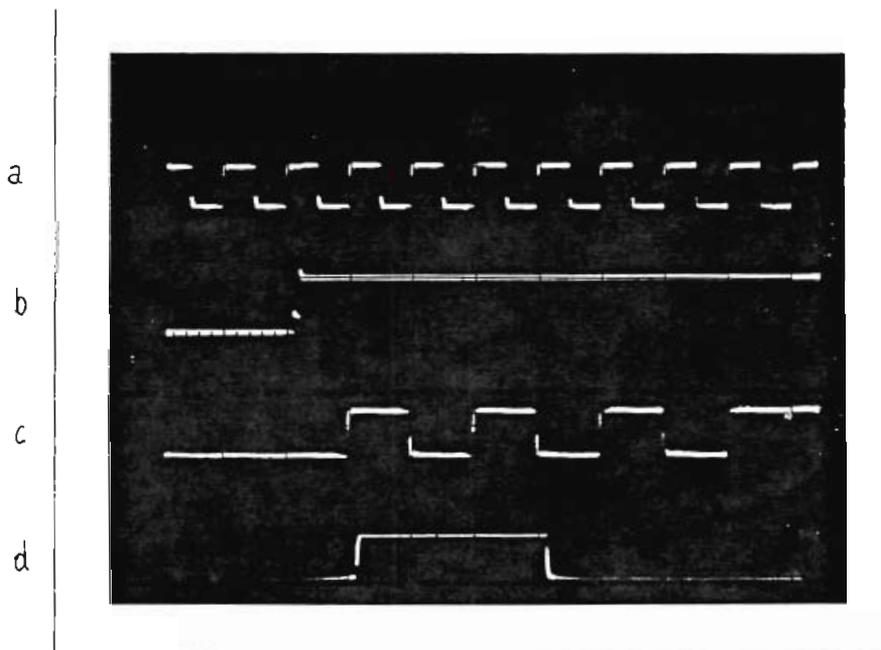


FOTO 6. ($N = 3, T = 7$)

- Vertical únicamente estados lógicos
- Horizontal 17 msec/div.

- (a) Ckr
- (b) Pulso (manual) del selector S_{2a} a la entrada D del flip-flop.
- (c) Q_{A0}(FF)

(d) St: primera salida del registro de desplazamiento.

En el montaje experimental del circuito se encuentran los siguientes controles:

- Selectores N y T.
- Selector de configuración de carga: en estrella o en triángulo.
- Selector de operación en fase simple o en tres fases.
- Control de función STOP-RUN.

Se pueden observar además en cada uno de los circuitos integrados entre sus terminales V_{CC} y GND: Condensadores de $0.1 \mu F$, los mismos que reducen el ruido e interferencia acoplada a través de la línea de alimentación, que producía errores en la operación de conteo de la unidad lógica.

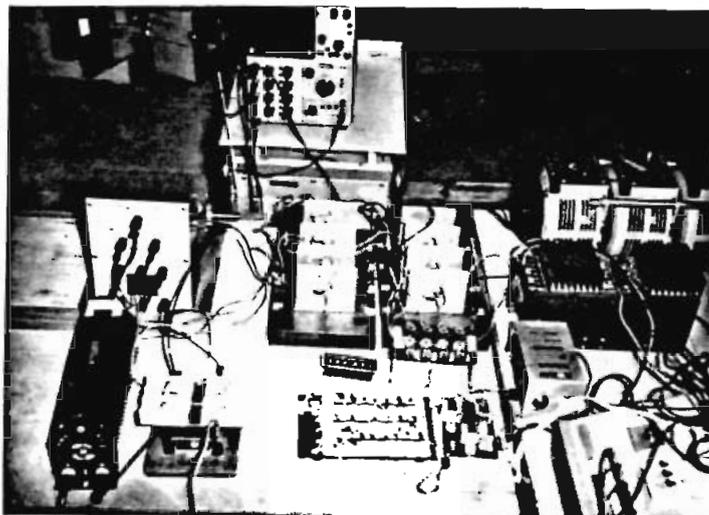


FOTO 7.

Una vez acoplado los módulos que conforman el circuito (Foto 7), se realizaron pruebas con diferentes cargas cuyos resultados son los siguientes:

1º Una carga resistiva en estrella con neutro conformada por tres lámparas incandescentes de 60 Watios a 115 -125 Voltios, se conectó al circuito de potencia; las formas de onda de la Foto 8, corresponden al caso para $N = 1$ y $T = 8$. En la Figura 4.1 se muestra el circuito conformado.

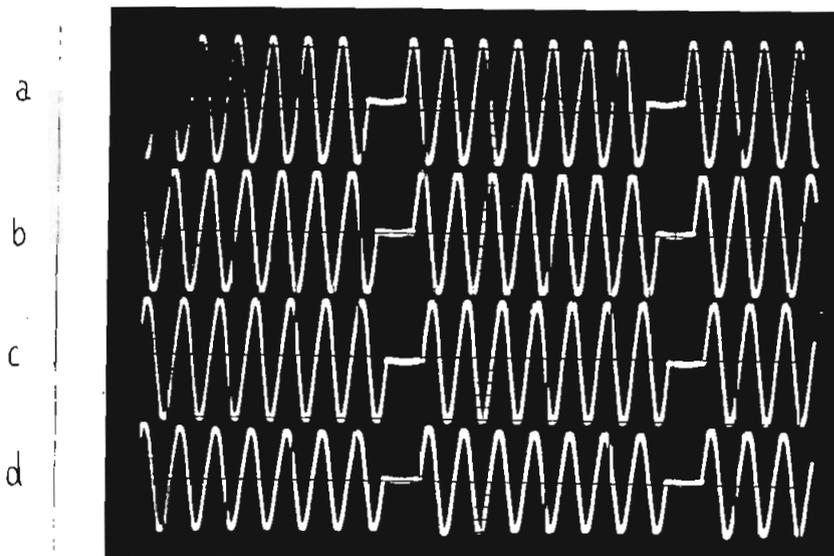


FOTO 8. ($N : 1, T = 8$)

- Vertical: a), b), c) : 150 V/div.
- d) : 1 V/div
- Horizontal: 37 mseg/div.

(a) Voltaje en la carga T - n.

(b) Voltaje en la carga R - n.

(c) Voltaje en la carga S - n.

(d) Corriente a través de la carga S - n (tomada sobre una resistencia de 1 ohmio).

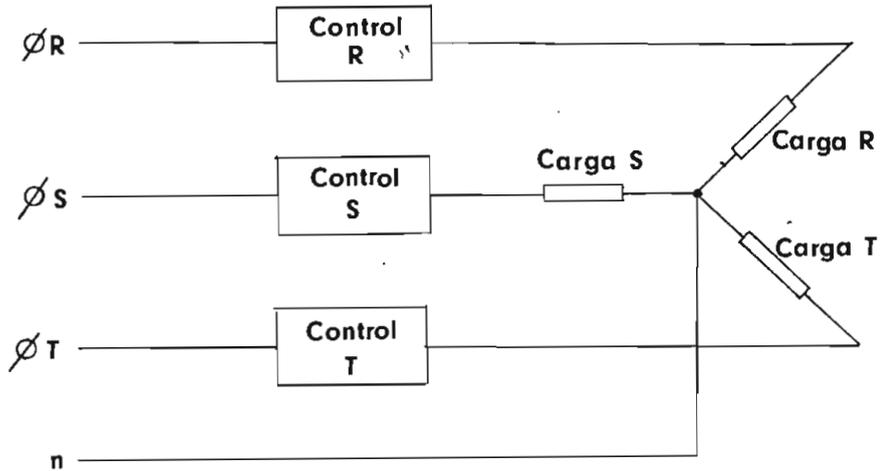


FIG. 4.1

Con la carga anterior se observó con más detalle la existencia de un transitorio en la corriente, al principio de cada período. En la Foto 9 se muestra lo indicado para $N = 12$ y $T = 16$.

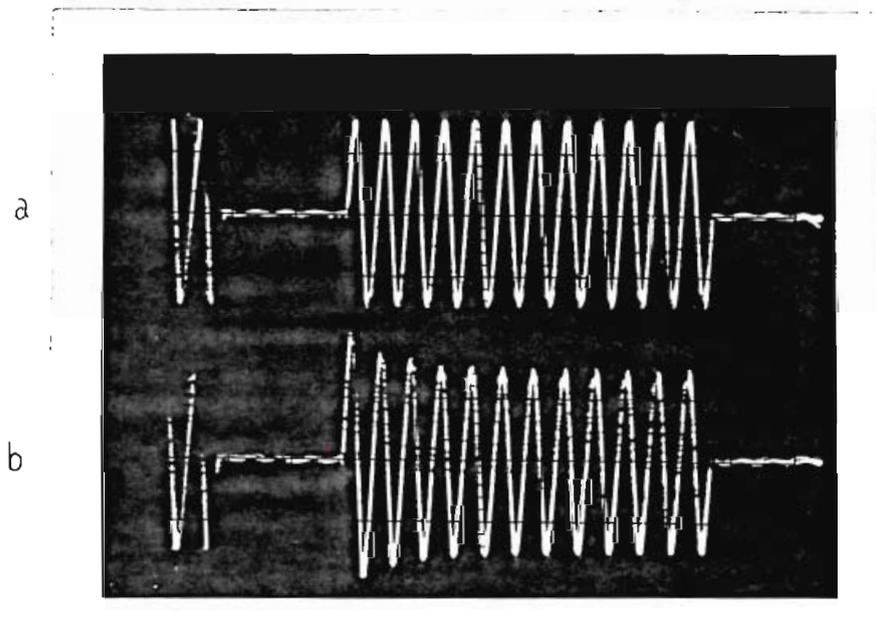


FOTO 9. ($N = 12$, $T = 16$)

FOTO 9. - Vertical: a) 100 V/div.

b) 0.5 V/div.

- Horizontal: 33 mseg/div.

(a) Voltaje en la carga R - n.

(b) Corriente a través de la carga R - n. (Tomada sobre una re
sistencia de 1 Ohmio).

Puesto que la carga se trata de una lámpara incandescente, la variación de la resistencia con la temperatura, fenómeno que ocurre en la lámpara durante el tiempo inicial de cada período de conducción, justifica el transitorio mencionado. La re
sistencia de un metal se incrementa con la temperatura, según la ley que define la siguiente ecuación:

$$R_t = R_0 (1 + \alpha t). \quad (4.1)$$

Donde t es la temperatura, R_t es la resistencia del metal a $t^\circ\text{C}$, R_0 es su resistencia a 0°C , y α es el coeficiente de va
riación de la resistencia con la temperatura.

La corriente inicialmente en un valor va disminuyendo hasta es
tabilizarse, del mismo modo como la resistencia inicialmente me
nor, va aumentando hasta igualmente estabilizarse, cuando el filamento ha adquirido su temperatura de trabajo.

Por otro lado, se pudo observar, considerando la posibilidad de control de iluminación, un irritante parpadeo en la lámpa-

ra, aún cuando se omitió sólo uno de cada cien ciclos de control ($N = 99$, $T = 100$).

2º Un horno eléctrico casero, de una fase, fue sometido a control por ciclo integral, obteniéndose los resultados que se pueden observar en la figura 4.2.

De este resultado experimental se puede ver que existe una relación lineal entre los valores de N/T y la temperatura.

La Ley de Joule, para conversión de energía eléctrica a energía calórica en una resistencia, define a la temperatura proporcional al cuadrado del voltaje eficaz en la resistencia.

$$t \propto (V_L)^2 \quad (4.2)$$

El valor eficaz del voltaje en la carga, para ciclo integral, según la ecuación 2.15 está dada por:

$$V_L = V \frac{N}{T}$$

Al reemplazar la ecuación anterior en la ecuación 4.2 se obtiene:

$$t \propto \left(V \frac{N}{T} \right)^2 \quad (4.3)$$

Como V , valor eficaz de voltaje de alimentación, se puede con

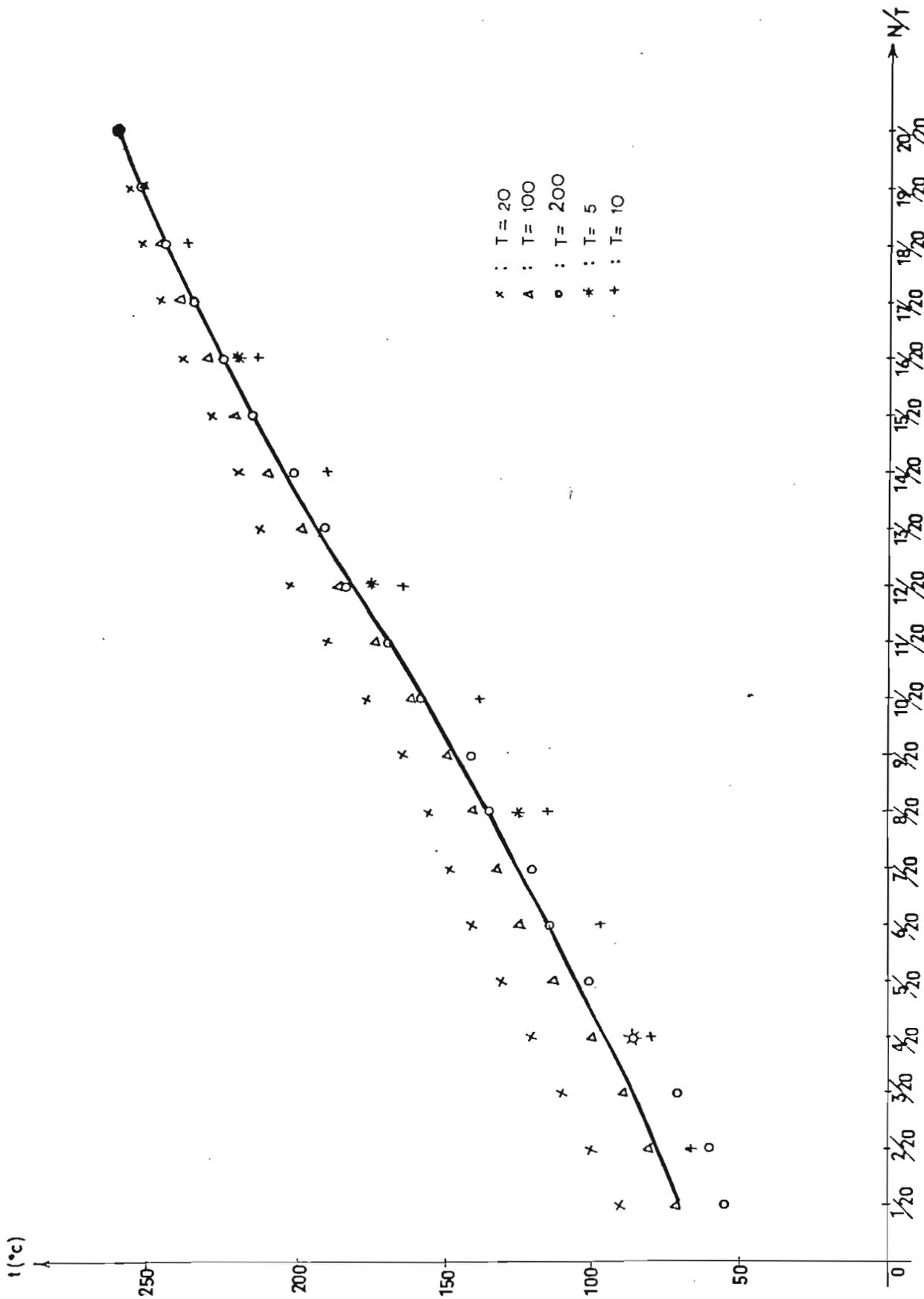


FIG. 4.2.

siderar constante, la ecuación 4.3 toma finalmente la forma:

$$t = k \frac{N}{T} \quad (4.4)$$

La ecuación 4.4 se satisface en el resultado experimental, y cumple lo afirmado.

3º Un motor trifásico (Δ) de inducción fue alimentado con ciclo integral con el propósito de observar su comportamiento. Las características del motor son las siguientes:

MARCA: RELIANCE	HP : 1/3
IDENT: N° 438277 - ZB	A : 2.4
INS CLASS : A	F.R. : K56
TIPO : P	Ciclaje: 60
V : 208	RPM : 1725
°C AMB : 40	PH : 3

Para valores de N y T tales que $T-N/N < 1$, el motor arrancó suavemente, llegando a estabilizarse, pero sin lograrse un mayor grado de control de velocidad.

Para cuando el intervalo de extinción, (T - N), era mayor o igual que el de conducción (N), las pulsaciones de torque se hicieron muy visibles y audibles sus vibraciones, en tal medida que el contactor térmico de protección se desconectaba más rápidamente, según $T - N/N$ aumentaba (a partir de valores de

$T - N/N > 2$).

Las Fotos 9 y 10 ilustran los casos para $N = 1$, $T = 3$ y $N = 5$, $T = 6$: inestable y estable respectivamente, a partir del primer período de control.

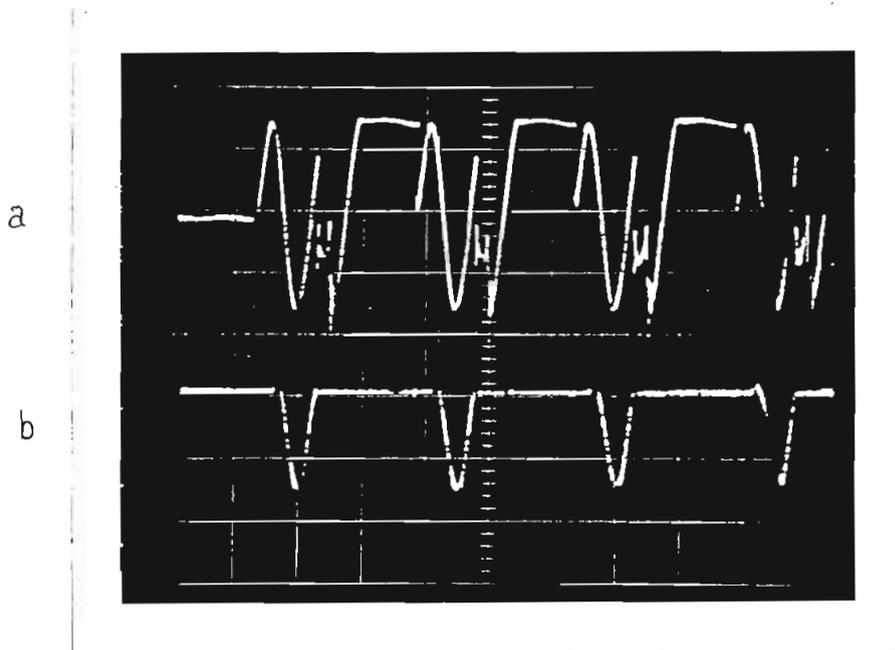


FOTO 10. ($N = 1$, $T = 3$, inestable)

- Vertical : a) 100 V/div.
 b) 10 V/div.
- Horizontal : 20 mseg/div.

a) Voltaje en la carga $T - n$.

b) Corriente a través de la carga $T - n$. (Tomada sobre una resistencia de 1 Ohmio).

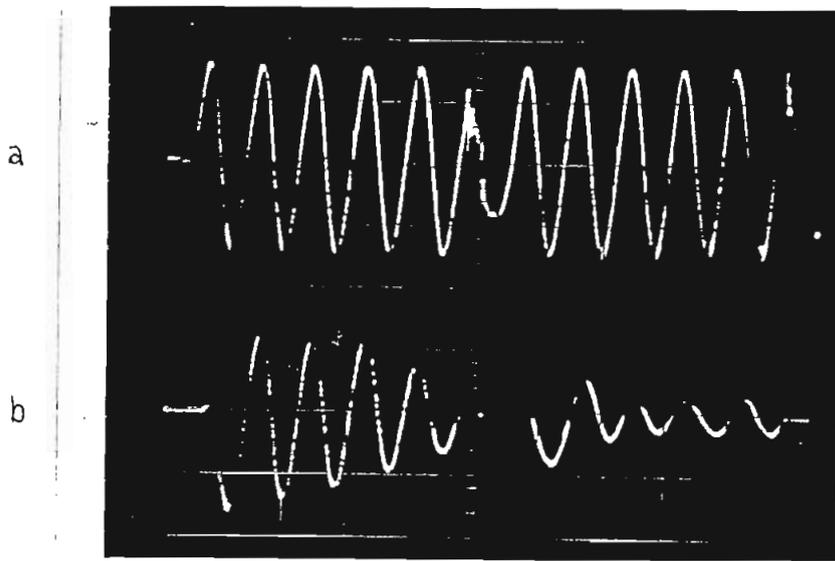


FOTO 11. ($N = 5$, $T = 6$, estable)

- Vertical : a) 100 V/div.

b) 5 V/div.

- Horizontal : 20 mseg/div.

(a) Voltaje en la carga de T - n.

(b) Corriente a través de la carga T - n, (tomada sobre una resistencia de 1 Ohmio).

4º Formas de onda sobre una carga R - L serie, se observan en las Fotos 12 y 13. Valores de $R = 30$ y $L = 3,5$ H se tomaron, para observar los casos $T - N/N \geq 1$ ($N = 1$ y $T = 2$), y $T - N/N < 1$ ($N = 6$ y $T = 8$).

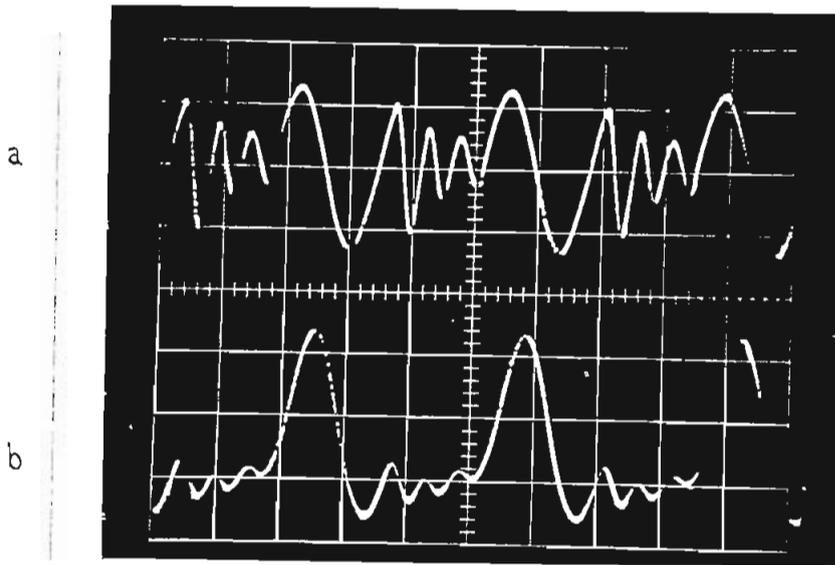


FOTO 12. (N = 1, T = 2)

- Vertical : a) 200 V/div.

b) 0.2 V/div.

- Horizontal : 20 mseg/div.

(a) Voltaje en la carga $R = 30 \Omega$, $L = 3,5 \text{ H}$, en serie.

(b) Corriente a través de la carga (Tomada sobre una resistencia de 1Ω).

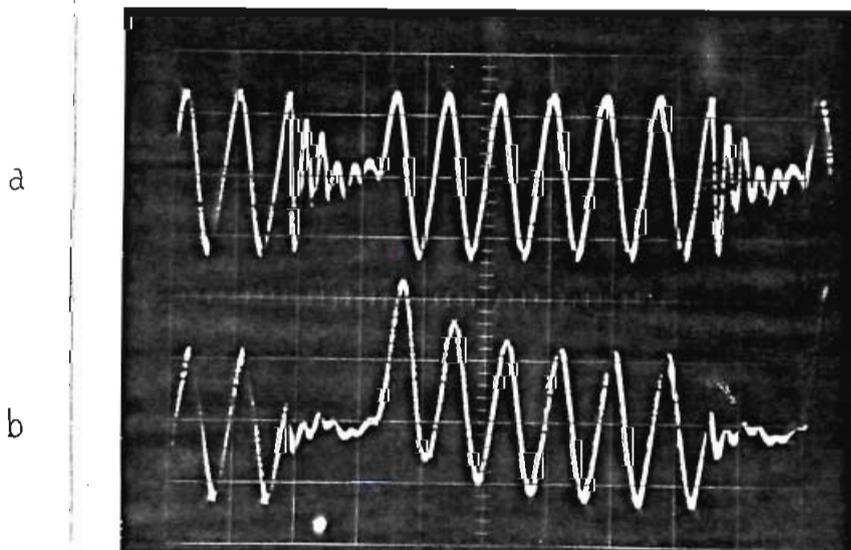


FOTO 13. (N = 6, T = 8)

FOTO 13. - Vertical : a) 200 V/div.
b) 0.2 V/div.
- Horizontal : 10 msec/div.

- (a) Voltaje en la carga $R = 30 \Omega$, $L = 3,5 H$, en Serie.
- (b) Corriente a través de la carga (Tomada sobre una resistencia de 1 Ohmio).

5º Finalmente se realizaron pruebas de control de velocidad en un motor de DC, utilizando Ciclo Integral rectificado, obteniendose resultados satisfactorios. Las características del motor utilizado son las siguientes:

MARCA : RELIANCE

IDENTIF. Nº : 37698-QC

FR : P 56 H

TYPE : T

HP : 1/3

R.P.M. : 1725

VOLTS : 115

AMPS : 3.4

FIELD AMPS : 0.4

INSUL. CLASS : B

TIME RAITING

El motor fue controlado a partir de velocidad y corriente nominales (para alimentación continua: $T = N$), Según la configuración de la Figura 4.3.

Se aprecia en este circuito la conexión del motor en campo serie, cargado por un generador DC, con campo paralelo, que a su vez tiene carga resistiva.

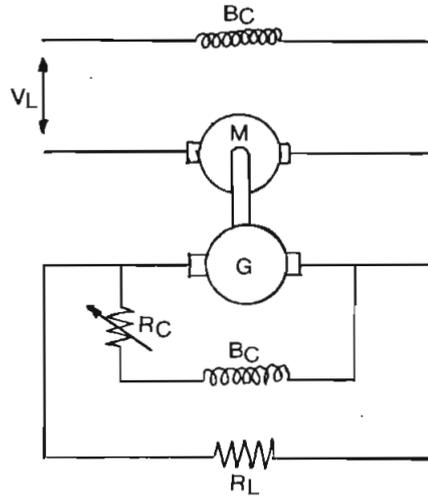


FIG. 4.3

El cuadro de la Figura 4.4. permite apreciar los resultados de variación de la velocidad en función del período de control T , en curvas para N constante. El rango de variación de T es de 1 a 15, y se muestran curvas para N de 1 a 7.

Una mayor selectividad de bajas velocidades se tiene para el caso de $N = 2$, en cambio para velocidades altas (cercanas a la nominal, se pueden ver en las curvas para $N = 4, 5, 6$ ó 7).

En las Fotos 14, 15 y 16 se presentan formas de onda de voltaje y corriente sobre el motor. En las mismas se aprecia que a partir del primer período de alimentación, existe un transitorio de corriente, cuya magnitud decrece período a período, hasta estabilizarse finalmente, coincidiendo, en su duración,

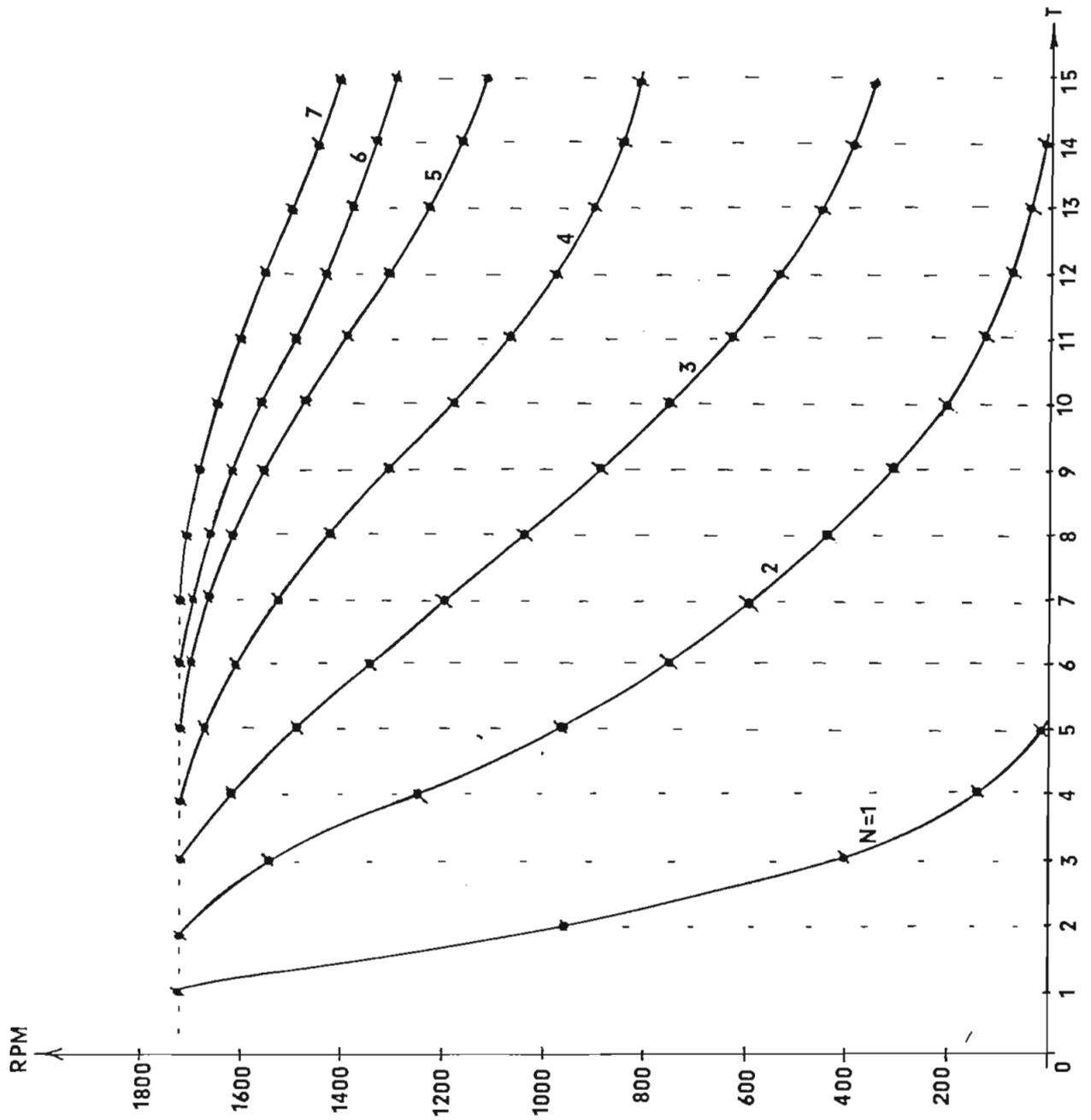


FIG. 4.4.

con el tiempo que tarda el motor en alcanzar su máxima velocidad a partir del reposo.

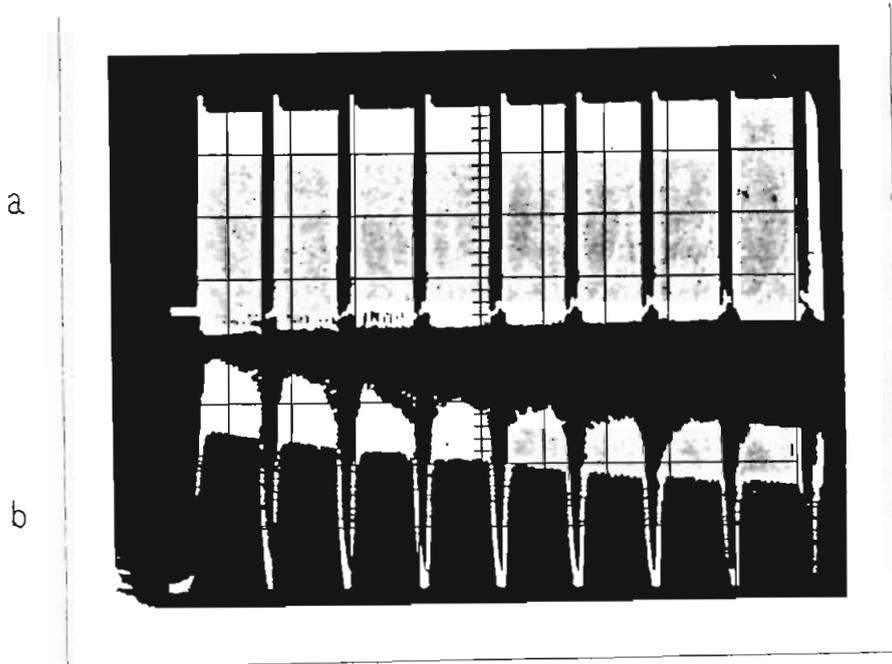


FOTO 14. (N = 10, T = 12, Transitorio)

- Vertical : a) 10 V/div.

b) 2 V/div.

- Horizontal : 170 mseg/div.

(a) Voltaje sobre el motor.

(b) Corriente a través del motor (Tomada sobre una resistencia de 1 Ohmio).

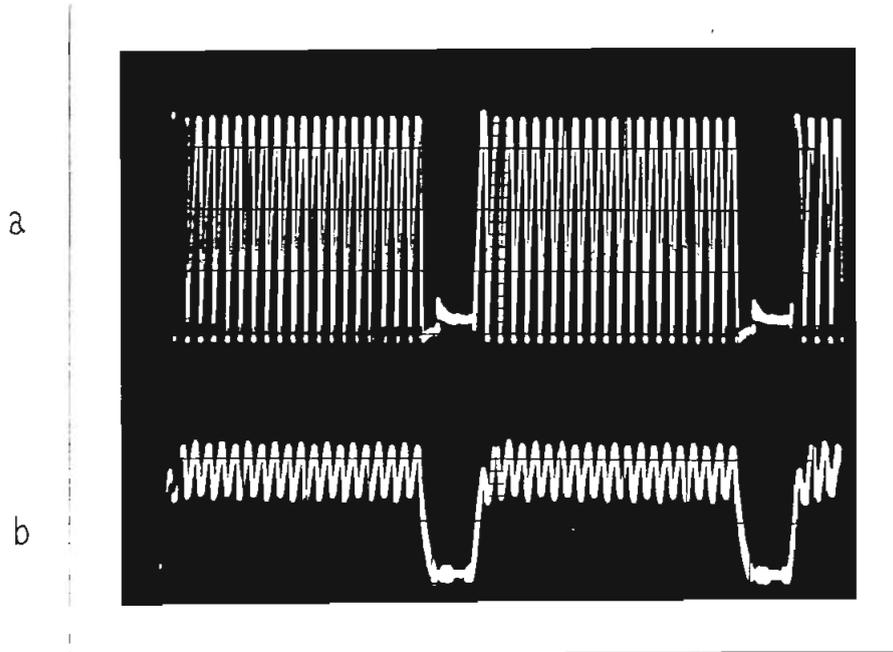


FOTO 15. (N = 10, T = 12, Estado Estable)

- Vertical : a) 10 V/div.

b) 2 V/div.

- Horizontal : 40 mseg/div.

(a) Voltaje en el motor.

(b) Corriente a través del motor (Tomada sobre una resistencia de 1 Ohmio).

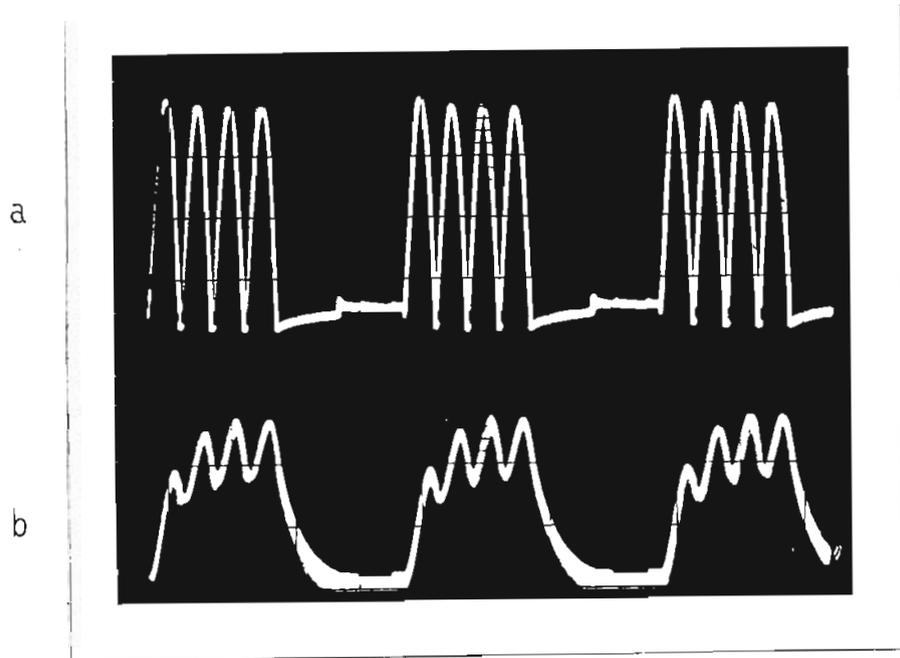


FOTO 16. (N = 2, T = 4, Estado Estable)

- Vertical : a) 10 V/div.

b) 2 V/div.

- Horizontal : 17 mseg/div.

(a) Voltaje sobre el motor.

(b) Corriente a través del motor (Tomada sobre una resistencia de 1 Ohmio).

4.2 CONCLUSIONES Y RECOMENDACIONES.

Los resultados obtenidos de la experimentación del Circuito de Disparo Trifásico para Control por Ciclo Integral, permiten concluir que se encuentra cumpliendo con los requerimientos y especificaciones previstas.

La función de generar pulsos de activado para los controladores en una o las tres fases, de acuerdo a la configuración de la carga y según los datos de entrada N y T, se efectúa correctamente, cumpliéndose la finalidad del presente trabajo.

El Ciclo Integral, en cargas resistivas se observó existe en el voltaje y corriente en la carga, como estaba previsto. Para cargas inductivas, se dio lugar únicamente a corriente a Ciclo Integral en la carga, obedeciendo a la característica de los tiristores de abrirse sólo cuando la corriente controlada se hace menor que su corriente de mantenimiento, y debido a que este tipo de cargas retardan la corriente respecto del voltaje aplicado.

En cuanto se refiere a las aplicaciones consideradas experimentalmente, se puede concluir que este tipo de control no tiene aplicación para regulación de iluminación, al igual que para control de velocidad de motores de inducción del tipo utilizado.

En cambio, para control de temperatura, al igual que para control de velocidad de motores DC, en donde se han obtenido buenos resultados, el Ciclo Integral abre nuevas posibilidades.

De todas maneras, solamente un amplio estudio y experimentación de cada una de las aplicaciones que podrían someterse a control por Ciclo Integral, ya en AC o en DC, podrá decidir su utilización.

Por el momento, a más de las aplicaciones que puede tener en control de temperatura, y en control de velocidad en motores DC, se puede considerar que en procesos fotográficos y fotoquímicos, donde la precisión de los tiempos de exposición luminosa es no mayor que la duración de 1 ó $\frac{1}{2}$ ciclo de alimentación a 60 Hz., harían aplicable al Ciclo Integral.

Muchas desventajas del Control por Ciclo Integral a 60 Hz., desaparecerían con el incremento de la frecuencia de alimentación: entre otros casos se tiene que para controles de temperatura con cargas de pequeña masa térmica, los incrementos mínimos de temperatura dados por 1 ó hasta $\frac{1}{2}$ ciclo de aplicación podrían ser excesivos. La masa térmica de la carga podría ser menor, si la frecuencia de alimentación aumenta, toda vez que la energía producida es proporcional al tiempo de alimentación y para tiempos de alimentación menores (con ciclos de frecuencias de alimentación de más corta duración),

se tendrían incrementos por cada ciclo (o semiciclo) más razonables.

Consideraciones como las anteriores se deberán efectuar para proponerse futuros trabajos, en los que se descubran nuevas características y aplicaciones para el Control por Ciclo Integral.

ANEXO 1. ANALISIS DE FOURIER DE UNA ONDA PERIODICA.

El desarrollo en Series de Fourier para una función $V_L(\omega t)$ con periodicidad de 2π radianes tiene la forma general:

$$V_L(\omega t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} a_n \text{Cos } n\omega t + b \text{ Sen } n\omega t \quad 1.1$$

$$\text{donde: } \frac{a_0}{2} = \frac{1}{2\pi} \int_0^{2\pi} V_L(\omega t) d\omega t \quad 1.2$$

$$a_n = \frac{1}{\pi} \int_0^{2\pi} V_L(\omega t) \text{Cos } n\omega t d\omega t \quad 1.3$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} V_L \text{Sen } n\omega t d\omega t \quad 1.4$$

para
 $n = 1, 2, 3, \dots$

La representación de Fourier puede presentar la forma alternativa:

$$V_L(\omega t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} C_n \text{Sen } (n\omega t + \psi_n) \quad 1.5$$

$$\text{donde: } C_n = \sqrt{a_n^2 + b_n^2} \quad 1.6$$

$$a_n = C_n \text{Sen } \psi_n \quad 1.7$$

$$b_n = C_n \cos n \quad 1.8$$

$$\psi_n = \operatorname{tg}^{-1} \frac{a_n}{b_n} \quad 1.9$$

REFERENCIAS

- 1.- THIRISTOR CONTROL OF AC CIRCUITS
WILLIAM SHEPERD - CROSBY LOCKWOOD STAPLES LTD,
St. Albans, England, 1976.

- 2.- INVERSOR McMURRAY CON CONTROL DE SALIDA POR
MODULACION DE ANCHO DE PULSO,
CEVALLOS FRANCISCO, TESIS DE GRADO, E.P.N.
Quito, Julio 1981.

APLICACIONES

- 1.- ELEKTOR, SUMMER CIRCUITS 78
W. VAN DER HORST
JULY - AUGUST, Nº 39 - 40, KENT, U.K., 1978.

BIBLIOGRAFIA

- THYRISTOR CONTROL OF AC CIRCUITS
WILLIAM SHEPERD - CROSBY LOCKWOOD STAPLES LTD,
St. Albans, England 1976.

- THREE PHASE BURST FIRING CONTROL SYSTEM
HUGO BANDA - MSc. DISERTATION
University of Bradford, England, 1978.

- THE TTL DATA BOOK, SEGUNDA EDICION
TEXAS INSTRUMENTS,
Dallas, Texas, USA, 1976

- COLLEGE PHYSICS, MILLER FRANKLIN Jr.,
HARCOURT, BRACE AND WORLD, Second Edition, 1976

- FACTOR DE POTENCIA EN CIRCUITOS CON TIRISTORES
BANDA HUGO, PRIMER SEMINARIO DE EDUCACION CONTINUA
EN INGENIERIA ELECTRICA Y ELECTRONICA,
Escuela Politécnica Nacional, Quito, Noviembre 1980

- THYRISTOR CONTROL OF RESISTIVE AND SERIES DC
MOTOR LOADS USING INTEGRAL - CYCLE SWITCHING
WILLIAM SHEPERD AND P.J. GALLAGHER,
IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, Vol. IA - 10
Nº 5, September/October, 1974.

- SCR MANUAL, GENERAL ELECTRIC COMPANY,
QUINTA EDICION , New York, 1977.

- TIRISTORES Y TRIACS, Lilen Henry,
Segunda Edición, Marcombo S.A., Barcelona, 1978.

A P E N D I C E



Operational Amplifiers/Buffers

LM1558/LM1458 dual operational amplifier

general description

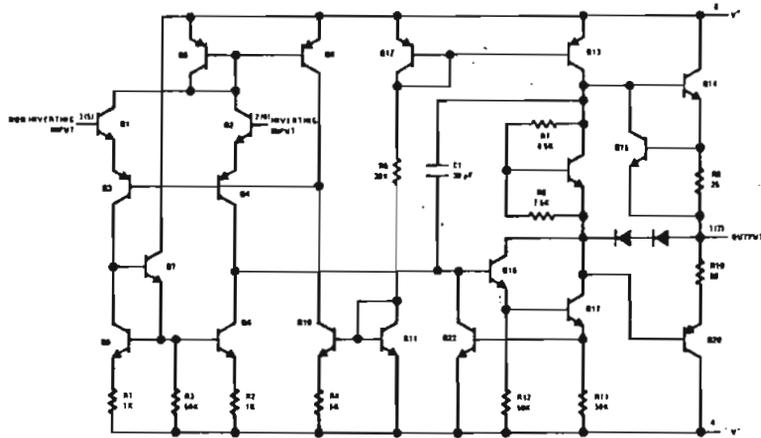
The LM1558 and the LM1458 are general purpose dual operational amplifiers. The two amplifiers share a common bias network and power supply leads. Otherwise, their operation is completely independent. Features include:

- No frequency compensation required
- Short-circuit protection
- Wide common-mode and differential voltage ranges

- Low-power consumption
- 8-lead TO-5 and 8-lead mini DIP
- No latch up when input common mode range is exceeded

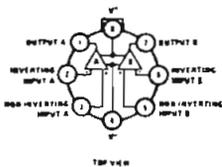
The LM1458 is identical to the LM1558 except that the LM1458 has its specifications guaranteed over the temperature range from 0°C to 70°C instead of -55°C to +125°C.

schematic and connection diagrams



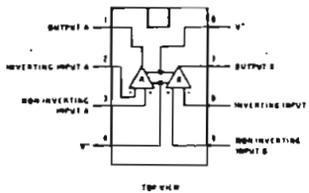
Note: Numbers in parentheses are pin numbers for amplifier B.

Metal Can Package



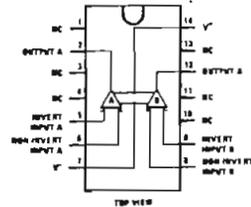
Order Number LM1558H or LM1458H. See Package 11

Dual-In-Line Package



Order Number LM1558J or LM1458J. See Package 15

Dual-In-Line Package



Order Number LM1458N-14. See Package 22

absolute maximum ratings

Supply Voltage LM1558	±22V	Output Short-Circuit Duration	Indefinite
LM1458	±18V	Operating Temperature Range LM1558	-55°C to 125°C
Power Dissipation (Note 1) LM1558H/LM1458H	500 mW	LM1458	0°C to 70°C
LM1458N	400 mW	Storage Temperature Range	-65°C to 150°C
Differential Input Voltage	±30V	Lead Temperature (Soldering, 10 sec)	300°C
Input Voltage (Note 2)	±15V		

electrical characteristics (Note 3)

PARAMETER	CONDITIONS	LM1558			LM1458			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25^\circ\text{C}$, $R_B \leq 10\text{ k}\Omega$		1.0	5.0		1.0	6.0	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		80	200		80	200	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		200	500		200	500	nA
Input Resistance	$T_A = 25^\circ\text{C}$	0.3	1.0		0.3	1.0		M Ω
Supply Current Both Amplifiers	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$		3.0	5.0		3.0	5.8	mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}$, $R_L \geq 2\text{ k}\Omega$	50	160		20	160		V/mV
Input Offset Voltage	$R_B \leq 10\text{ k}\Omega$ ∇			6.0			7.5	mV
Input Offset Current				500			300	nA
Input Bias Current				1.5			0.8	μA
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$ $R_L \geq 2\text{ k}\Omega$	25			15			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 10\text{ k}\Omega$ $R_L = 2\text{ k}\Omega$	±12 ±10	±14 ±13		±12 ±10	±14 ±13		V V
Input Voltage Range	$V_S = \pm 15\text{V}$	±12			±12			V
Common Mode Rejection Ratio	$R_B \leq 10\text{ k}\Omega$	70	90		70	90		dB
Supply Voltage Rejection Ratio	$R_B \leq 10\text{ k}\Omega$	77	96		77	96		dB

Note 1: The maximum junction temperature of the LM1558 is 150°C, while that of the LM1458 is 100°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 187°C/W, junction to ambient.

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: These specifications apply for $V_S = \pm 15\text{V}$ and $-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$, unless otherwise specified. With the LM1458, however, all specifications are limited to $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ and $V_S = \pm 15\text{V}$.

TTL
MSI

TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93, SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A, SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

BULLETIN NO. DL-S 7611807, MARCH 1974—REVISED OCTOBER 1976

'90A, 'L90, 'LS90 . . . DECADE COUNTERS

'92A, 'LS92 . . . DIVIDE-BY-TWELVE COUNTERS

'93A, 'L93, 'LS93 . . . 4-BIT BINARY COUNTERS

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	20 mW
'LS90	45 mW
'92A, '93A	130 mW
'LS92, 'LS93	45 mW
'L93	16 mW

description

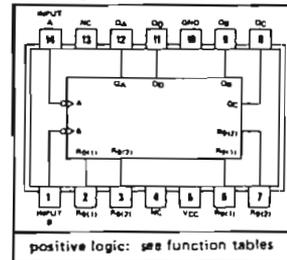
Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A, 'L90, and 'LS90, divide-by-six for the '92A and 'LS92, and divide-by-eight for the '93A, 'L93, and 'LS93.

All of these counters have a gated zero reset and the '90A, 'L90, and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

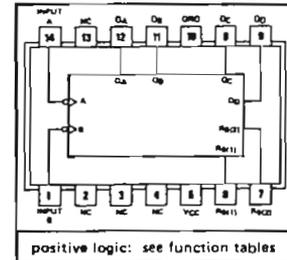
To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, 'L90, or 'LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A .

SN54', SN64LS' . . . J OR W PACKAGE
SN54L' . . . J OR T PACKAGE
SN54', SN74L', SN74LS' . . . J OR N PACKAGE

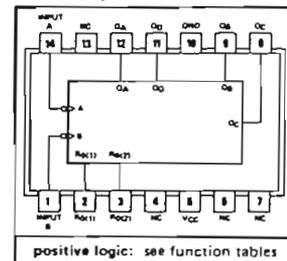
'90A, 'L90, 'LS90 (TOP VIEW)



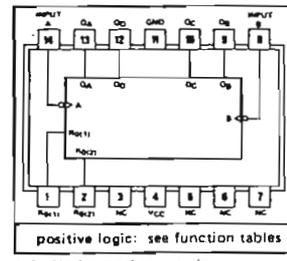
'92A, 'LS92, (TOP VIEW)



'93A, 'LS93 (TOP VIEW)



'L93 (TOP VIEW)



NC—No internal connection

TYPES SN5490A, '92A, '93A, SN54L90, 'L93, SN54LS90, 'LS92, 'LS93, SN7490A, '92A, '93A, SN74L90, 'L93, SN74LS90, 'LS92, 'LS93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

'90A, 'L90, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'L90, 'LS90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'93A, 'L93, 'LS93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

'90A, 'L90, 'LS90
RESET/COUNT FUNCTION TABLE

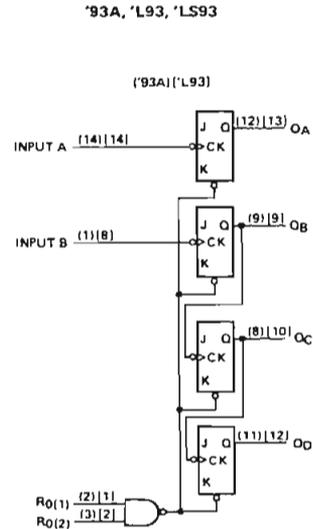
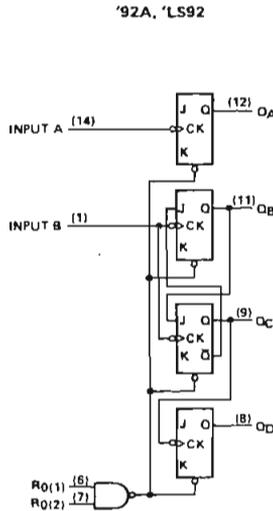
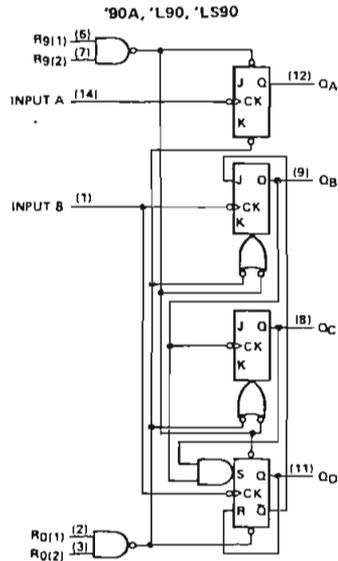
RESET INPUTS				OUTPUT			
R ₀ (1)	R ₀ (2)	R ₉ (1)-R ₉ (2)		Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92, '93A, 'L93, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

- NOTES: A. Output Q_A is connected to input B for BCD count.
 B. Output Q_D is connected to input A for bi-quinary count.
 C. Output Q_A is connected to input B.
 D. H = high level, L = low level, X = irrelevant

functional block diagrams



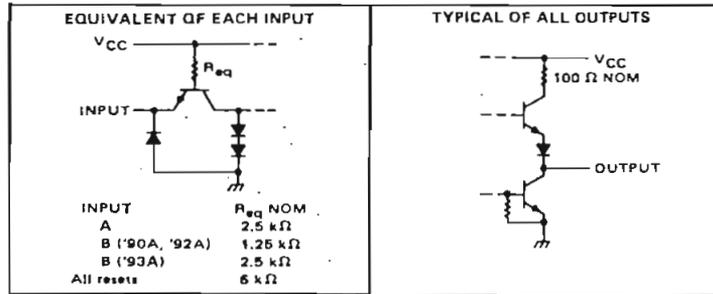
The J and K inputs shown without connection are for reference only and are functionally at a high level.

TYPES SN5490A, '92A, '93A, SN54L90, 'L93, SN54LS90, 'LS92, 'LS93,
 SN7490A, '92A, '93A, SN74L90, 'L93, SN74LS90, 'LS92, 'LS93
 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

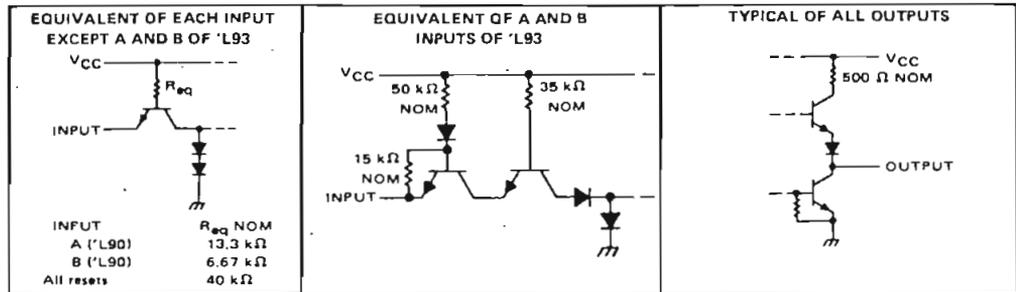
REVISED OCTOBER 1976

schematics of inputs and outputs

'90A, '92A, '93A

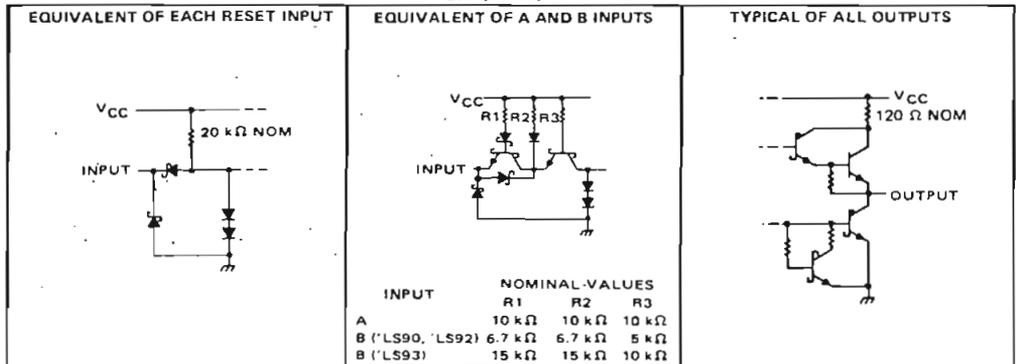


'L90, 'L93



7

'LS90, 'LS92, 'LS93



TYPES SN54LS90, SN54LS92, SN54LS93, SN74LS90, SN74LS92, SN74LS93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

REVISED OCTOBER 1976

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 4)	7 V
Input voltage: R inputs	7 V
A and B inputs	5.5 V
Operating free-air temperature range: SN54LS' Circuits	-55°C to 125°C
SN74LS' Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 4: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54LS90 SN54LS92 SN54LS93			SN74LS90 SN74LS92 SN74LS93			UNIT		
	MIN	NOM	MAX	MIN	NOM	MAX			
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V		
High-level output current, I_{OH}	-400			-400			μ A		
Low-level output current, I_{OL}	4			8			mA		
Count frequency, f_{count} (see Figure 1)	A input	0	32	0	32		MHz		
	B input	0	16	0	16				
Pulse width, t_w	A input	15		15			ns		
	B input	30		30					
	Reset inputs	15		15					
Reset inactive-state setup time, t_{SU}	25			25			ns		
Operating free-air temperature, T_A	-55			125			0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS90 SN54LS92			SN74LS90 SN74LS92			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH} High-level input voltage		2			2			V
V_{IL} Low-level input voltage		0.7			0.8			V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$	-1.5			-1.5			V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = V_{IL \text{ max}}$, $I_{OH} = -400 \mu\text{A}$	2.5	3.4		2.7	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = V_{IL \text{ max}}$, $I_{OL} = 4 \text{ mA}^\S$	0.25	0.4		0.25	0.4		V
	$V_{CC} = \text{MAX}$, $V_I = 7 \text{ V}$, $I_{OL} = 8 \text{ mA}^\S$				0.35	0.5		
I_I Input current at maximum input voltage	Any reset	0.1			0.1			mA
	A input	0.2			0.2			
	B input	0.4			0.4			
I_{IH} High-level input current	Any reset	20			20			μ A
	A input	40			40			
	B input	80			80			
I_{IL} Low-level output current	Any reset	-0.4			-0.4			mA
	A input	-2.4			-2.4			
	B input	-3.2			-3.2			
I_{OS} Short-circuit output current§	$V_{CC} = \text{MAX}$	-20	-100		-20	-100		mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 3	'LS90	9	15	9	15		mA
		'LS92	9	15	9	15		

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

¶ Outputs are tested at specified I_{OL} plus the limit value of I_{IL} for the B input. This permits driving the B input while maintaining full fan out capability.

NOTE 3: I_{CC} is measured with all outputs open, both R_O inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

**TYPES SN54LS90, SN54LS92, SN54LS93,
SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS**
REVISED OCTOBER 1976

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS93			SN74LS93			UNIT		
		MIN	TYP‡	MAX	MIN	TYP‡	MAX			
V _{IH} High-level input voltage		2			2			V		
V _{IL} Low-level input voltage		0.7			0.8			V		
V _{IK} Input clamp voltage	V _{CC} = MIN, I _I = -18 mA	-1.5			-1.5			V		
V _{OH} High-level output voltage	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = V _{IL} max, I _{OH} = -400 µA	2.5	3.4		2.7	3.4		V		
V _{OL} Low-level output voltage	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = V _{IL} max							V		
				I _{OL} = 4 mA †	0.25	0.4	0.25	0.4		
				I _{OL} = 8 mA †			0.35	0.5		
I _I Input current at maximum input voltage	Any reset	V _{CC} = MAX, V _I = 7 V			0.1			0.1	mA	
	A or B input	V _{CC} = MAX, V _I = 5.5 V			0.2			0.2		
I _{IH} High-level input current	Any reset	V _{CC} = MAX, V _I = 2.7 V			20			20	µA	
	A or B input				40			80		
I _{IL} Low-level output current	Any reset				-0.4			-0.4	mA	
	A input	V _{CC} = MAX, V _I = 0.4 V			-2.4			-2.4		
	B input				-1.6			-1.6		
I _{OS} Short-circuit output current‡	V _{CC} = MAX	-20	-100		-20	-100		mA		
I _{CC} Supply current	V _{CC} = MAX, See Note 3	9			15			9	15	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

¶ O_A outputs are tested at specified I_{OL} plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.

NOTE 3: I_{CC} is measured with all outputs open, both R_D inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER†	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS90			'LS92			'LS93			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f _{max}	A	Q _A	C _L = 15 pF, R _L = 2 kΩ See Figure 1	32	42		32	42		32	42		MHz
	B	Q _B		16			16			16			
t _{PLH}	A	Q _A		10	16		10	16		10	16		ns
t _{PHL}				12	18		12	18		12	18		
t _{PLH}	A	Q _D		32	48		32	48		46	70		ns
t _{PHL}				34	50		34	50		46	70		
t _{PLH}	B	Q _B		10	16		10	16		10	16		ns
t _{PHL}				14	21		14	21		14	21		
t _{PLH}	B	Q _C		21	32		10	16		21	32		ns
t _{PHL}				23	35		14	21		23	35		
t _{PLH}	B	Q _D		21	32		21	32		34	51		ns
t _{PHL}				23	35		23	35		34	51		
t _{PHL}	Set-to-0	Any					26	40		26	40		ns
t _{PLH}	Set-to-9	Q _A , Q _D					20	30					ns
t _{PHL}		Q _B , Q _C				26	40						

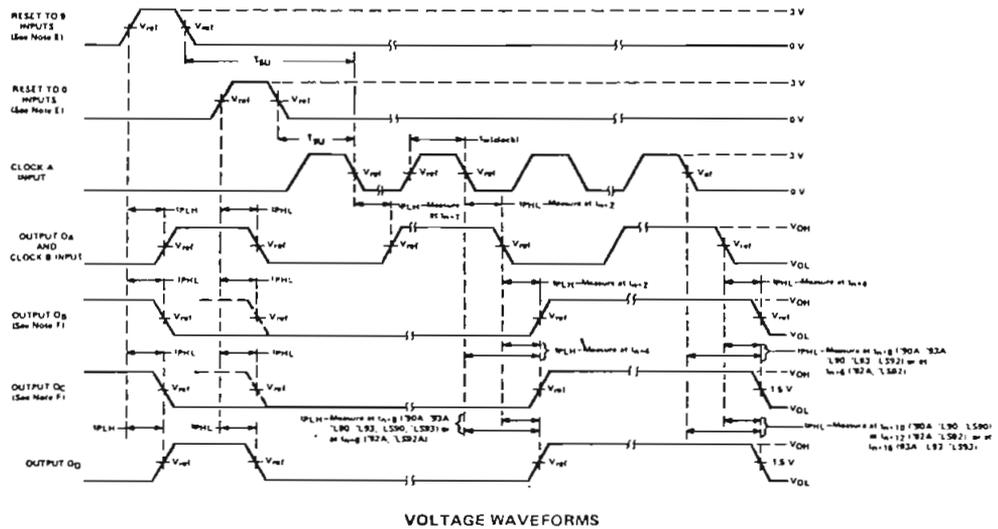
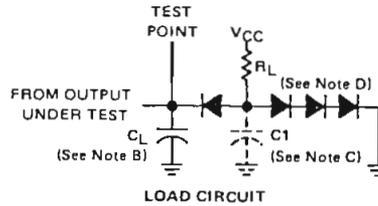
† f_{max} = maximum count frequency

t_{PLH} = propagation delay time, low-to-high level output

t_{PHL} = propagation delay time, high-to-low level output

**TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93,
SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A,
SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS**

PARAMETER MEASUREMENT INFORMATION



- NOTES: A. Input pulses are supplied by a generator having the following characteristics:
for '90A, '92A, '93A, $t_r < 5$ ns, $t_f < 5$ ns, PRR = 1 MHz, duty cycle = 50%, $Z_{out} \approx 50$ ohms;
for 'L90, 'L93, $t_r < 15$ ns, $t_f < 15$ ns, PRR = 500 kHz, duty cycle = 50%, $Z_{out} \approx 50$ ohms;
for 'LS90, 'LS92, 'LS93, $t_r < 15$ ns, $t_f < 5$ ns, PRR = 1 MHz, duty cycle = 50%, $Z_{out} \approx 50$ ohms.
- B. C_L includes probe and jig capacitance.
- C. C1 (30 pF) is applicable for testing 'L90 and 'L93.
- D. All diodes are 1N916 or 1N3064.
- E. Each reset input is tested separately with the other reset at 4.5 V.
- F. Reference waveforms are shown with dashed lines.
- G. For '90A, '92A, and '93A: $V_{ref} = 1.5$ V. For 'L90, 'L93, 'LS90, 'LS92, and 'LS93: $V_{ref} = 1.3$ V.

FIGURE 1

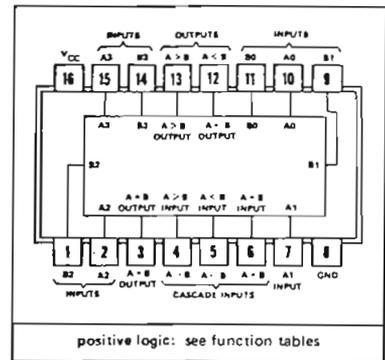
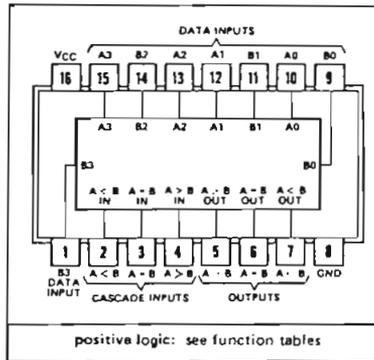
TTL
MSI

TYPES SN5485, SN54L85, SN54LS85, SN54S85,
SN7485, SN74L85, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS

BULLETIN NO. DL-S 7611810, MARCH 1974—REVISED OCTOBER 1976

SN5485, SN54LS85, SN64S85 . . . J OR W PACKAGE
SN7485, SN74LS85, SN74S85 . . . J OR N PACKAGE
(TOP VIEW)

SN54L85 . . . J PACKAGE
SN74L85 . . . J OR N PACKAGE
(TOP VIEW)



TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'L85	20 mW	90 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

positive logic: see function tables

positive logic: see function tables

description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input and in addition for the 'L85, low-level voltages applied to the A > B and A < B inputs. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

FUNCTION TABLES

COMPARING INPUTS				CASCAODING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H

'85, 'LS85, 'S85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

'L85

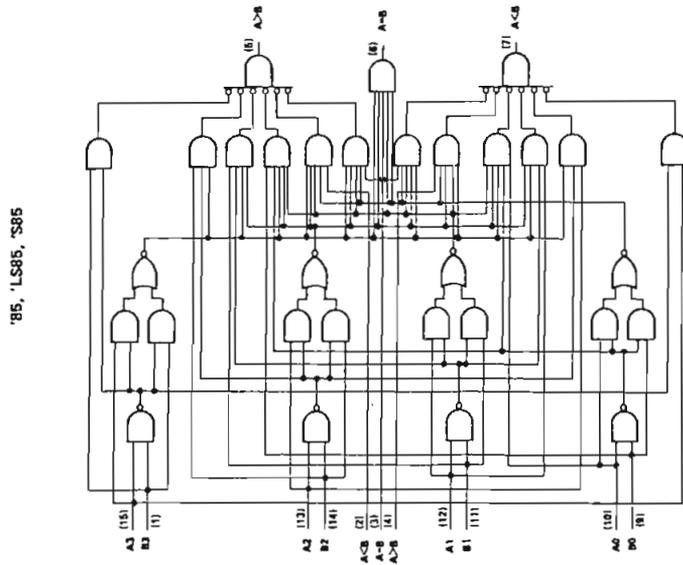
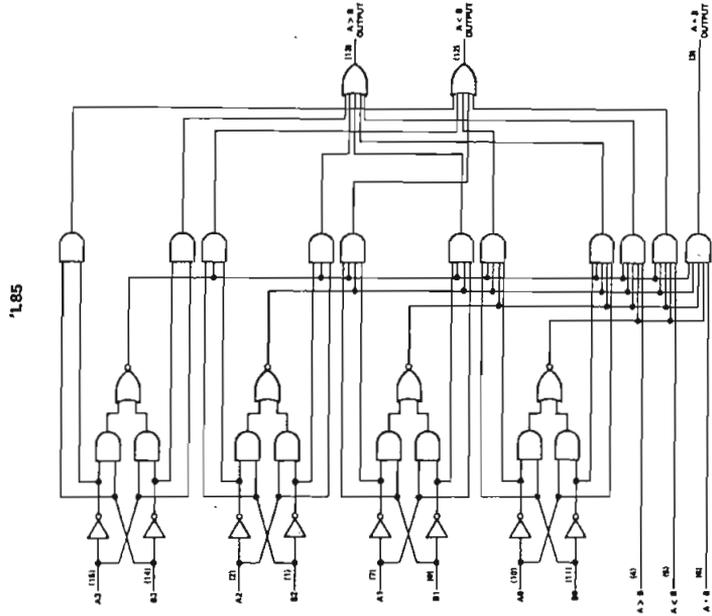
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	H	L	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	H	H	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	H	H	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	H	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	L	L	L

H = high level, L = low level, X = irrelevant

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

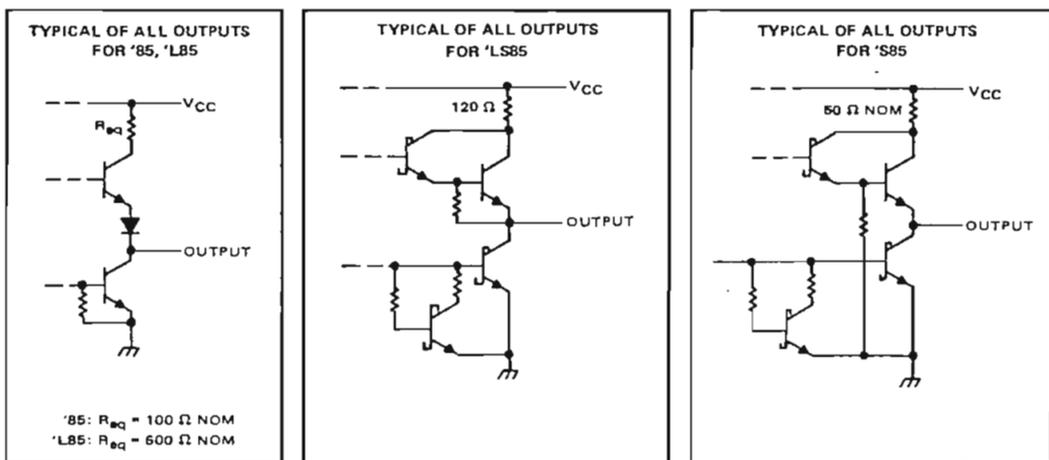
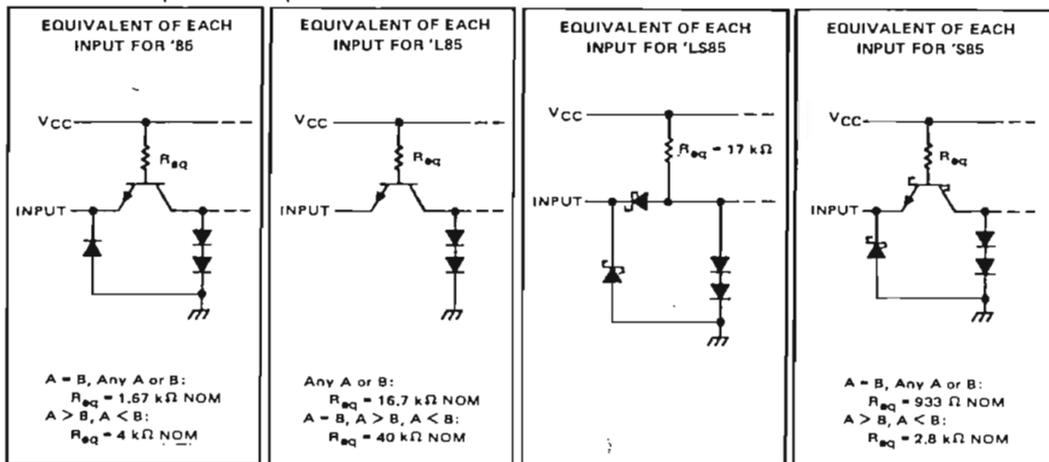
**TYPES SN5485, SN54L85, SN54LS85, SN54S85,
SN7485, SN74L85, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS**

functional block diagrams



TYPES SN5485, SN54L85, SN54LS85, SN54S85, SN7485, SN74L85, SN74LS85, SN74S85 4-BIT MAGNITUDE COMPARATORS

schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	SN54' SN54S'	SN54L'	SN54LS'	SN74' SN74S'	SN74L'	SN74LS'	UNIT
Supply voltage, V_{CC} (see Note 1)	7	8	7	7	8	7	V
Input voltage (see Note 2)	5.5	5.5	7	5.5	5.5	7	V
Interemitter voltage (see Note 3)	5.5			5.5			V
Operating free-air temperature range	-55 to 125			0 to 70			$^{\circ}\text{C}$
Storage temperature range	-65 to 150			-65 to 150			$^{\circ}\text{C}$

- NOTES: 1. Voltage values, except Interemitter voltage, are with respect to network ground terminal.
2. Input voltages for 'L85 must be zero or positive with respect to network ground terminal.
3. This is the voltage between two emitters of a multiple-emitter input transistor. This rating applies to each A input in conjunction with its respective B input of the '85 and 'S85.

TYPES SN5485, SN7485 4-BIT MAGNITUDE COMPARATORS

recommended operating conditions

	SN5485			SN7485			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}	-400			-400			μ A
Low-level output current, I_{OL}	16			16			mA
Operating free-air temperature, T_A	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS [†]	MIN	TYP [‡]	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage		0.8			V
V_{IK}	Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$	-1.5			V
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IL} = 0.8 \text{ V}$, $V_{IH} = 2 \text{ V}$, $I_{OH} = -400 \mu\text{A}$	2.4	3.4		V
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IL} = 0.8 \text{ V}$, $V_{IH} = 2 \text{ V}$, $I_{OL} = 16 \text{ mA}$	0.2	0.4		V
I_I	Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$	1			mA
I_{IH}	High-level input current	A < B, A > B inputs all other inputs	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$		40	μ A
					120	
I_{IL}	Low-level input current	A < B, A > B inputs all other inputs	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$		-1.6	mA
					-4.8	
I_{OS}	Short-circuit output current [§]	$V_{CC} = \text{MAX}$, $V_O = 0$	SN5485 -20		-55	mA
			SN7485 -18		-55	
I_{CC}	Supply current	$V_{CC} = \text{MAX}$, See Note 4	55		88	mA

[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

[‡]All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

[§]Not more than one output should be shorted at a time.

NOTE 4: I_{CC} is measured with outputs open, A = B grounded, and all other inputs at 4.5 V.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$

PARAMETER [¶]	FROM INPUT	TO OUTPUT	NUMBER OF GATE LEVELS	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Any A or B data input	A < B, A > B	1	$C_L = 15 \text{ pF}$, $R_L = 400 \Omega$, See Note 5	7			ns
			2		12			
		3	17 26					
		4	23 35					
t_{PHL}	Any A or B data input	A < B, A > B	1		11			ns
			2		15			
		3	20 30					
		4	20 30					
t_{PLH}	A < B or A = B	A > B	1		7 11			ns
t_{PHL}	A < B or A = B	A > B	1		11 17			ns
t_{PLH}	A = B	A = B	2	13 20			ns	
t_{PHL}	A = B	A = B	2	11 17			ns	
t_{PLH}	A > B or A = B	A < B	1	7 11			ns	
t_{PHL}	A > B or A = B	A < B	1	11 17			ns	

[¶] t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output.

NOTE 5: Load circuit and voltage waveforms are shown on page 3-10.

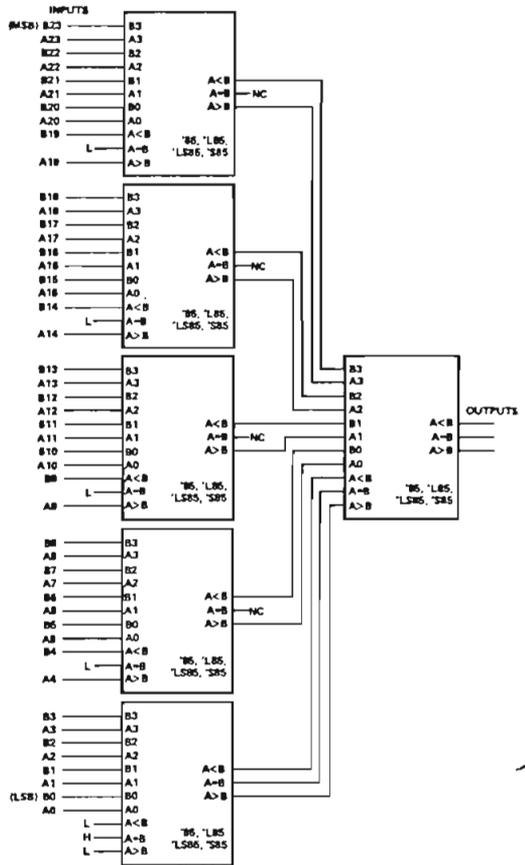
**TYPES SN5485, SN54L85, SN54LS85, SN54S85,
SN7485, SN74L85, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS**

TYPICAL APPLICATION DATA

COMPARISON OF TWO N-BIT WORDS

This application demonstrates how these magnitude comparators can be cascaded to compare longer words. The example illustrated shows the comparison of two 24-bit words; however, the design is expandable to n-bits. As an example, one comparator can be used with five of the 24-bit comparators illustrated to expand the word length to 120-bits. Typical comparison times for various word lengths using the '85, 'L85, 'LS85, or 'S85 are:

WORD LENGTH	NUMBER OF PKGS	'85	'L85	'LS85	'S85
1-4 bits	1	23 ns	90 ns	24 ns	11 ns
5-24 bits	2-6	46 ns	180 ns	48 ns	22 ns
25-120 bits	8-31	69 ns	270 ns	72 ns	33 ns



COMPARISON OF TWO 24-BIT WORDS



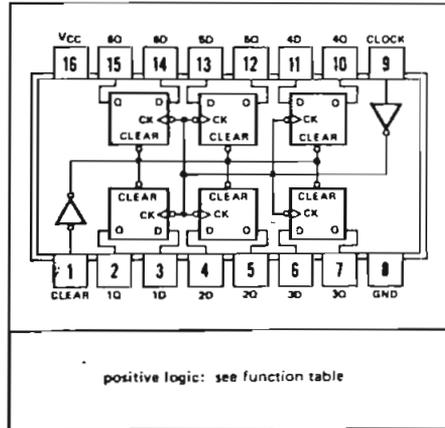
TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175, SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

BULLETIN NO. DLS 7611803, DECEMBER 1972—REVISED OCTOBER 1976

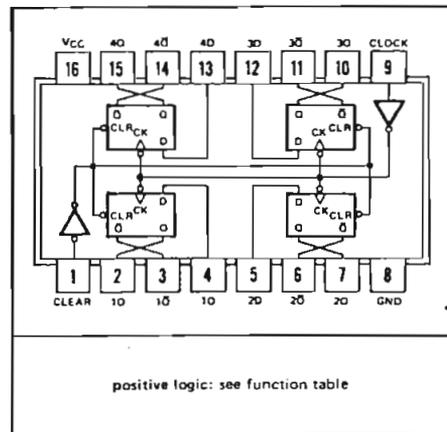
'174, 'LS174, 'S174 ... HEX D-TYPE FLIP-FLOPS
'175, 'LS175, 'S175 ... QUADRUPLE D-TYPE FLIP-FLOPS

- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
Buffer/Storage Registers
Shift Registers
Pattern Generators

SN54174, SN54LS174, SN54S174 ... J OR W PACKAGE
SN74174, SN74LS174, SN74S174 ... J OR N PACKAGE
(TOP VIEW)



SN54175, SN54LS175, SN54S175 ... J OR W PACKAGE
SN74175, SN74LS175, SN74S175 ... J OR N PACKAGE
(TOP VIEW)



description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flops.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These circuits are fully compatible for use with most TTL or DTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	\bar{Q} †
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	\bar{Q}_0

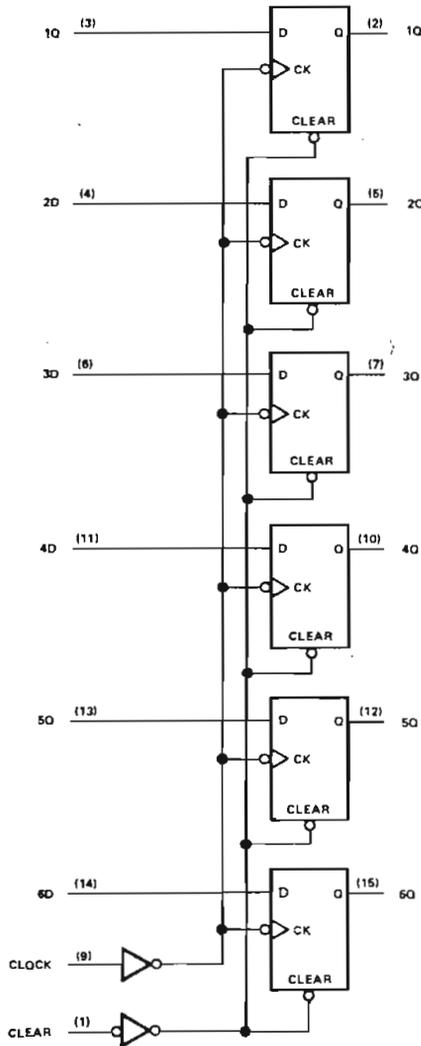
H = high level (steady state)
L = low level (steady state)
X = irrelevant
↑ = transition from low to high level
 Q_0 = the level of Q before the indicated steady-state input conditions were established.
† = '175, 'LS175, and 'S175 only

TYPES	TYPICAL	TYPICAL
	MAXIMUM	POWER
	CLOCK	DISSIPATION
	FREQUENCY PER FLIP-FLOP	
'174, '175	35 MHz	38 mW
'LS174, 'LS175	40 MHz	14 mW
'S174, 'S175	110 MHz	75 mW

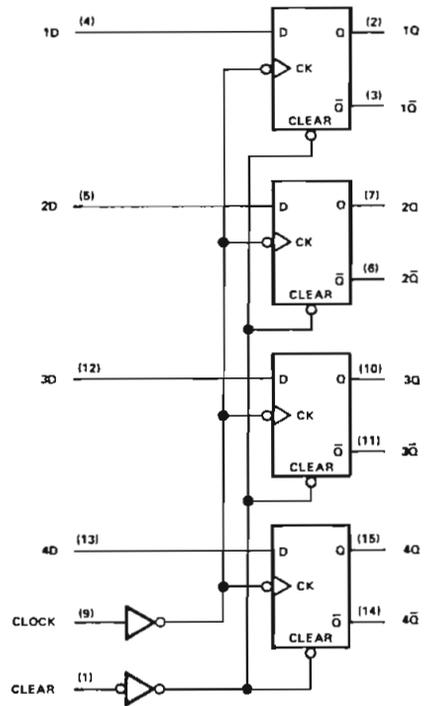
**TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR**

functional block diagrams

'174, 'LS174, 'S174



'175, 'LS175, 'S175



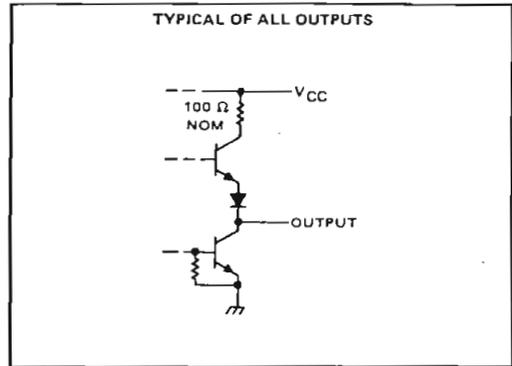
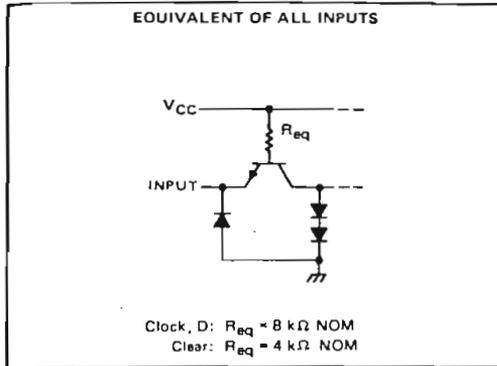
 . . . dynamic input activated by transition from a high level to a low level.

**TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR**

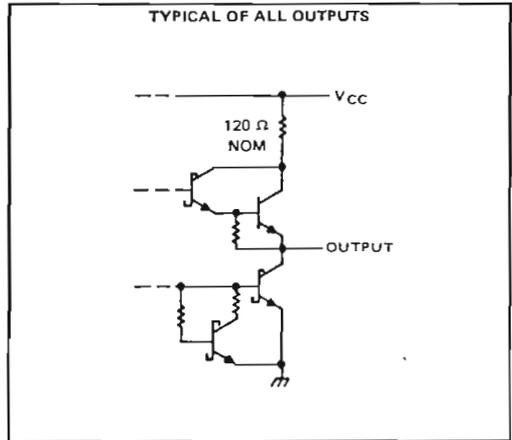
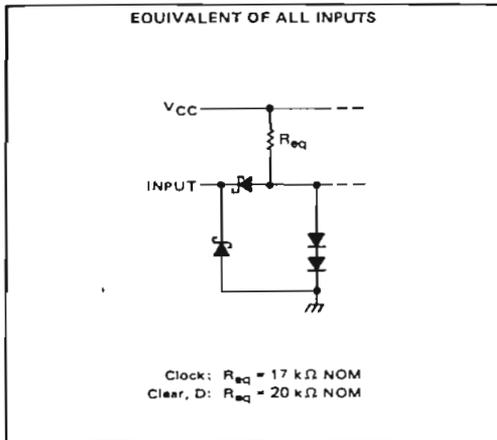
REVISED OCTOBER 1976

schematics of inputs and outputs

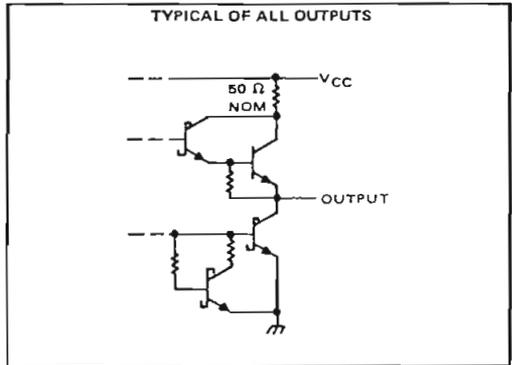
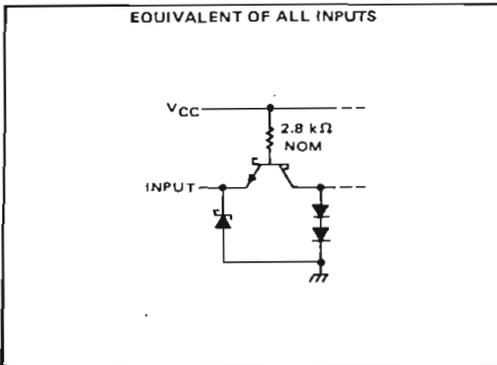
SN54174, SN54175, SN74174, SN74175



SN54LS174, SN54LS175, SN74LS174, SN74LS175



SN54S174, SN54S175, SN74S174, SN74S175



TYPES SN54174, SN54175, SN74174, SN74175 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN54174, SN54175 Circuits	-55°C to 125°C
SN74174, SN74175 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54174, SN54175			SN74174, SN74175			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	μ A
Low-level output current, I_{OL}			16			16	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear pulse, t_w			20			20	ns
Setup time, t_{SU}	Data input			20			ns
	Clear inactive-state			25			ns
Data hold time, t_H			5			5	ns
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage			0.8		V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN.}$, $I_I = -12 \text{ mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V.}$ $V_{IL} = 0.8 \text{ V.}$, $I_{OH} = -800 \mu\text{A}$	2.4	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V.}$ $V_{IL} = 0.8 \text{ V.}$, $I_{OL} = 16 \text{ mA}$		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX.}$, $V_I = 5.5 \text{ V}$			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX.}$, $V_I = 2.4 \text{ V}$			40	μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX.}$, $V_I = 0.4 \text{ V}$			-1.6	mA
I_{OS} Short-circuit output current‡	$V_{CC} = \text{MAX.}$	SN54*	-20	-57	mA
		SN74*	-18	-57	mA
I_{CC} Supply current	$V_{CC} = \text{MAX.}$, See Note 2	'174	45	65	mA
		'175	30	45	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time.

NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max} Maximum clock frequency		25	35		MHz
t_{PLH} Propagation delay time, low-to-high-level output from clear (SN54175, SN74175 only)	$C_L = 15 \text{ pF.}$ $R_L = 400 \Omega.$ See Note 3		16	25	ns
t_{PHL} Propagation delay time, high-to-low-level output from clear			23	36	ns
t_{PLH} Propagation delay time, low-to-high-level output from clock			20	30	ns
t_{PHL} Propagation delay time, high-to-low-level output from clock			24	35	ns

NOTE 3: Load circuit and voltage waveforms are shown on page 3-10.

TTL
MSI

TYPES SN54195, SN54LS195A, SN54S195, SN74195, SN74LS195A, SN74S195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

BULLETIN NO. DL-S 761182D, MARCH 1974—REVISED OCTOBER 1976

SN54195, SN54LS195A, SN54S195 . . . J OR W PACKAGE
SN74195, SN74LS195A, SN74S195 . . . J OR N PACKAGE
(TOP VIEW)

- Synchronous Parallel Load
- Positive-Edge-Triggered Clocking
- Parallel Inputs and Outputs from Each Flip-Flop
- Direct Overriding Clear
- J and \bar{K} Inputs to First Stage
- Complementary Outputs from Last Stage
- For Use in High-Performance:
Accumulators/Processors
Serial-to-Parallel, Parallel-to-Serial Converters

description

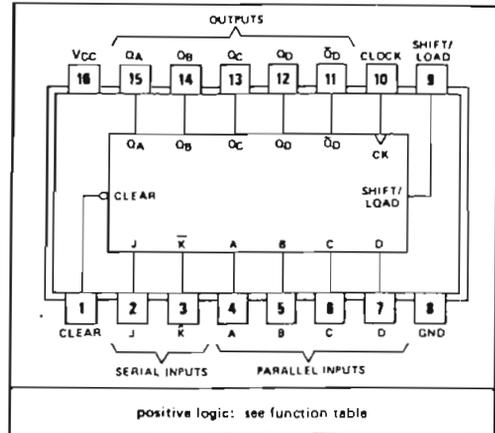
These 4-bit registers feature parallel inputs, parallel outputs, J-K serial inputs, shift/load control input, and a direct overriding clear. All inputs are buffered to lower the input drive requirements. The registers have two modes of operation:

Parallel (broadside) load
Shift (in the direction Q_A toward Q_D)

Parallel loading is accomplished by applying the four bits of data and taking the shift/load control input low. The data is loaded into the associated flip-flop and appears at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shifting is accomplished synchronously when the shift/load control input is high. Serial data for this mode is entered at the J-K inputs. These inputs permit the first stage to perform as a J-K, D-, or T-type flip-flop as shown in the function table.

The high-performance 'S195, with a 105-megahertz typical maximum shift-frequency, is particularly attractive for very-high-speed data processing systems. In most cases existing systems can be upgraded merely by using this Schottky-clamped shift register.



TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'195	39 MHz	195 mW
'LS195A	39 MHz	70 mW
'S195	105 MHz	350 mW

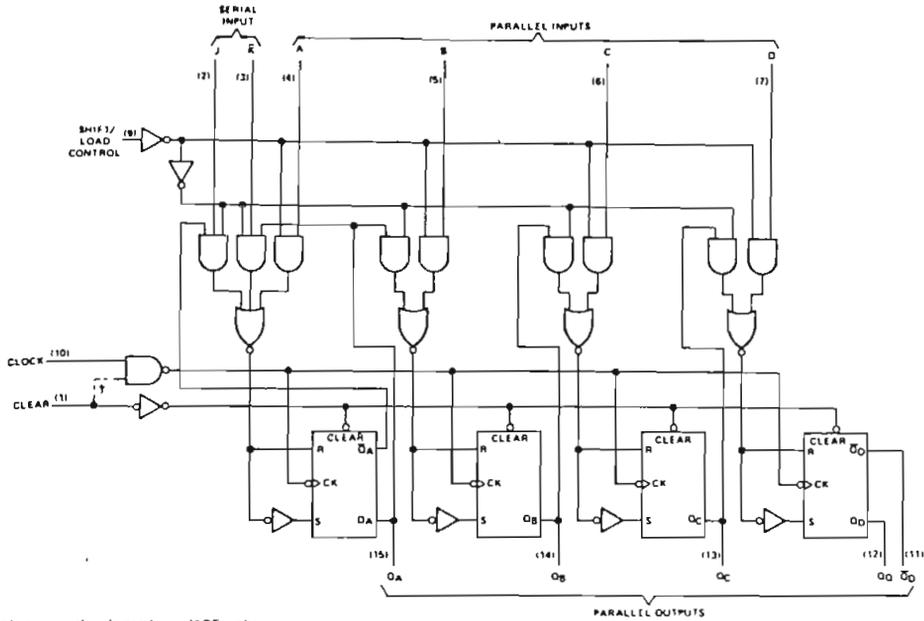
FUNCTION TABLE

CLEAR	SHIFT/ LOAD	CLOCK	INPUTS					OUTPUTS							
			SERIAL		PARALLEL			Q_A	Q_B	Q_C	Q_D	\bar{Q}_D			
			J	\bar{K}	A	B	C								
L	X	X	X	X	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	\bar{d}		
H	H	L	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}	\bar{Q}_{D0}		
H	H	↑	L	H	X	X	X	X	Q_{A0}	Q_{A0}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}		
H	H	↑	L	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}		
H	H	↑	H	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}		
H	H	↑	H	L	X	X	X	X	\bar{Q}_{An}	Q_{An}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}		

H = high level (steady state)
L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a, b, c, d = the level of steady state input at A, B, C, or D, respectively
 $Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0}$ = the level of $Q_A, Q_B, Q_C,$ or Q_D , respectively, before the indicated steady-state input conditions were established
 Q_{An}, Q_{Bn}, Q_{Cn} = the level of $Q_A, Q_B,$ or Q_C , respectively, before the most recent transition of the clock

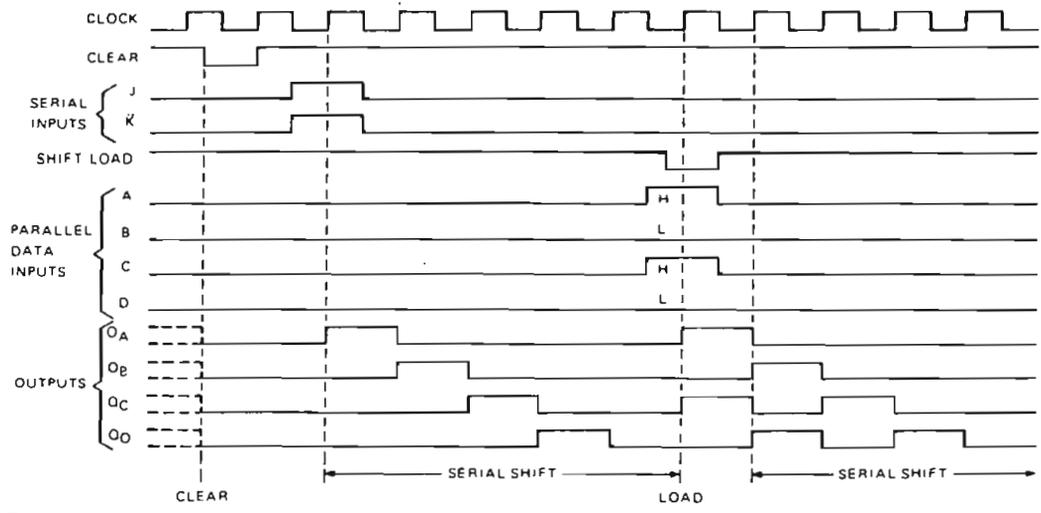
TYPES SN54195, SN54LS195A, SN54S195, SN74195, SN74LS195A, SN74S195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

functional block diagram



†This connection is made on '195 only.

typical clear, shift, and load sequences

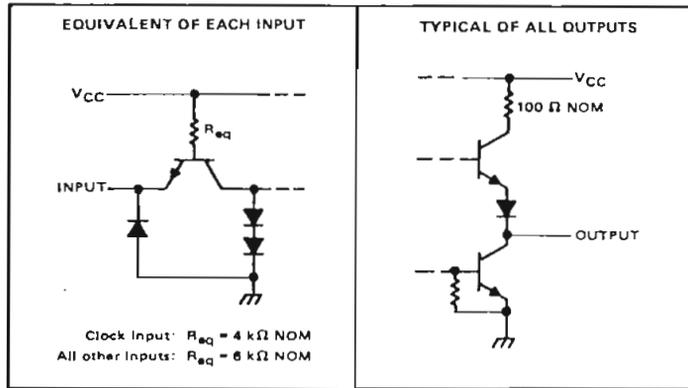


TYPES SN54195, SN54LS195A, SN54S195, SN74195, SN74LS195A, SN74S195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

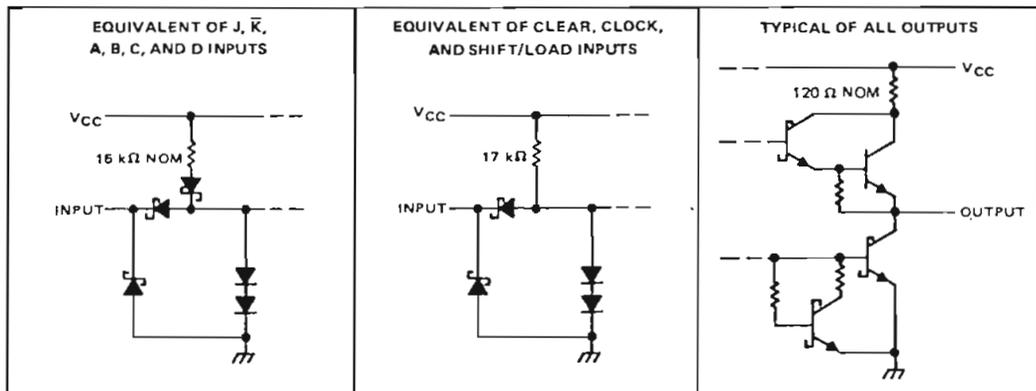
REVISED OCTOBER 1976

schematics of inputs and outputs

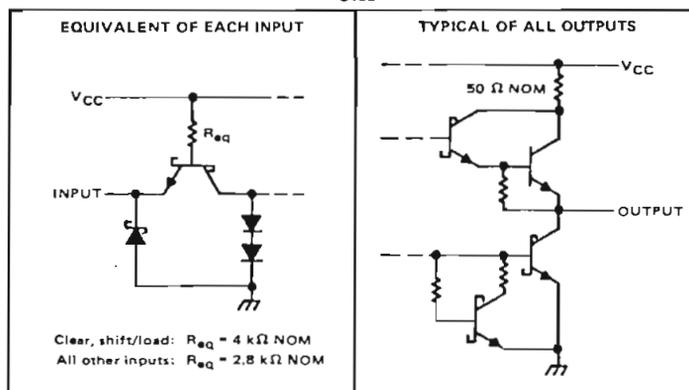
'195



'LS195A



'S195



TYPES SN54195, SN74195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN54195	-55°C to 125°C
SN74195	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54195			SN74195			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	μ A
Low-level output current, I_{OL}			16			16	mA
Clock frequency, f_{clock}	0		30	0		30	MHz
Width of clock input pulse, $t_{w(clock)}$			16			16	ns
Width of clear input pulse, $t_{w(clear)}$			12			12	ns
Setup time, t_{SU} (see Figure 1)	Shift/load		25	25			ns
	Serial and parallel data		20	20			
	Clear inactive-state		25	25			
Shift/load release time, $t_{release}$ (see Figure 1)					10	ns	
Serial and parallel data hold time, t_H (see Figure 1)			0		0	ns	
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS [†]	MIN	TYP [‡]	MAX	UNIT
V_{IH} High-level input voltage			2		V
V_{IL} Low-level input voltage				0.8	V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -800 \mu\text{A}$	2.4	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 16 \text{ mA}$		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$			40	μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			-1.6	mA
I_{OS} Short-circuit output current [§]	$V_{CC} = \text{MAX}$	SN54195	-20	-57	mA
		SN74195	-18	-57	
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2		39	63	mA

[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

[‡]All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

[§]Not more than one output should be shorted at a time.

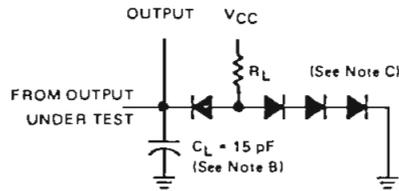
NOTE 2: With all outputs open, shift/load grounded, and 4.5 V applied to the J, \bar{K} , and data inputs, I_{CC} is measured by applying a momentary ground, followed by 4.5 V, to clear end then applying a momentary ground, followed by 4.5 V, to clock.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

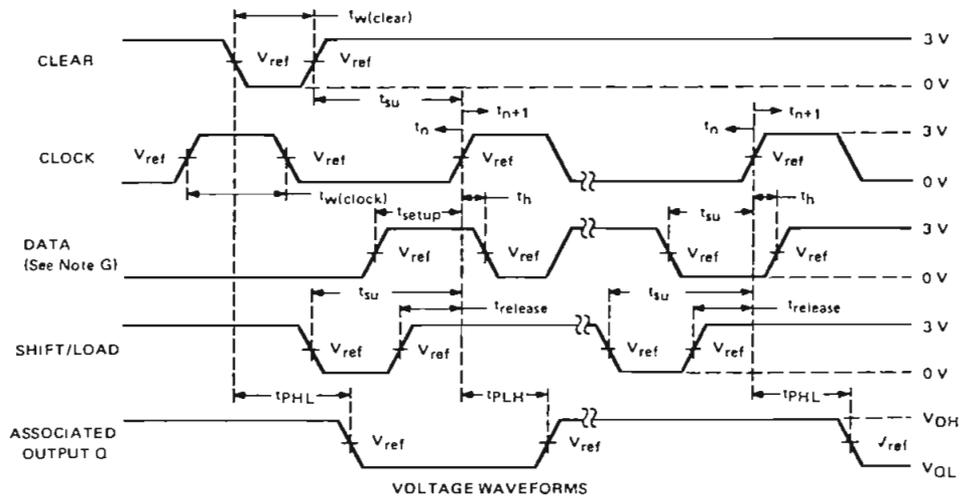
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max} Maximum clock frequency		30	39		MHz
t_{PHL} Propagation delay time, high-to-low-level output from clear	$C_L = 15 \text{ pF}$, $R_L = 400 \Omega$, See Figure 1		19	30	ns
t_{PLH} Propagation delay time, low-to-high-level output from clock			14	22	ns
t_{PHL} Propagation delay time, high-to-low-level output from clock			17	26	ns

**TYPES SN54195, SN54LS195A, SN54S195,
SN74195, SN74LS195A, SN74S195
4-BIT PARALLEL-ACCESS SHIFT REGISTERS**

PARAMETER MEASUREMENT INFORMATION



LOAD FOR OUTPUT UNDER TEST



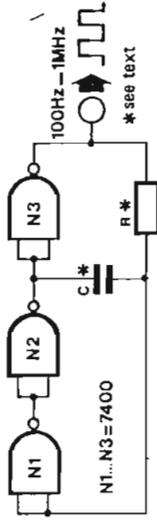
- NOTES: A. The clock pulse generator has the following characteristics: $Z_{out} \approx 50 \Omega$ and $PRR \leq 1 \text{ MHz}$. For '195, $t_r \leq 7 \text{ ns}$ and $t_f \leq 7 \text{ ns}$. For 'LS195A, $t_r \leq 16 \text{ ns}$ and $t_f \leq 6 \text{ ns}$. For 'S195, $t_r = 2.5 \text{ ns}$ and $t_f = 2.5 \text{ ns}$. When testing f_{max} , vary the clock PRR.
- B. C_L includes probe and jig capacitance.
- C. All diodes are 1N3064.
- D. A clear pulse is applied prior to each test.
- E. For '195 and 'S195, $V_{ref} = 1.5 \text{ V}$; for 'LS195A, $V_{ref} = 1.3 \text{ V}$.
- F. Propagation delay times (t_{PLH} and t_{PHL}) are measured at t_{n+1} . Proper shifting of data is verified at t_{n+4} with a functional test.
- G. J and K inputs are tested the same as data A, B, C, and D inputs except that shift/load input remains high.
- H. t_n = bit time before clocking transition.
 t_{n+1} = bit time after one clocking transition.
 t_{n+4} = bit time after four clocking transitions.

FIGURE 1—SWITCHING TIMES

7 simple TTL squarewave generator

Using only a small number of TTL gates it is not difficult to construct a squarewave generator which can be used in a wide range of possible applications (e.g. as clock generator). The accompanying diagram represents the basic universal design for such a generator. The circuit is not critical, can be used over a wide range of frequencies, has no starting problems and is sufficiently stable for most applications. The frequency is not affected by supply voltage variations.

The oscillator frequency is determined by the RC network and the propagation time of the inverters (in this case three NANDs with their inputs connected in parallel). Since the propagation delay time of the IC is, in general, strongly influenced by the temperature and supply voltage, care must be taken to ensure that the propagation times have as little effect as possible upon the oscillator frequency. The output of each gate changes state twice per period of the oscillation signal, which means that, in all, one must account for double the propagation time of all three gates. To ensure that the oscillator frequency f_0 be more or less



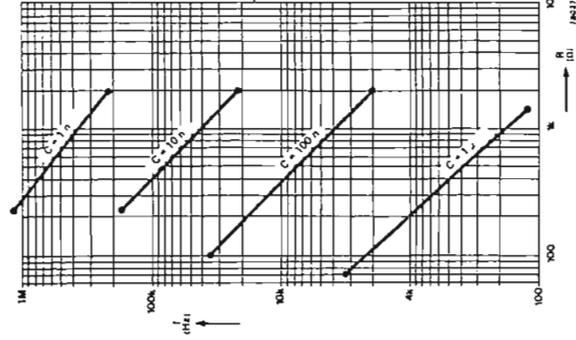
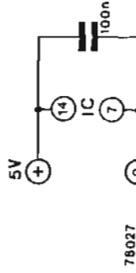
independent of variations in the temperature of the circuit and in the supply voltage, one must ensure that f_0 is small compared to $\frac{1}{2 \cdot t_p \cdot n}$,

where t_p is the propagation time and n the number of inverters connected in series. In the case of the circuit shown here, $t_p = \text{approx. } 10 \text{ ns}$ and $n = 3$, so that as far as the oscillator frequency f_0 is concerned:

$$f_0 \ll \frac{1}{2 \cdot t_p \cdot n} = \frac{1}{2 \cdot 10 \cdot 3} = 16.6 \text{ MHz.}$$

The accompanying nomogram shows how f_0 changes with R . The value of the resistor R must not be smaller than that shown in the nomogram; for example, for $C = 100 \text{ nF}$, R must not be less than 100Ω . A variable squarewave oscillator can be obtained by replacing R with a 2.5 k potentiometer in series with a fixed resistor of the minimum permitted value.

A universal squarewave generator of



this type can also be constructed using Low Power Schottky TTL or CMOS ICs; both these possibilities are discussed below.