

EL ECUADOR EN LA MICROELECTRONICA

*Montalvo Luis, Ing.
Bernal C. Iván M.
Lemus C. Fredy W.*

ESCUELA POLITECNICA NACIONAL

RESUMEN

Se reporta la participación del Ecuador en el Proyecto Multi Usuario Iberoamericano de Microelectrónica (PMU), coordinado por el Centro Nacional de Microelectrónica (CNM) de Barcelona - España. Se evalúan los resultados obtenidos y se plantean nuevas metas y objetivos para el futuro.

ABSTRACT

The ecuadorian participation in the Iberoamerican Multi Project Chip (PMU), coordinated by the Microelectronics National Center (CNM) from Barcelona - Spain is reported. The results are evaluated and new goals and objectives are outlined for the future.

1 ANTECEDENTES

En febrero de 1990 la Facultad de Ingeniería Eléctrica de la Escuela Politécnica Nacional recibió, por intermedio del CONACYT, la invitación a participar en la ejecución del Componente de Microelectrónica del Proyecto Latinoamericano y del Caribe de Sistemas Electrónicos Integrables (Proyecto LACSIN) auspiciado por la Organización de Estados Americanos.

El Componente de Microelectrónica del mencionado proyecto multinacional está orientado al diseño de sistemas electrónicos integrables, dentro de un mecanismo de cooperación internacional, en el cual países con mayor desarrollo en el campo, tales como México y Brasil, participan conjuntamente con otros países interesados de América Latina y el Caribe.

La Escuela Politécnica Nacional aceptó la invitación y planteó al CONACYT un plan de acción que buscaba la conformación en el Ecuador de una Red de Centros de Microelectrónica con sede en la Escuela Politécnica Nacional dotada de los recursos humanos y herramientas especializados indispensables.

La primera actividad desarrollada dentro de este plan de acción fue la inclusión de la cátedra "Introducción a Sistemas

VLSI", en el programa de estudios de la Facultad de Ingeniería Eléctrica, en octubre de 1990, con el propósito de preparar al personal técnico requerido. Al final del curso se disponían de 3 estudiantes de la especialización de Electrónica y Telecomunicaciones, capacitados a nivel teórico, para realizar diseño de circuitos integrados, quienes conjuntamente con el profesor pasaron a conformar el Grupo de Microelectrónica de la Escuela Politécnica Nacional. Lamentablemente las gestiones realizadas con el CONACYT para la adquisición de las estaciones de trabajo y de las ayudas computacionales jamás se concretaron, a pesar de los compromisos existentes.

En el transcurso de la ejecución del plan de acción propuesto se tuvo conocimiento de la existencia del proyecto "Capacitación en Concepción y Diseño de Circuitos Integrados" enmarcado en el Programa Iberoamericano de Ciencia y Tecnología para el Desarrollo (CYTED-D V CENTENARIO) dentro del Subprograma IX: Microelectrónica y reconocido como Proyecto Multi Usuario (PMU) y se manifestó al Centro Nacional de Microelectrónica (CNM) de Barcelona - España, coordinador del proyecto, el interés de la Escuela Politécnica Nacional en participar en sus proyectos multi-usuarios CMOS.

El Programa PMU iberoamericano tiene como finalidad facilitar la formación e investigación en el campo del diseño de circuitos integrados (CIs) de grupos investigadores de carácter universitario, haciendo posible el desarrollo y fabricación de prototipos de circuitos integrados de aplicación específica (ASICs) a bajo coste, al compartir entre los distintos participantes en el Programa los gastos de fabricación. La fundición de los circuitos integrados ha sido convenida con la compañía "European Silicon Structures ES2".

En septiembre de 1991, el coordinador del Grupo de Microelectrónica de la EPN fue invitado a participar en la reunión de coordinación del Programa PMU iberoamericano, realizada en Cartagena de Indias (Colombia), en la cual se aceptó el ingreso del Ecuador, conjuntamente con Perú, Chile, Venezuela y la República Dominicana, al Programa. El grupo de países participantes en el Programa, que continuará ejecutándose por un periodo adicional de dos años, quedó conformado por: España (Coordinación), Argentina, Uruguay, Brasil, Colombia, México, Ecuador, Perú, Chile, Venezuela y la República Dominicana.

La Fig. 1 describe el esquema operativo del Programa PMU. Las fases de concepción, diseño y pruebas finales de los circuitos integrados están a cargo de cada uno de los países participantes, la coordinación del chequeo final de reglas, ensamblado del proyecto global para su posterior fabricación y la distribución de los prototipos, son responsabilidad del Centro Nacional de Microelectrónica de Barcelona - España. La fabricación es realizada por la compañía europea ES2 (Francia).

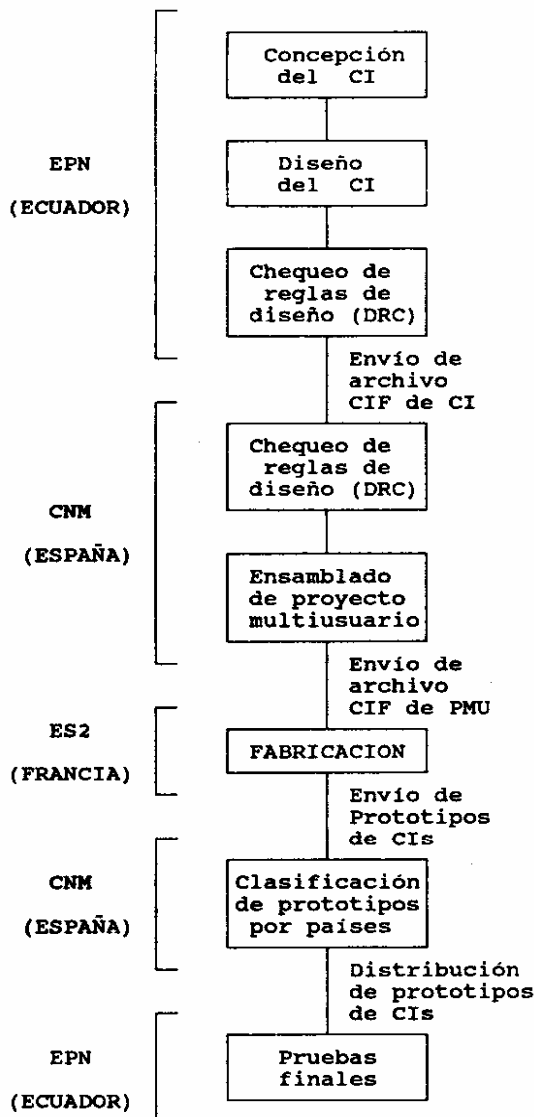


Fig. 1 Esquema Operativo del Programa PMU Iberoamericano.

2 PLAN DE ACCION DEL PROYECTO

Una vez que el Ecuador, a través de la Escuela Politécnica Nacional, se insertó dentro del Programa PMU iberoamericano, el Grupo de Microelectrónica de la EPN procedió a reformular su plan de acción original en los siguientes términos:

2.1 OBJETIVOS

El objetivo final del Proyecto de Microelectrónica de la Escuela Politécnica Nacional es la conformación, por la vía de la cooperación horizontal multinacional y el uso compartido de recursos, de un Centro de Microelectrónica con capacidad para:

- Ofrecer servicios de diseño de circuitos integrados ASIC y de sistemas electrónicos de diversa complejidad a instituciones públicas y privadas tanto nacionales como extranjeras.
- Emprender proyectos de investigación en los campos de control, telecomunicaciones y arquitectura de computadores, a fin de explotar las características de alta velocidad y gran densidad de integración de los sistemas VLSI (Very Large Scale Integration).
- Capacitar ingenieros en las más modernas técnicas de diseño VLSI de manera de promover el desarrollo de la industria de la Microelectrónica en el Ecuador.

2.2 METAS PARA DOS AÑOS

- Formar un equipo de ingenieros especializado, al más alto nivel, capaz de comprender el rango completo de abstracciones VLSI, desde los principios físicos hasta los sistemas digitales completos.
- Dotar al Centro de Microelectrónica de al menos una estación de trabajo del tipo SUN Sparc, provista de las características gráficas necesarias para el diseño de circuitos integrados.
- Proveer al Centro de Microelectrónica de un paquete de herramientas de software para diseño de circuitos integrados, que incluyan la captura esquemática de los circuitos, la simulación del circuito y el compilador de silicio.
- Diseñar y enviar para su fabricación al Centro Nacional de Microelectrónica de Barcelona - España al menos un circuito integrado por cada año.
- Difundir los resultados del Proyecto, tanto dentro como fuera de la Escuela Politécnica Nacional, a través de al menos dos seminarios y dos publicaciones especializadas.

2.3 CRONOGRAMA DE ACTIVIDADES

Para lograr los objetivos planteados en el plan de acción se delineó el siguiente cronograma de actividades a ejecutarse en el periodo de dos años:

**CRONOGRAMA DE ACTIVIDADES
PROYECTO DE MICROELECTRONICA EPN**

AÑO I

ACTIVIDADES DEL PROYECTO AÑO I (OCTUBRE 91 A SEPTIEMBRE 92)	M E S											
	Oct	Nov	Dic	Ene	Feb	Mar	Abr	May	Jun	Jul	Ago	Sep
1 Consecución de software	=											
2 Familiarización con software	===											
3 Reserva de área para RUN CMOS de Dic. 91	=											
4 Diseño de ASIC digital de entrenamiento		===										
5 Envío de archivo CIF de ASIC digital de entrenamiento para fabricación			=									
6 Fabricación de ASIC dig. de entrenamiento			====									
7 Diseño de ASIC digital complejo				====	====	====	====					
8 Pruebas de ASIC digital de entrenamiento								=				
9 Reserva de área para RUN CMOS de Dic. 92									=			
10 Envío de archivo CIF de ASIC digital complejo para fabricación												=
11 Diseño de ASIC analógico sencillo				====	====	====	====	====	====			
12 Pruebas de ASIC analógico sencillo a nivel de simulación										====	====	====

**CRONOGRAMA DE ACTIVIDADES
PROYECTO DE MICROELECTRONICA EPN**

AÑO II

ACTIVIDADES DEL PROYECTO AÑO II (OCTUBRE 92 A SEPTIEMBRE 93)	M E S											
	Oct	Nov	Dic	Ene	Feb	Mar	Abr	May	Jun	Jul	Ago	Sep
1 Fabricación de ASIC digital complejo			====									
2 Definición de ASIC de utilidad para institución pública o privada	====	====										
3 Envío de archivo CIF de ASIC analógico sencillo				=								
4 Seminario de difusión local						====	====					
5 Pruebas de ASIC digital complejo								====				
6 Difusión de resultados a nivel nacional									====	====		
7 Fabricación de ASIC analógico sencillo									====			
8 Pruebas de ASIC analógico sencillo											====	
9 Evaluación final												====

Cabe señalar que hasta la fecha, las actividades ejecutadas se han cumplido de acuerdo con el cronograma planteado.

3 EVOLUCION DEL PROYECTO

La primera actividad llevada a cabo, dentro de la ejecución del cronograma planteado, fue la adquisición del software comercial para diseño de CIs cuyas características fueron estudiadas previamente. Este software se adquirió con fondos de la Escuela Politécnica Nacional, a inicios de octubre de 1991, a la empresa norteamericana Bonneville Microelectronics, Inc. (BMI), encargada de distribuir el sistema de diseño para circuitos integrados Path Programmable Logic (PPL), desarrollado en la Universidad de Utah. La versión adquirida corresponde a aquella ofertada con un descuento especial a las universidades involucradas en actividades de investigación en el área de microelectrónica.

Debido a la falta de equipamiento indispensable para instalar el paquete PPL se debió esperar al mes de febrero de 1992, cuando se dispuso temporalmente de un computador con los requerimientos de hardware mínimos exigidos por el paquete, para emprender el primer diseño con el mismo.

Los contactos mantenidos con el PMU iberoamericano hicieron posible, en octubre de 1991, la consecución del paquete experimental de diseño de CIs TENTOS desarrollado en la Universidad Federal de Río Grande del Sur (Brasil) y la reserva de un área mínima de silicio para el RUN CMOS digital (fundición de CIs) de diciembre de 1991, sin costo alguno para la EPN. Estos dos hechos posibilitaron, por primera vez, la fundición de un CI experimental diseñado en el Ecuador por el Grupo de Microelectrónica de la EPN.

A pesar del poco tiempo disponible para el diseño del CI (debido a la cercanía de la fecha límite de entrega del mismo), de la falta de experiencia previa en el proceso completo de concepción, fundición y pruebas finales de un circuito integrado, de las limitaciones del equipamiento existente y tan solo gracias a los conocimientos teóricos adquiridos con anterioridad y la bibliografía recopilada fue factible recorrer exitosamente dicho proceso en su totalidad.

Se diseñó completamente un circuito integrado "Medio Sumador" dentro de los plazos que habían sido establecidos en la reunión de coordinación de Cartagena de Indias - Colombia. El trabajo realizado incluyó la generación del layout (Fig. 2), las simulaciones eléctrica y lógica y el chequeo de reglas de diseño (DRC) a nivel local, con las herramientas que incluye el paquete TENTOS.

Es así, que a finales del mes de noviembre de 1991, se enviaron el archivo CIF (Descripción geométrica estándar de CIs) e información adicional del diseño solicitados por el CNM para su fundición. El diseño enviado cumplió los requerimientos establecidos por el CNM, pasó el DRC del fabricante ES2 y fue fundido en diciembre de 1991.

En mayo de 1992 se recibieron cinco prototipos del Medio Sumador y fueron probados, encontrándose que eran funcionalmente correctos, con excepción de las etapas de salida en las que se halló una inversión lógica pasada por alto en la fase de diseño.

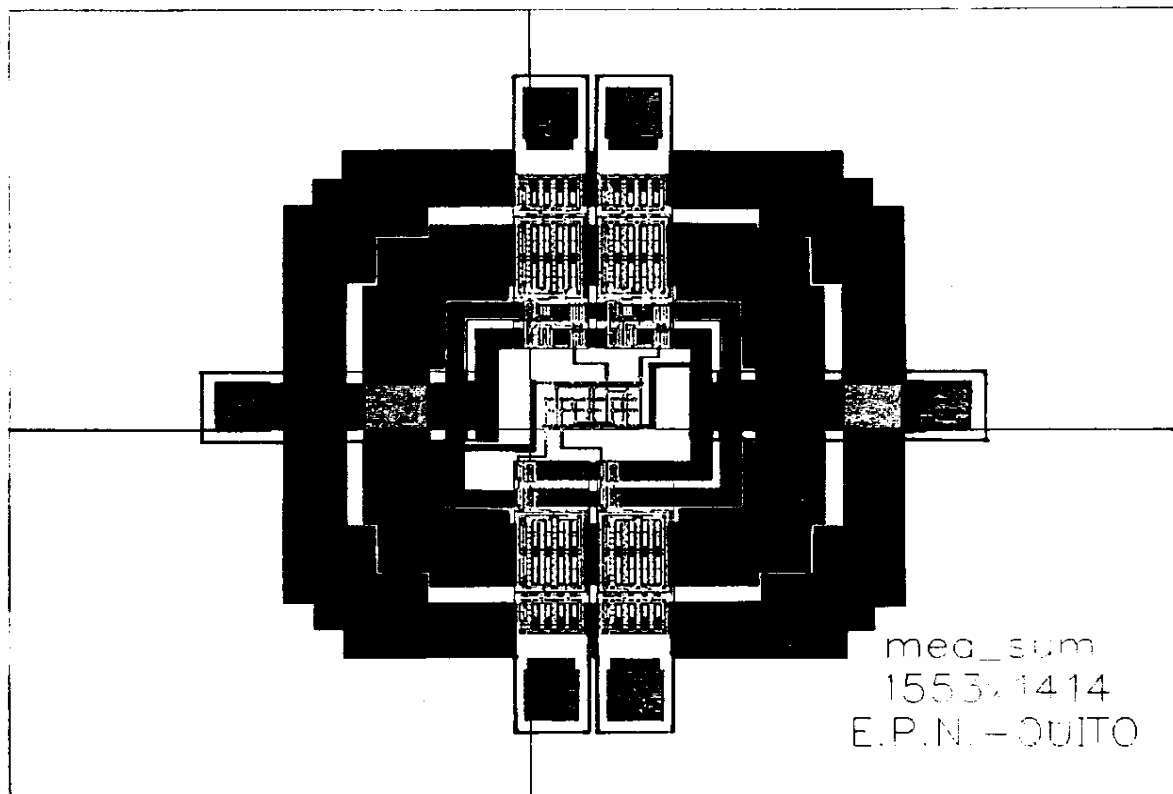


FIG. 2 Layout del circuito MEDIO SUMADOR enviado para su fundición.

El trabajo del Grupo de Microelectrónica de la EPN no se interrumpió en noviembre de 1991 con el envío del diseño del Medio Sumador al CNM, sino que se emprendió el desarrollo de un circuito integrado más complejo.

El circuito elegido fue un codificador/decodificador de línea programable que realiza las funciones de codificación AMI, HDB1, HDB2, y HDB3. El circuito se seleccionó debido a la experiencia previa adquirida en la implantación de estos codificadores utilizando dispositivos LSI y la aplicación que tendría un circuito integrado de esta naturaleza, no solo en la docencia, sino también en la transmisión de datos en banda base.

Debido a las limitaciones que se encontraron en el paquete TENTOS, en lo referente al número máximo de transistores factibles de simular, se procedió a la implantación LSI del circuito diseñado con el propósito de depurarlo funcional y lógicamente durante los meses de diciembre de 1991 y enero de 1992.

En el mes de febrero de 1992 se logró disponer temporalmente de un PC con la configuración de hardware indispensable para la instalación del paquete PPL. Dado el alto nivel de abstracción de diseño que ofrece este paquete, la familiarización con el mismo no fue complicada, y se diseñó el mismo circuito con esta herramienta. De tal manera que a fines del mes de abril, se dispusieron de dos diseños concluidos del mismo circuito integrado, uno utilizando el paquete TENTOS (Fig. 3), y otro utilizando el paquete PPL (Fig. 4). Esto ha permitido al Grupo de Microelectrónica evaluar dos herramientas de diseño de circuitos integrados con concepciones y metodologías diferentes, cada una con sus ventajas y desventajas.

Finalmente, desde el mes de enero de 1992, se han dado los primeros pasos para incursionar en el área de diseño de circuitos integrados analógicos, teniéndose como objetivo inmediato la definición de un conjunto de celdas básicas que permitan posteriormente el diseño de un circuito para recuperación de sincronismo a partir de la señal digital de la línea e incorporarlo al decodificador HDBn ya diseñado.

Con el objeto de difundir los alentadores resultados obtenidos hasta el momento, y de señalar los alcances e impacto posible en futuros proyectos, tanto de investigación como de aplicaciones prácticas orientadas a los sectores industrial y de telecomunicaciones nacionales, se preparó información de carácter general para ser publicada en los principales medios de comunicación masiva y en el Informativo Politécnico. Finalmente el presente reporte pretende difundir a nivel de la comunidad científico/tecnológica la potencialidad de la microelectrónica en las distintas áreas de la ingeniería eléctrica y electrónica.

4 PROYECCIONES FUTURAS

Con el propósito de cumplir con la meta de diseñar y fabricar un CI por año se están realizando dentro del proyecto PMU las gestiones pertinentes para reservar el área de silicio de modo que se logre incluir en el run CMOS de diciembre de 1992 la fabricación del circuito codificador/decodificador de línea, del cual se disponen al momento tanto el archivo CIF como toda la información requerida para su fundición. Partiendo de la premisa de que se logre enviar y fabricar el CI en las fechas planificadas, se aspira a disponer de los prototipos para su evaluación y chequeo funcional en mayo de 1993.

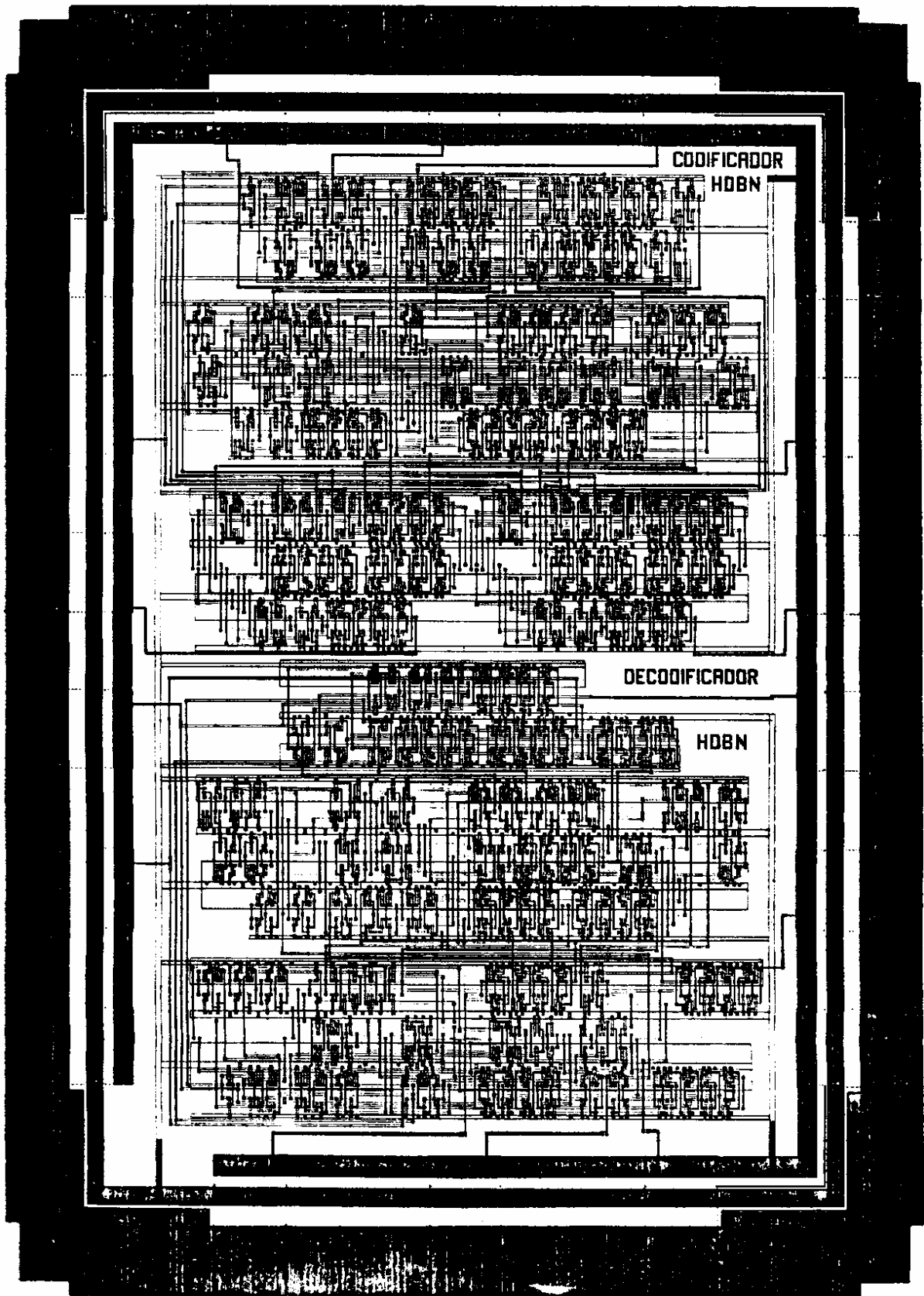


Fig. 3 Layout del CI del Codificador/decodificador digital HDBn diseñado en base al paquete TENTOS.

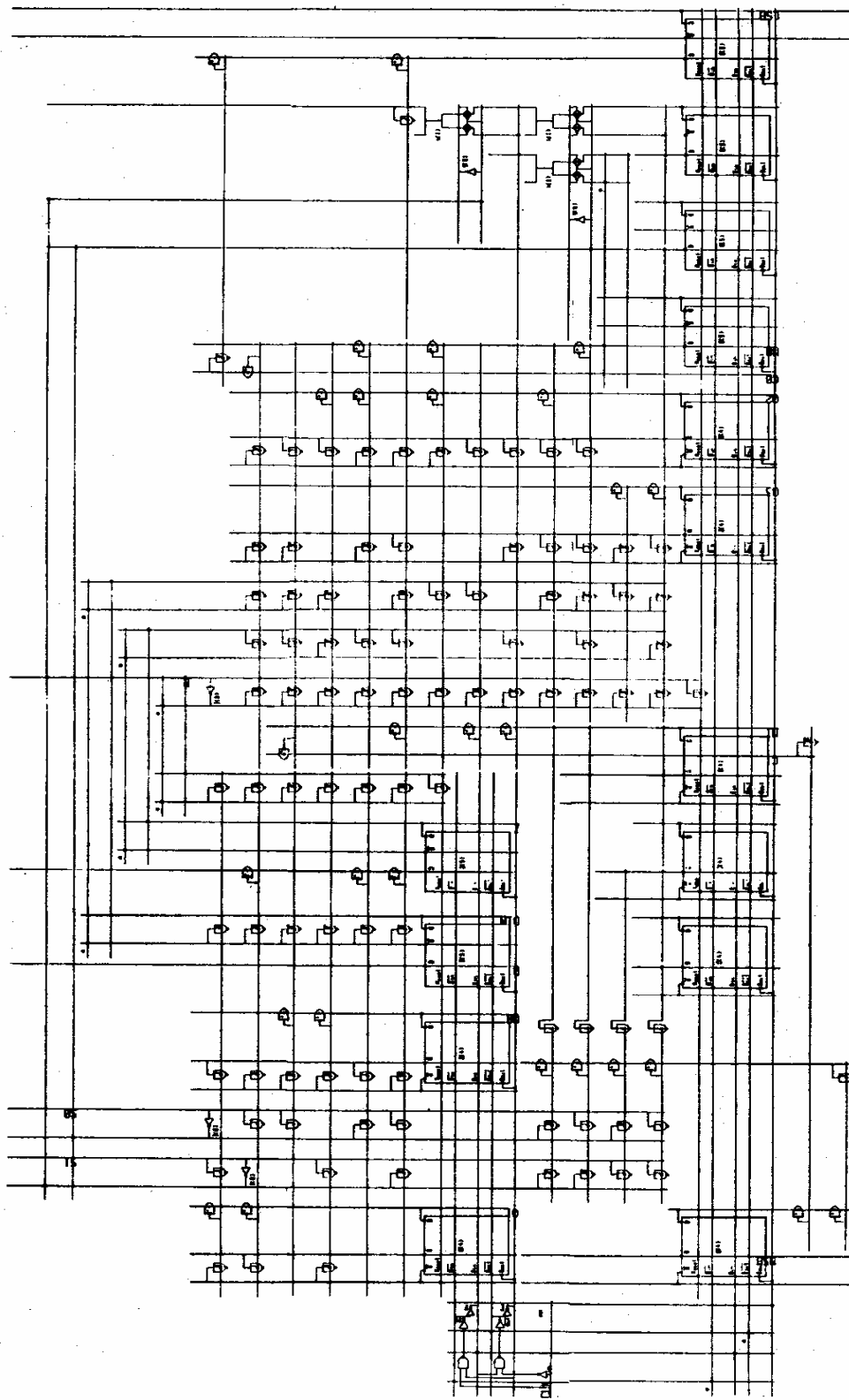


Fig. 4 Diagrama esquemático del Codificador (a) diseñado en base al paquete PPL.

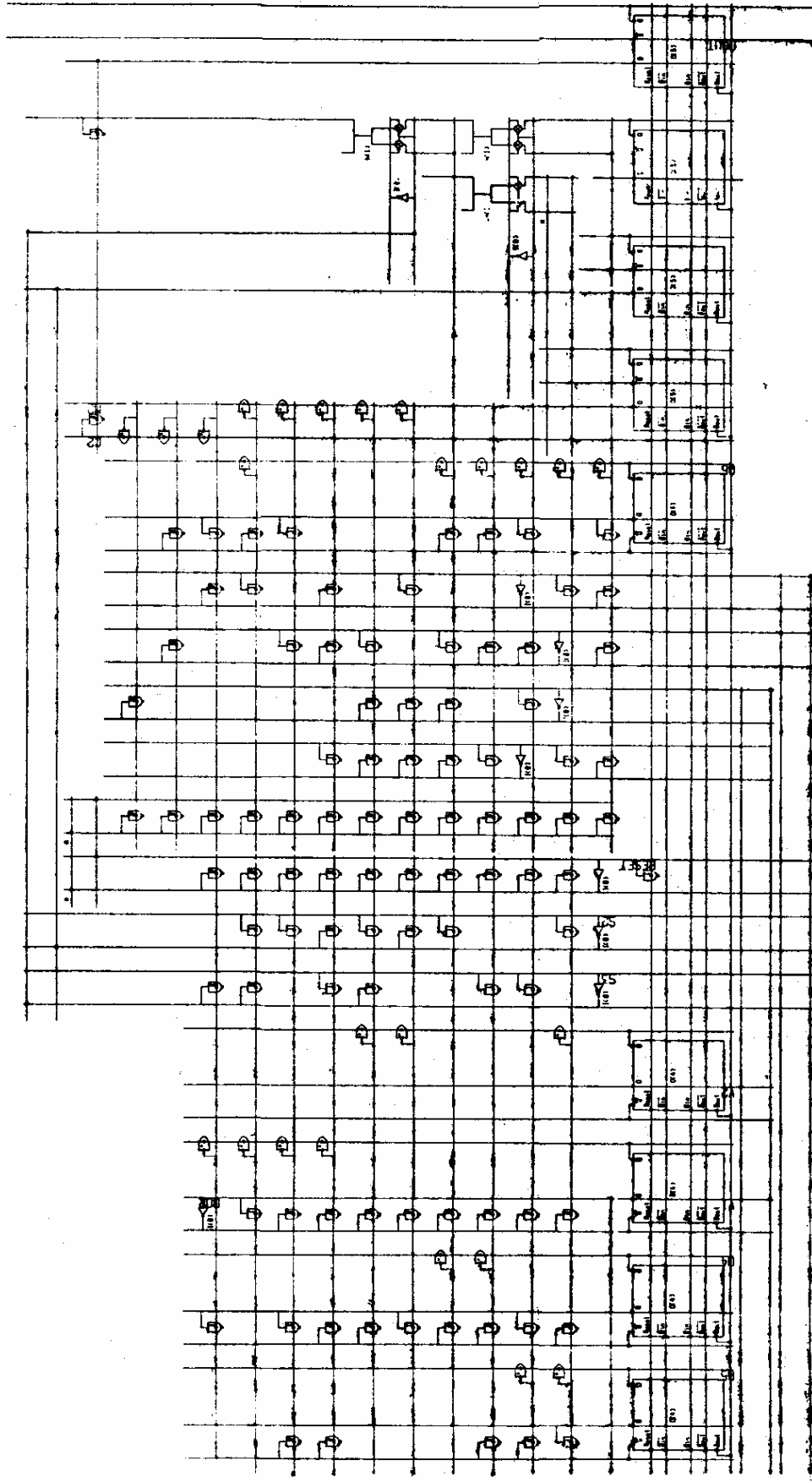


Fig. 4 Diagrama esquemático del Decodificador (b)
diseñado en base al paquete PPL.

Las perspectivas técnicas futuras del proyecto son alentadoras; sin embargo, es necesario lograr el financiamiento correspondiente para las corridas cuyo costo es de \$ 3000.00 US DOLLARS cada una, pues en el futuro no será posible lograr corridas gratuitas por parte del Programa PMU.

En vista de esta circunstancia el Grupo de Microelectrónica ha preparado un proyecto para ser presentado al Programa BID - ECUADOR con objetivos más ambiciosos, una vez que los resultados obtenidos demuestran la capacidad del equipo de investigación de la Escuela Politécnica Nacional para participar exitosamente en proyectos multinacionales.

Se proyecta además la realización de seminarios a nivel local, de la EPN, y a nivel nacional, con la asistencia de especialistas en el área de microelectrónica y profesionales involucrados en actividades de planificación y desarrollo electrónico de entidades públicas y privadas, ya que dentro de estos eventos se dispondría del marco adecuado para la exposición y difusión de los resultados obtenidos. Se aspira a que la difusión de estas experiencias y la potencialidad y alcances de la microelectrónica se traduzcan en la formulación de propuestas para la solución de problemas concretos mediante la concepción y desarrollo de circuitos integrados de propósitos específicos.

5 RESULTADOS Y CONCLUSIONES

- 5.1 Se ha recorrido en su totalidad el proceso de diseño de circuitos integrados digitales de aplicación específica a través de la concepción y fabricación de un circuito combinacional sencillo (Medio Sumador) y de un circuito más complejo (Codificador/decodificador de línea) que involucró redes combinatoriales más complejas como parte de las máquinas de estados finitos utilizadas en el diseño. De esta manera se dejan sentadas las bases para investigaciones de mayor envergadura y aplicabilidad en el campo de la microelectrónica.
- 5.2 A pesar del limitado equipamiento del cual se dispuso para la realización y pruebas de los diseños, se ha logrado completar en su totalidad dos diseños digitales, uno sencillo del cual se disponen cinco prototipos funcionalmente correctos, y otro de mayor complejidad cuya fabricación se aspira a concretar dentro de este año.
- 5.3 El diseño del CI sencillo se realizó utilizando el paquete TENTOS, y fue implantado con 18 transistores y 5 pines externos, encontrándose que las herramientas utilizadas fueron eficientes tanto para la generación del layout como para su simulación. Sin embargo, dado que el paquete se encuentra en una fase de desarrollo, se encontraron ciertos errores a un nivel de abstracción bajo que debieron ser corregidos y que en su oportunidad fueron notificados a quienes lo están depurando.
- 5.4 El CI complejo requirió para su desarrollo alrededor de 1300 transistores y 18 pines externos, fue diseñado utilizando los paquetes TENTOS y PPL. En el paquete TENTOS se evidenció el carácter experimental y las limitaciones del mismo debidos por una parte a su concepción y por otra a las limitaciones del

sistema operativo DOS para el cual fue desarrollado el paquete. Estas limitaciones impidieron la integración final de los módulos en que se dividió el diseño completo, debiendo idearse estrategias que permitieron obtener el diseño global. Para el caso del paquete PPL, con un mayor grado de depuración, el diseño con 1300 transistores no constituyó un limitante tanto para su implantación como para su simulación lógica.

Queda en evidencia que para la concepción y desarrollo de circuitos integrados VLSI (decenas de miles de transistores o más), tanto los paquetes utilizados (PPL y TENTOS) como las estaciones de trabajo tipo PC, se encuentran con severas y probablemente insalvables limitaciones. Un salto cualitativo en el proyecto de investigación de microelectrónica demanda la dotación de software y hardware de mayor capacidad y poderío; solo así se podrá explotar al máximo las características de la tecnología VLSI.

- 5.5 Los CIs diseñados fueron implantados en base a dos paquetes con filosofías de diseño diferentes, ello ha permitido al Grupo de Microelectrónica de la EPN realizar un análisis comparativo de las dos alternativas que estuvieron a su disposición.
- 5.6 Se abre la factibilidad a las instituciones públicas y privadas para hacer uso de las ventajas de la introducción de esta nueva tecnología en sus aplicaciones, logrando de esta manera consolidar industrias de mayor productividad, basadas en procesos de mayor confiabilidad, lo que conllevaría a una mayor competitividad, en momentos en que el país enfrenta el reto de integración al mercado andino.

BIBLIOGRAFIA

- [1] CNM Centro Nacional de Microelectrónica CSIC, "Memoria 1988 - 1989", CNM, Barcelona - España, 1989.
- [2] Proyecto PMU, "Resumen de la Reunión de Coordinación de Cartagena de Indias - Colombia", CNM, Barcelona - España, Octubre de 1991.
- [3] Proyecto PMU, "Resumen de la Reunión Técnica de Sevilla - España", CNM, Barcelona - España, Mayo de 1991.
- [4] Moraes Fernando, Reis Ricardo. "TENTOS Gerenciador de Software para Microelectrónica", Universidad Federal do Rio Grande do Sul, Porto Alegre - Brasil, Abril 91.
- [5] Gu Jun, Smith Kent, "A Structured Approach for VLSI Circuit Design", IEEE Computer, November 1989.
- [6] Bonneville Microelectronics Inc., "Path Programmable Logic - A Design System for Integrated Circuits", Salt Lake City - USA, 1990.

BIOGRAFIAS



MONTALVO, LUIS.- Nació en Quito el 3 de agosto de 1955. Obtuvo el título de Ingeniero en Electrónica y Telecomunicaciones en la Escuela Politécnica Nacional (1982). Becado por la Comisión Fulbright y auspiciado por la Escuela Politécnica Nacional obtuvo el título de MSc. en Computer

Engineering en Ohio University, Athens, Ohio (1986). Fue asistente de cátedra en el laboratorio de Robótica en el departamento de Ingeniería Eléctrica y Computación en Ohio University (1984 - 1986). Desde 1981 hasta la fecha trabaja en el área de Sistemas Digitales en el Departamento de Electrónica y Telecomunicaciones de la EPN. Actualmente es Coordinador del Grupo de Microelectrónica de la EPN. Sus principales áreas de interés son: Microprocesadores, Diseño VLSI y Procesamiento de Imágenes.



BERNAL, IVAN.- Nació en Quito el 24 de noviembre de 1967. Obtuvo su título de Bachiller en Humanidades Modernas en el Instituto Nacional Mejía en 1985. Egresó de la Facultad de Ingeniería Eléctrica de la Escuela Politécnica Nacional en la especialización de Electrónica y Telecomunicaciones (agosto 1991). Desde 1991 hasta la

fecha trabaja en el área de Telecomunicaciones en el Departamento de Electrónica y Telecomunicaciones de la EPN. Actualmente forma parte del Grupo de Microelectrónica de la EPN.



LEMUS, FREDY.- Nació en Quito el 4 de Enero de 1968. Obtuvo su título de Bachiller en Humanidades Modernas en el Colegio Técnico Aeronáutico de Aviación Civil en 1985. Egresó de la Facultad de Ingeniería Eléctrica de la Escuela Politécnica Nacional en la

especialización de Electrónica y Telecomunicaciones (agosto 1991). Desde 1991 hasta la fecha trabaja en el Departamento Técnico de la Empresa "Teléfonos ERICSSON C.A.". Actualmente forma parte del Grupo de Microelectrónica de la EPN.